

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

139722

MOSFET KANAL UZUNLUK VE GENİŞLİK
PARAMETRELERİNİN BELİRLENMESİ İÇİN YSA
TABANLI MODEL GELİŞTİRİLMESİ

Elektronik ve Hab. Müh. Mehmet Yalçın BABAÇ

FBE Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Elektronik Programında
Hazırlanan

YÜKSEK LİSANS TEZİ

Tez Danışmanı: Doç. Dr. Tülay YILDIRIM (Y.T.Ü.)

Prof. Dr. Oruç Bilgiç
Prof. Dr. Galip Cansever

İSTANBUL, 2003

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
YÜKSEK LİSANS TEZİ
T.C. YÜKSEKÖĞRETİM KURULU
MİLLÎ EĞİTİM BAKANLIĞI

İÇİNDEKİLER

	Sayfa
SİMGE LİSTESİ	iv
KISALTMA LİSTESİ	v
ŞEKİL LİSTESİ	vi
ÇİZELGE LİSTESİ	vii
ÖNSÖZ	viii
ÖZET	ix
ABSTRACT	x
1. GİRİŞ	1
1.1 MOSFET Modelleme Çalışmaları	1
1.2 MOSFET'in Kanal Uzunluk ve Genişlik Parametrelerinin Belirlenmesi	2
2. MOSFET	4
2.1 MOSFET Yapısı	4
2.2 MOSFET'in Çalışma Prensibi	4
2.3 MOSFET Gerilim-Akım Bağlılıkları	6
2.4 MOSFET SPICE Modelleri	8
2.4.1 LEVEL3 Modeli	8
2.4.2 BSIM3 Modeli	9
3. Yapay Sinir Ağları	12
3.1 Yapay Sinir Ağlarının Yapısı	13
3.1.1 Nöron Modeli	14
3.1.2 Aktivasyon Fonksiyonları	15
3.2 Yapay Sinir Ağı Tipleri	16
3.2.1 Algılayıcı (Perceptron) Yapısı	17
3.2.2 Çok Katmanlı Algılayıcı (Multi Layer Perceptron, MLP)	17
3.2.2.1 Geriye Yayılma Algoritması (Backpropagation)	19
3.2.2.2 Yerel Minimum	23
3.2.2.3 Öğrenme Oranı ve Momentum Terimi	24
4. Yapay Sinir Ağı Modelinin Geliştirilmesi	25
4.1 Yapay Sinir Ağı Modelinin Amacı	25
4.2 Data Setlerinin Üretimi	25
4.2.1 LEVEL3 (1,5 µm) Üretim Parametreleri ile Data Setlerinin Çıkarımı	26
4.2.1.1 n-tipi MOSFET	26
4.2.1.2 p-tipi MOSFET	29

4.2.2	BSIM3 Üretim Parametreleri ile Data Setlerinin Çıkarımı	30
4.2.2.1	n-tipi MOSFET	30
4.2.2.2	p-tipi MOSFET	30
4.3	Yapay Sinir Ağı Modelinin Yapısı ve Ağı Eğitimi	31
4.4	MOSFET Yapay Sinir Ağı Modelinin Test İşlemi	32
4.4.1	LEVEL3 Üretim Parametreleri Kullanılmış MOSFET Modelleri	32
4.4.1.1	n-tipi MOSFET Test Sonuçları	32
4.4.1.2	p-tipi MOSFET Test Sonuçları	33
4.4.2	BSIM3 Üretim Parametreleri Kullanılmış MOSFET Modelleri	34
4.4.2.1	n-tipi MOSFET Test Sonuçları	34
4.4.2.2	p-tipi MOSFET Test Sonuçları	35
4.4.3	Test Sonuçlarının Yorumu	36
5.	MOSFET Yapay Sinir Modelinin Analog Tasarıma Uygulanması	37
5.1	Temel Akım Aynası	37
5.1.1	Temel Akım Aynası için LEVEL3 Parametreleri Sonuçları	38
5.1.2	Temel Akım Aynası için BSIM3 Parametreleri Sonuçları	39
5.2	Akım Aynası II	39
5.2.1	Akım Aynası II için LEVEL3 Parametreleri Sonuçları	40
5.2.2	Akım Aynası II için BSIM3 Parametreleri Sonuçları	40
5.3	Diferansiyel Çift	41
5.3.1	Diferansiyel Çift için LEVEL3 Parametreleri Sonuçları	42
5.3.2	Diferansiyel Çift için BSIM3 Parametreleri Sonuçları	43
5.4	Akım Aynaları ile Kutuplanmış Diferansiyel Kuvvetlendirici	44
5.4.1	Akım Aynaları ile Kutuplanmış Diferansiyel Çift için LEVEL3 Parametreleri Sonuçları	45
5.4.2	Akım Aynaları ile Kutuplanmış Diferansiyel Çift için BSIM3 Parametreleri Sonuçları	46
6.	Sonuç	48
KAYNAKLAR		49
ÖZGEÇMİŞ		51

SİMGE LİSTESİ

	Tranzistor kanal genişlik parametresi
L	Tranzistor kanal uzunluk parametresi
I_D	Tranzistor üzerinden akan savak-kaynak akımı
V_{GS}	Tranzistor geçit-kaynak gerilimi
V_{DS}	Tranzistor savak-kaynak gerilimi
V_{BS}	Tranzistor gövde-kaynak gerilimi
V_{TH}	Tranzistor eşik gerilimi



KISALTMA LİSTESİ

MOSFET	Metal-Oksit-Yarıiletken Alan Etkili Tranzistor (Metal-Oxyde-Semiconductor Field Effect Transistor)
YSA	Yapay Sinir Ağı
CMOS	Tamamlayıcı Metal-Oksit-Yarıiletken (Complementary Metal-Oxyde-Semiconductor)
VLSI	Çok Geniş Ölçekli Entegre Devre (Very Large Scaled Integrated Curciut)
RNN	Geribeslemeli Yapay Sinir Ağları (Recurrent Neural Netork)
RBF	Radyal Tabanlı Fonksiyon (Radial Basis Function)
BPTT	Zaman Yoluyla Geriye Yayılma (Backpropagation Through Time)
RF	Radyo Frekansı (Radio Frequency)



ŞEKİL LİSTESİ

Şekil 2.1 CMOS yapı içerisinde n- ve p- tipi MOSFET tranzistorlar (Sedra, Smith, 1998).....	4
Şekil 2.2 I_D - V_{DS} akım grafiği	6
Şekil 2.3 NMOS tranzistor için I_{DS} - V_{DS} karakteristiğinin çıkarımı (Sedra, Smith, 1998).....	6
Şekil 3.1 Yapay sinir ağı blok gösterimi	12
Şekil 3.2 Mc Culloch vd Pitts Modeli	14
Şekil 3.3(a) Basamak Fonksiyonu	15
Şekil 3.3(b) Rampa Fonksiyonu	16
Şekil 3.3(c) Tanjant-sigmoid Fonksiyonu	16
Şekil 3.4 Basit algılayıcı yapısının iki sınıfı birbirinden ayırması	17
Şekil 3.5 Çok katmanlı algılayıcı (MLP) yapısı	18
Şekil 3.6 Toplam hata ile ağırlığın değişimi arasındaki ilişkiyi gösteren grafik.....	21
Şekil 4.1 n-tipi MOSFET için data elde edilen devre yapısı	27
Şekil 4.2 $V_{GS}=1V$ için V_{DS} boyunca I_D akım grafiği	28
Şekil 4.3 $V_{GS}=5V$ için V_{DS} boyunca I_D akım grafiği	28
Şekil 4.4 p-tipi MOSFET için data elde edilen devre yapısı	29
Şekil 4.5 MOSFET yapay sinir ağı modeli	31
Şekil 4.6 n-tipi MOSFET modeli test dataları akım grafiği	33
Şekil 4.7 p-tipi MOSFET modeli test dataları akım grafiği	34
Şekil 4.8 n-tipi MOSFET modeli test dataları akım grafiği	35
Şekil 4.9 p-tipi MOSFET modeli test dataları akım grafiği	36
Şekil 5.1 Temel akım aynası devresi (Razavi, 2000)	38
Şekil 5.2 Akım aynası II devresi (Razavi, 2000).....	40
Şekil 5.3 Diferansiyel çift devresi (Razavi, 2000)	41
Şekil 5.4 Akım aynaları ile kutuplanmış diferansiyel kuvvetlendirici devresi (Razavi, 2000)	45

ÇİZELGE LİSTESİ

Çizelge 5.1 Temel akım aynası için LEVEL3 MOSFET yapay sinir ağı modeli test sonuçları	39
Çizelge 5.2 Temel akım aynası için BSIM3 MOSFET yapay sinir ağı modeli test sonuçları	39
Çizelge 5.3 Akım aynası II için LEVEL3 MOSFET yapay sinir ağı modeli test sonuçları	40
Çizelge 5.4 Akım aynası II için BSIM3 MOSFET yapay sinir ağı modeli test sonuçları	41
Çizelge 5.5 Diferansiyel çift için LEVEL3 MOSFET yapay sinir ağı modeli test sonuçları	43
Çizelge 5.6 Diferansiyel çift için BSIM3 MOSFET yapay sinir ağı modeli test sonuçları	44
Çizelge 5.7 Akım aynaları ile kutuplanmış diferansiyel çift için LEVEL3 MOSFET yapay sinir ağı modeli test sonuçları	46
Çizelge 5.8 Akım aynaları ile kutuplanmış diferansiyel çift için BSIM3 MOSFET yapay sinir ağı modeli test sonuçları	47



ÖNSÖZ

Kendisinin yönetiminde yaptığım bu çalışmada her türlü desteği ile bana yardımcı olan başta değerli hocam sayın Doç.Dr. Tülay Yıldırım'a, lisans eğitimimdeki değerli hocam sayın Doç. Dr. Ali Zeki'ye, yetişmemde emeği geçen tüm hocalarıma, her zaman yanımda olan aileme ve arkadaşlarıma, yapıcı fikir ve destekleriyle bana yardımcı olan araştırma görevlisi arkadaşlarım Mutlu Avcı, Nihan Coşkun ve Tuba Kıyan'a teşekkür ederim.



ÖZET

MOSFET tranzistorların akım karakteristikleri çok karmaşık nonlinear denklemler sonucunda belirlenebilmektedir. Bu denklemlerin içerisinde birçok üretim parametresi ve tranzistor düğüm gerilimleri ile beraber MOSFET yapısının kanal genişlik ve uzunluk parametreleri de (W ve L) vardır. Üretim parametreleri üretim işleminin sonucu olarak sabit, düğüm gerilimleri ise devre üzerinde görülebilen belirli değerlerdir. Tasarımcının W ve L değerlerini ise, devrenin DC ve AC karakteristik özelliklerine göre birçok kritik parametreyi belirleyecek şekilde kendisinin seçmesi gereklidir. Belirtilen çok karmaşık nonlinear denklemler içerisinde bunlara en uygun değerleri atamanın zorluğu sonucu, kanal genişlik ve uzunluk parametrelerinin seçimi büyük ölçüde tasarımcının bilgi ve tecrübesine kalmaktadır.

Bu çalışmada tasarımcının belirlemesi gereken MOSFET kanal uzunluk ve genişlik parametrelerini bulacak yapay sinir ağı tabanlı bir model geliştirilmesi amaçlanmıştır. Bu model, belirlenen tranzistor düğüm gerilimlerine karşılık istenen akımı verecek kanal parametrelerini bulacak şekilde tasarlanmıştır. Modelin tasarlanması için seçilen yapay sinir ağı tipi çok katmanlı algılayıcılardır. Nonlinear denklemlerin çıkarımı konusundaki başarısından dolayı bu tercihte bulunulmuştur. Oluşturulan yapay sinir ağı modeli için tranzistor düğüm gerilimleri ve tranzistor üzerinden akan akım giriş, kanal uzunluk ve genişlik parametreleri de çıkış olarak seçilmiştir.

Çalışmanın en önemli noktalarından biri oluşturulan ağı eğitmek üzere modellenecek MOSFET tranzistor için data çıkarımıdır. Eğitme işlemi için kullanılacak data, HSPICE simülasyon ortamında tranzistorun değişik gerilim ve kanal parametreleri ile çok sayıda simülasyonunun yapılması sonucunda elde edilmiştir.

Yapay sinir ağının oluşturulma işlemi ve daha önce çıkarılan datalarla eğitimi MATLAB 6.0 programı ortamında gerçekleştirilmiştir. Oluşturulan ağ, test dataları ile yine HSPICE simülasyon ortamında test ve simüle edilmiştir.

MOSFET modellemesinin tamamlanmasının ardından modelin analog entegre devre tasarımıdaki kullanılabilirliğini görmek amacıyla, model bazı temel analog yapı blokları tasarım sürecinde test edilmiştir.

Tezin birinci bölümünde çalışmanın amacı ve genel yapısı kısaca açıklanmış ayrıca geçmişteki diğer tranzistor modelleme çalışmaları da özetle incelenmiştir. İkinci ve üçüncü bölümlerde MOSFET ve yapay sinir ağları konularında gerekli olan bilgiler verilmiştir. Dördüncü bölümde ağın eğitimi için gerekli olan dataların çıkarımı, ağın oluşturulması ve eğitimi ayrıntılı biçimde açıklanmıştır. Beşinci bölümde ise oluşturulan modelin analog tasarım sırasında kullanımına ilişkin örnekler verilmiştir.

Anahtar kelimeler: yapay sinir ağları, MOSFET, modelleme, kanal uzunluğu, kanal genişliği

ABSTRACT

MOSFETs are modeled by too complex nonlinear equations. These equations include many process parameters, terminal voltages of the transistor and also the channel width and length parameters (W and L). The designer should choose the most suitable channel parameters considering the critical parameters, which determine the DC and AC characteristics of the circuit. As a result of the difficulty of solving these complex nonlinear equations, the choice of appropriate channel parameters depends on designer's knowledge and experience.

This thesis aims to develop a neural network based MOSFET model, that can find the most suitable channel parameters, which are supposed to be chosen by the circuit designer. The proposed model is able to find the channel parameters with the input information, which are terminal voltages and the drain current. Since MLP (Multilayer Perceptron) is a good nonlinear function approximator, this structure is chosen as the neural network model.

One of the most important points of this work is the training data acquisition for the MOSFET neural network model. The training data are obtained by various simulations with different channel parameters and terminal voltages in the HSPICE simulation environment.

The neural network structure is developed and trained with the MATLAB 6.0 program. The developed model is tested and simulated in HSPICE.

To observe the usefulness of the proposed MOSFET neural network model within the analog integrated circuit design process it is tested through design process of some basic analog circuit blocks.

In the first chapter the purpose and the general concept of this thesis are explained. The second and third chapters present the important points of MOSFET and neural network structures. Chapter 4 gives detailed information about the training data acquisition, the development and training process of the neural network model. The usage of the proposed model through analog design process is given in the fifth chapter.

Keywords: neural network, MOSFET, modeling, channel length, channel width

1. GİRİŞ

Günümüzde CMOS Analog Entegre Devre tasarımı giderek daha çok tranzistorlu ve karmaşık devreler üretilmektedir. Devrelerin karmaşıklığının artmasıyla beraber tasarımın kritik parametrelerinin belirlenmesi tasarımcının tecrübesi ve öngörüsüne kalmaktadır. Entegre devreyi oluşturan MOSFET tranzistorlarımız daha sonra açıklanacağı üzere çok karmaşık nonlinear karakteristiklere sahip oldukları için gerekli sonuçların ve parametrelerin hesaplamalar yoluyla çıkarılması imkan dahilinde olmamaktadır. MOSFET tranzistorların bu karmaşık nonlinear karakteristiklerini biraz daha sade hale getirme amacıyla genel modelleme ya da sadece bazı parametrelerin belirlenmesi anlamında çeşitli çalışmalar yapılmıştır.

1.1 MOSFET Modelleme Çalışmaları

MOSFET tranzistorun eşik-altı çalışma bölgesini modellemek için yapılan bir çalışmada, eşik-altı akım denklemi

$$I_D = I_0 \frac{W}{L} e^{\frac{V_{GS} - V_{TH}}{nV_T}} \left(1 - e^{\frac{V_{DS}}{V_T}}\right) \quad (1.1)$$

şeklinde verilmiştir. I_0 ve n parametrelerinin, SPICE simülasyonları yardımıyla ortaya çıkan akım grafiklerine verilen denklemin uydurulması ile çıkarımı yapılmıştır. Böylece hem tranzistorun eşik-altı çalışma bölgesi karakteristiğini temsil eden hem de yalnızca beş değişkenden oluşan nispeten daha basitleştirilmiş bir denklem elde edilmiştir. Bu da tasarım sürecinde tasarımcıya kolaylık sağlamaktadır. (Ngarmnil, 1998)

CMOS işlemsel kuvvetlendirici tasarımı optimizasyonunu sağlayan bir çalışmada ise sunulan geometrik programlama modeliyle tasarım kolaylığı sağlanmaktadır. İşlemsel kuvvetlendiricinin tüm özellik ve çalışma şartları (kazanç, frekans-band genişliği, CMRR, yükselme oranı gibi kriterler) bir fonksiyonun değişkenleri olarak girilmekte ve bu fonksiyon geometrik programlama yardımıyla çözülerek fonksiyonun global minimumu elde edilmektedir. Böylece istenen şartlar içerisinde en optimum tasarım elde edilmiş olmaktadır. (Hershenson, M.M., vd, 1997)

CMOS VLSI tasarımlarında tranzistor boyutlarını belirlemeye yönelik bir çalışmada küçük ve büyük boyutlu devreler için iki ayrı optimizasyon yöntemi geliştirilmiştir. Tüm tranzistorların kanal genişlik ve uzunluk boyutlarının tasarımcı tarafından belirlenmesinin çok zor ve tecrübeye dayalı bir yöntem olduğu belirtilerek küçük boyutlu devreler için Monte Carlo,

büyük boyutlu devreler için ise Genetik Algoritma modelleri kullanılmıştır. (Rogenmoser, R., vd, 1996)

Mikrodalga tranzistorların işaret ve gürültü karakteristikleri çok katmanlı algılayıcı yapay sinir ağları kullanılarak modellenmiştir. Küçük işaret ve gürültü karakteristikleri, s-parametreleri modelleme yaklaşımıyla elde edilmiştir. Yapay sinir ağının girişleri, çalışma frekansı, küçük işaret giriş gerilimi, küçük işaret çıkış akımı ve konfigürasyon türüdür. Çıkışlar ise saçılma ve gürültü parametreleridir. (Gunes, F., vd, 1996; Gunes, F., vd, 1998; Gunes, F., vd, 1999)

Mikrodalga devre ve elemanların modellenmesine yönelik başka bir çalışmada Geribeslemeli Yapay Sinir Ağları (RNN) kullanılarak yeni bir makromodel geliştirilmesi amaçlanmıştır. Makromodel oluşturulmasındaki amaç RNN içindeki ağırlıkların orijinal nonlinear devremizdeki giriş-çıkış ilişkisini temsil edecek biçimde belirlenmesidir. Böylece zaman domeninde giriş-çıkış ilişkisi modellenmek istenmiştir. Belirlenen nonlinear devre ya da elemanın ayrık giriş-çıkış dalga biçimleri eğitim datası olarak kullanılmış ve Zaman Yoluyla Geriye Yayılım (BPTT) yöntemi ile yapay sinir ağının eğitimi gerçekleştirilmiştir. (Fang, 2001)

Bir modelleme çalışmasında mikron altı CMOS RF uygulamaları yapay sinir ağı ile modellenmiştir. Savak akımının nonlinear gerilim bağımlılığı, geçiş iletkenliği ve elektrodlar arası kapasite 3 katmanlı bir yapay sinir ağı ile modellenmiştir. Oluşturulan ağın girişleri olarak V_{GS} ve V_{DS} gerilimleri kullanılmıştır. (Alam, M.S., vd, 2003)

1.2 MOSFET'in Kanal Uzunluk ve Genişlik Parametrelerinin Belirlenmesi

Bir MOSFET tranzistorun kanal genişlik ve uzunluk boyutları, tranzistorun sahip olduğu düğüm gerilimlerine de bağlı olarak üzerinden geçen akımı direkt olarak etkiler. Yukarıda da belirtildiği gibi MOSFET üzerinden akan akım çok karmaşık nonlinear denklemler tarafından belirlendiği için gerekli ve en uygun kanal genişlik ve uzunluk parametrelerini bulmak oldukça zordur.

Bu çalışmada oluşturulan model, istenen giriş gerilimlerine karşılık istenen akım sonucunu verecek kanal genişlik ve uzunluk parametrelerini bulmaya yöneliktir. Amaçlanan model yapay sinir ağları kullanılarak geliştirilmiştir. Yapay sinir ağlarının iyi birer fonksiyon tahmin edicisi olduğu noktasından hareketle MOSFET'in nonlinear denklemleri içerisinde kanal genişlik ve uzunluk parametrelerinin belirlenmesinde uygun olacağı sonucuna varılmıştır.

Oluşturulan yapay sinir ağı çok katmanlı bir algılayıcı yapısıdır. Yapay sinir ağı modelinin girişleri tranzistorun düğüm gerilimleri (V_{GS} ve V_{DS}) ve üzerinden geçen akımdır (I_D). Modelin oluşturulma basitliği açısından V_{BS} gerilimi sıfır olarak kabul edilmiştir. Ağın eğitilmesi için gerekli olan eğitim dataları, sonraki bölümlerde elde ediliş yöntemleri ayrıntılı olarak açıklanmak üzere, HSPICE simülasyon ortamı sayesinde sağlanmıştır. İki farklı üretim parametre grubu (YITAL 1,5 μ m ve AMS 0,18 μ m) için iki farklı ağ tasarlanmış ve ağların eğitimleri MATLAB ortamında sağlanmıştır.

n- ve p- tipi iki MOSFET tranzistor için de yapay sinir ağı modellerinin elde edilmesinin ardından, oluşturulan modeller rasgele seçilen test dataları ile test edilmiştir. Test süreci sırasında farklı noktalarda V_{GS} , V_{DS} ve I_D akım değerleri belirlenmiş, model bu giriş değerlerine karşılık gerekli kanal uzunluk ve genişlik parametrelerini vermiştir. Elde edilen bu parametreler HSPICE simülasyon ortamında kullanılmış ve istenen akımın verilen gerilimlerle beraber ne kadarlık bir hata payı ile elde edildiği gözlenmiştir. Çalışmanın sonraki bölümlerinde test sonuçları ayrıntılı olarak sergilenecektir.

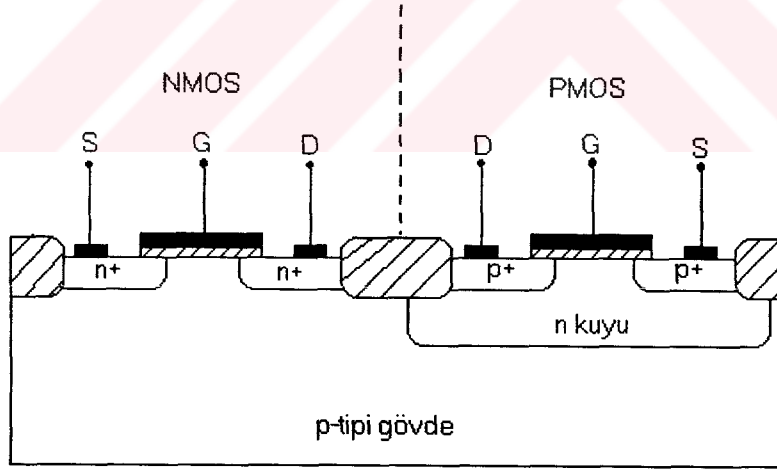
Tranzistorların ayrı ayrı test edilmesinin ardından oluşturulan modellerin tümdevre tasarımı içerisinde yararlılığının gözlenmesi amaçlanmıştır. Çeşitli temel analog yapı bloklarının tasarımı sırasında belirlenen kutuplama gerilim ve akımlarına karşılık devre içerisindeki tüm n- ve p- tipi MOS tranzistorların kanal uzunluk ve genişlik parametreleri elde edilmiş ve bunların simülasyonlar yardımıyla doğrulukları gözlenmiştir.

2. MOSFET

MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) aktif bir yarıiletken elemandır. n- ve p- tipi olmak üzere iki farklı temel yapıda bulunur ve geçit (G: gate), savak (D: drain), kaynak (S: source), taban (B: bulk) olmak üzere dört uçtan oluşur.

2.1 MOSFET Yapısı

Şekil 2.1 n-ve p- tipi MOS tranzistorların yapısını göstermektedir. Şekilde görülen p- kanallı eleman, kuyu olarak adlandırılan hafif yoğunluklu n^- katkılanmış bir bölge içine iki ayrı yoğun olarak katkılanmış p^+ bölgesinden oluşur. Bu p^+ bölgelerine savak ve kaynak adı verilir ve birbirlerinden bir L (kanal uzunluğu) uzaklığı ile ayrılırlar. Savak ve kaynak arasındaki bölgenin yüzeyinde, yüzeyden ince bir dielektrik maddeyle (silikon dioksit) ayrılmış geçit elektrodu bulunur. Benzer şekilde n- kanallı tranzistor da gövde olarak adlandırılan hafif yoğunlukla p^- katkılanmış bir bölge içine iki ayrı yoğun olarak katkılanmış n^+ bölgesinden oluşur. Fark edileceği gibi iki yapı da savak ve kaynak uçları bakımından simetridir. Bu uçları birbirinden ayıran uygulama sırasında sahip oldukları potansiyel farklarıdır. (Allen, Holberg, 1987)



Şekil 2.1 CMOS yapı içerisinde n- ve p- tipi MOSFET tranzistorlar (Sedra, Smith, 1998)

2.2 MOSFET'in Çalışma Prensipleri

n-kanallı ve p-kanallı tranzistorların çalışma prensipleri aynı temel üzerine kurulmuştur. Bu bölümde NMOS tranzistorun çalışması açıklanacaktır.

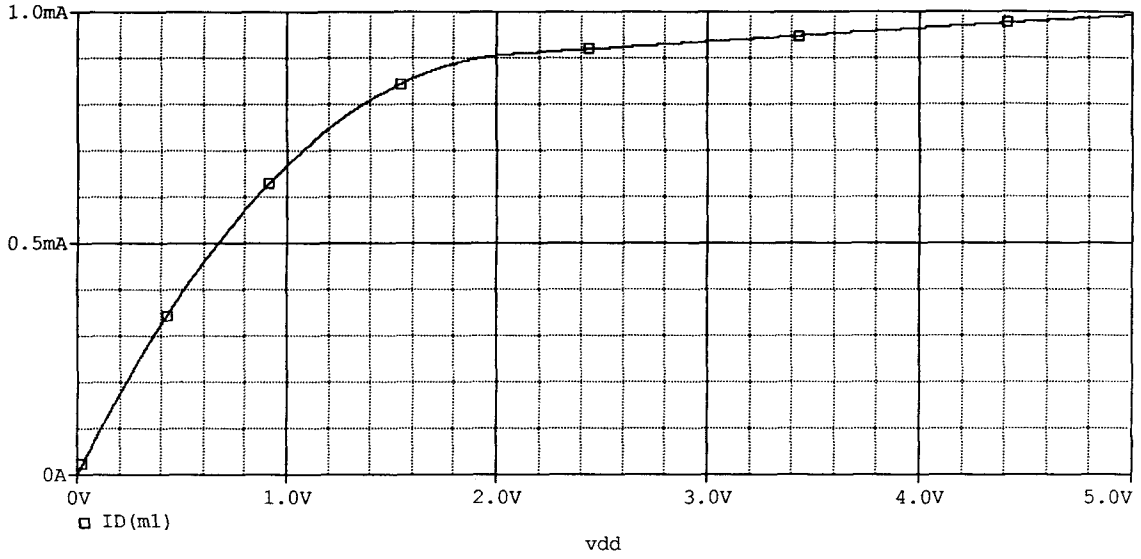
Tranzistörümüzün geçit ucuna gerilim uygulamadığımızda yapıdaki p-n jonksiyonları

sayesinde her iki yöne de akım akmaz. Geçit ucuna pozitif bir gerilim uygulanmaya başlandığında geçit bölgesindeki dielektrik madde altında bulunan yarıiletken içerisinde hareketli negatif taşıyıcılar endüklenir. Bu taşıyıcılar tabandaki azınlık elektronlardır ve geçitteki pozitif yükü dengelemek için yukarı çekilmişlerdir. Geçitteki pozitif gerilim sayesinde yukarı çekilen bu taşıyıcılar bu bölgede çoğunluk haline gelirler ve içinde bulundukları taban yapısının aksine geçidin altındaki yüzeyde n- tipi bir katman halini alırlar. Geçide uygulanan pozitif gerilimin yarattığı elektriksel alan etkisiyle oluşan bu ince katmana, kaynak ve savak arasında oluşturduğu ince yol nedeniyle, “kanal” adı verilir. Tabandaki azınlık taşıyıcılarının bu biçimde yüzeyde çoğunluğa geçmelerine de “evirtim” denir. Kanal oluştuğunda savak ile kaynak uçları arasına uygulanacak pozitif bir gerilim savaktan kaynağa doğru bir akım akmasına neden olacaktır. Sağlanan bu akımın büyüklüğü savak ve kaynak arasında oluşturulan gerilime (V_{DS}) ve oluşturulan kanalın iletkenliğine bağlıdır. Geçit gerilimi (V_{GS}) kanaldaki taşıyıcıların yoğunluğunu belirlediğinden, kanalın iletkenliği geçit gerilimiyle artar. (Zeki, 1993)

MOSFET’te kanal oluşumu belirli bir gerilimden (eşik gerilimi: V_T) sonra gerçekleşir. Eşik gerilimini, elenmanda kullanılan yarıiletkenlerin tipi, katkı yoğunlukları, geçit iletkeninin cinsi ve üretim koşulları belirler. Ayrıca elemanın çalışması sırasında, tabanla kaynak arasındaki negatif gerilim de eşik gerilimini etkiler. İletimi sağlayacak kanalın oluşabilmesi için $V_{GS} > V_T$ olmalıdır. Aksi durumda kanal oluşmayacak, dolayısıyla akım akmayarak eleman kesimde olacaktır. Bu durumda p-n jonksiyonları ters yönde kutuplandığı için ters yönde bir I_0 akımı akacaktır ama bu akım ihmal edilebilecek kadar küçüktür. (Zeki, 1993)

Tranzistorun V_{GS} gerilimi V_{Th} geriliminden büyük tutulup V_{DS} gerilimi $V_{DS}=0V$ noktasından artırılmaya başlanırsa bu gerilimin değeri ve kanal direnci ile doğru orantılı bir akım aktığı gözlenecektir. V_{DS} artırılmaya devam edildiğinde akımın V_{DS} ile değişiminin bozulduğu görülür. Bunun nedeni kanalı oluşturan etkin gerilimin kanalın S ucunda V_{GS} değerinde olmasına karşılık D ucunda ($V_{GS}-V_{DS}$) değerine düşmüş olmasıdır. Buna bağlı olarak kanal kalınlığının azalması kanal direncinin artmasına ve bu da akımın V_{DS} ile artma eğiliminin azalmasına neden olur. V_{DS} artırılmaya yine devam edildiğinde, bir yerde kanalı oluşturan gerilimin D ucundaki değeri olan ($V_{GS}-V_{DS}$) V_{Th} ’a eşit hale gelir. Bu durumda kanalın D ucundaki genişliği sıfıra düşer ve buna kısılma ismi verilir. V_{DS} ’nin daha büyük değerleri için de kaynak ve savak uçları arasında akan akımın değeri kısılmanın başladığı $V_{DS}=(V_{GS}-V_{Th})$ gerilimindeki değere yaklaşık olarak eşit kalır. Akımın V_{DS} gerilimi ile orantılı bir şekilde değiştiği bölgeye lineer bölge, I_D ’nin V_{DS} ile artmasının durduğu bölgeye ise doyma bölgesi

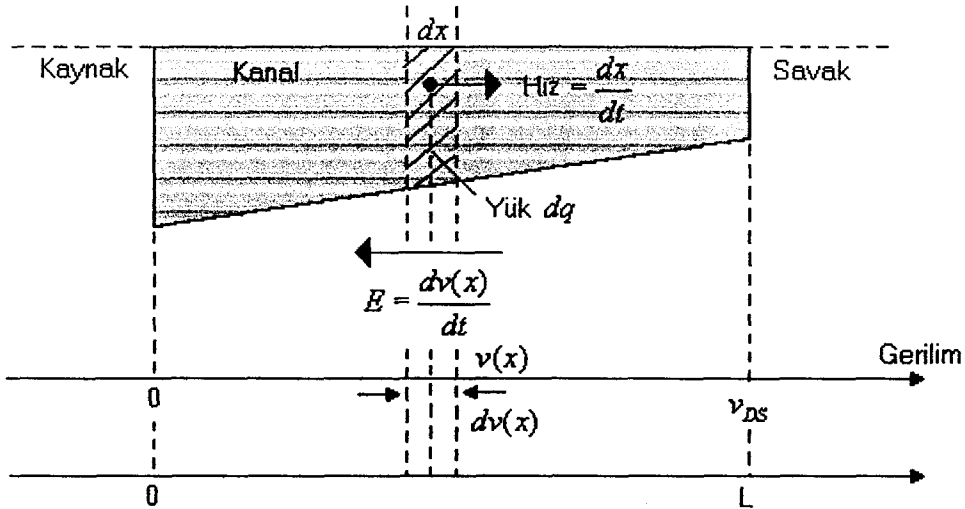
denir. Şekil 2.2’de I_D akımının V_{DS} gerilimine göre değişimini ve iki farklı bölgede izlediği karakteristiği görebiliriz. (Leblebici, 1997)



Şekil 2.2 I_D - V_{DS} akım grafiği

2.3 MOSFET Gerilim-Akım Bağlılıkları

MOSFET’in fiziksel yapısı ve çalışma prensiplerini inceledikten sonra temel gerilim-akım bağıntılarını inceleyelim. Bunun için öncelikle geçit ile kaynak uçları arasına $V_{GS} > V_T$ olacak şekilde bir V_{GS} gerilimi ve lineer bölgede çalışmamızı sağlayacak şekilde bir V_{DS} gerilimi uygulayalım. ($V_{DS} < V_{GS} - V_T$) Bu şartlar altında oluşan kanal Şekil 2.3’te görüldüğü gibi olacaktır. (Sedra, Smith, 1998)



Şekil 2.3 NMOS tranzistor için I_{DS} - V_{DS} karakteristiğinin çıkarımı (Sedra, Smith, 1998)

Oluşan kanalın kaynaktan x uzaklığındaki noktasındaki çok küçük bir parçasının uzunluğuna dx ve bu noktanın gerilim değerine de $v(x)$ diyelim. Bu durumda kaynak ucu ile kanalın bu noktası arasındaki gerilim farkı da $[V_{GS} - v(x)]$ şeklinde ifade edilir. Bu gerilim farkı başlangıçta yaptığımız kabullenmenin bir sonucu olarak V_T eşik geriliminden büyük olur ve kanalın bu çok küçük parçasındaki elektron yükü $dq(x)$

$$dq(x) = -C_{ox}Wdx[v_{GS} - v(x) - v_T] \quad (2.1)$$

şeklinde ifade edilir. Bu denklemde C_{ox} kanal ile geçit elektrodu arasında birim alana karşılık kapasite değeridir. (Sedra, Smith, 1998)

V_{DS} gerilimi kanal boyunca negatif x doğrultusunda bir elektrik alan oluşturur. x noktasında bu elektrik alan aşağıdaki şekilde ifade edilir. (Sedra, Smith, 1998)

$$E(x) = -\frac{dv(x)}{dx} \quad (2.2)$$

Bu elektrik alan $E(x)$, elektron yükü $dq(x)$ 'in savağa doğru bir dx/dt hızı ile hareket etmesine neden olur.

$$\begin{aligned} \frac{dx}{dt} &= -\mu_n E(x) \\ &= \mu_n \frac{dv(x)}{dx} \end{aligned} \quad (2.3)$$

μ_n kanal içindeki elektron mobilitesini ifade etmektedir. Sonuç olarak sürüklenme akımı, birim uzunluk için olan yük $dq(x)/dx$, sürüklenme hızının çarpımından elde edilir. (Sedra, Smith, 1998)

$$i = -\mu_n C_{ox} W [v_{GS} - v(x) - v_T] \frac{dv(x)}{dx} \quad (2.4)$$

Bu akım kanalın yalnızca bir x noktası için hesaplanmış olsa da tüm kanal boyunca aynı değerde olmalıdır. Ayrıca i savak-kaynak akımı olan i_D 'nin negatif işaretlisi olmalıdır. Bu durumda denkleminiz aşağıdaki şekilde tekrar düzenlenebilir. (Sedra, Smith, 1998)

$$i_D dx = -\mu_n C_{ox} W [v_{GS} - v(x) - v_T] dv(x) \quad (2.5)$$

Eşitliğin her iki tarafının da $x=0$ 'dan $x=L$ 'ye kadar integralini alırsak

$$\int_0^L i_D dx = \int_0^L -\mu_n C_{ox} W [v_{GS} - v(x) - v_T] dv(x) \quad (2.5)$$

aşağıdaki I_D akım denklemini elde etmiş oluruz.

$$i_D = (\mu_n C_{ox}) \left(\frac{W}{L} \right) [(v_{GS} - v_T) v_{DS} - \frac{1}{2} v_{DS}^2] \quad (2.7)$$

2.6'daki akım ifadesi lineer bölgedeki akım denklemini vermektedir. Doyma bölgesi için olan denklem $V_{DS}=V_{GS}-V_T$ ifadesinin yukarıdaki bağıntıda yerine konmasıyla elde edilir. (Sedra, Smith, 1998)

$$i_D = (\mu_n C_{ox}) \left(\frac{W}{L} \right) (v_{GS} - v_T)^2 \quad (2.8)$$

Lineer ve doyma bölgeleri için olan akım denklemlerinde görülen $\mu_n C_{ox}$ MOS tranzistoru üretmekte kullanılan üretim teknolojisinin belirlediği sabit değerlerdir. Bu sabit değerler ve gerilim değerleri dışında savak-kaynak akımının tranzistorun geçit elektrodu uzunluk (L) ve genişliğine (W) büyük oranda bağlı olduğu görülmektedir. Tasarımcı uygun W ve L değerlerini seçerek istenen akım-gerilim karakteristiklerini yakalamaya çalışır. (Sedra, Smith, 1998)

2.4 MOSFET SPICE Modelleri

Bu bölümde SPICE MOSFET modellerinden çalışmamız sırasında kullanılan LEVEL3 ve BSIM3 versiyonları tanıtılacaktır. Bu modellerin tranzistorun temel akım gerilim denklemlerini nasıl tanımladığı görülecektir. Bu incelemeler nonlinear MOSFET karakteristiklerinin ne kadar karmaşık ifadeler içerdiğini göstermesi bakımından istenilen parametrelerin hesaplamalar yoluyla elde edilmesinin güçlüğüne ortaya koyacaktır.

Her iki modelin tanıtımı sırasında da tüm model parametrelerinin incelemesi yapılmayacaktır. Yalnızca gerilim-akım bağıntıları ve bunları etkileyen bazı çok önemli parametrelerin üzerinde durulacaktır.

2.4.1 LEVEL3 Modeli

SPICE LEVEL3 MOSFET modeli kısa kanallı MOS tranzistor simülasyonları için geliştirilmiştir. Bu çalışmada bahsedilmeyecek olan LEVEL1 modeli ancak uzun kanal yapılarını modelleyebiliyor ancak kısa kanal değerleri için yetersiz kalmaktadır. LEVEL2 modeli ise LEVEL1'deki bazı açıkları kapamasına rağmen bilgisayar simülasyonları için çok

karmaşık matematiksel ifadeler ve bazı noktalarda yakınsama sorunlarına sahiptir. LEVEL3 SPICE modeli bu açıkları kapamaya yönelik tasarlanmıştır. Modelde kullanılan bağıntıların çoğu ampiriktir. Buradan amaç hem modelin doğruluğunu artırmak hem de programın yürütülmesine harcanan zamanın önemi açısından, hesap karışıklıklarını sınırlamaktır. (Zeki, 1993)

$$I_D = \frac{\mu_s \cdot C_{OX}}{(1 - \lambda V_{DS})} \cdot \frac{W}{L_{eff}} \cdot \left\{ \left[V_{GS} - V_{FB} - 2|\Phi_F| - \frac{V_{DS}}{2} \right] V_{DS} - \frac{2}{3} \gamma \left[(V_{DS} - V_{BS} + 2|\Phi_F|)^3 - (-V_{BS} + 2|\Phi_F|)^3 \right] \right\} \quad (2.8)$$

Yukarıdaki bağıntı savak akımını hesaplamaya yönelik genel denklemi vermektedir. (2.9) ve (2.10) eşitliklerinde ise sırasıyla MOSFET'in lineer ve doyma bölgesi akım denklemleri verilmektedir.

$$I_D = \mu_s \cdot C_{OX} \cdot \frac{W}{L_{eff}} \cdot \left[V_{GS} - V_T - \frac{1 + F_B}{2} V_{DS} \right] V_{DS} \quad (2.9)$$

$$I_D = \mu_s \cdot C_{OX} \cdot \frac{W}{L_{eff}} \cdot \left\{ \left[V_{GS} - V_{FB} - 2|\Phi_F| - \frac{V_{DS}}{2} \right] V_{DS} - \frac{2}{3} \gamma \left[(V_{DS} - V_{BS} + 2|\Phi_F|)^3 - (-V_{BS} + 2|\Phi_F|)^3 \right] \right\} \quad (2.10)$$

$$F_B = \frac{\gamma \cdot F_S}{4 \cdot \sqrt{2|\Phi_F| + V_{SB}}} \quad (2.11)$$

$$\mu_s = \frac{\mu}{1 + \theta \cdot (V_{GS} - V_T)} \quad (2.12)$$

$$L_{eff} = L - \Delta L \quad (2.13)$$

LEVEL 3'ün en karmaşık parçalarından biriyle eşik geriliminin hesaplanmasında karşılaşırız. Eşik gerilimi V_T denklemi aşağıdaki şekilde verilir. Görüldüğü üzere denklem burada incelenmeyen birçok farklı parametreyi içermektedir. Ancak konudan çok uzaklaşmamak adına tüm bu parametreler çalışmamız içerisinde incelenmeyecektir. (Zeki, 1993)

$$V_T = V_{FB} + 2\Phi_F - \sigma V_{DS} + \gamma F_S \sqrt{2\Phi_F - \sigma V_{BS}} + F_N (2\Phi_F - \sigma V_{BS}) \quad (2.14)$$

2.4.2 BSIM3 Modeli

LEVEL1, LEVEL2 ve LEVEL3 birinci kuşak SPICE MOSFET modelleme çalışmalarıdır. Bu modeller daha çok elemanların çalışmalarını açıklayıcı detaylı analitik ifadeler üzerinde durmuşlar ve sonuçta nispeten kolay elde edilen az sayıda parametre oluşturulmuştur. BSIM

ve BSIM2 modelleri ise hızlı ve verimli simülasyon sonuçları için model denklemleri üzerinde matematiksel düzenlemelere yoğunlaşmışlardır. Ancak bu denklemler yarı-ampirik ve ampirik temelli olduğu için üretim teknolojisi hakkında az bir fiziksel bilgi sunmuşlardır. BSIM3 modellemesinin getirdiği en önemli özellik modelin fiziksel temelini geri kazandırmış olmasıdır. Burada amaç modeli oluşturan parametreler ile üretim parametreleri arasında daha sağlam bir bağlantı kurmaktır. BSIM3 modelinin üçüncü versiyonunda modelin daha sürekli ve yumuşak geçişli olmasını sağlayan parametreler eklenmiştir. Böylece değişik çalışma bölgeleri arasında kesinleşmiş bir süreklilik sağlanması ve geçiş bölgelerinin daha yumuşak geçiş fonksiyonlarına sahip olması amaçlanmıştır. (Foty, 1997)

BSIM3 modeli için lineer bölgede çalışan MOSFET için akım denklemi aşağıdaki şekilde verilir. (Henok, Vance, 2000)

$$I_{ds} = \mu_{eff} C_{ox} \frac{W}{L + V_{ds} \mu_{eff} \frac{1}{2v_{sat}}} \frac{(V_{gs} - V_{th} - A_{bulk} V_{ds} / 2) V_{ds}}{2v_{sat}} \quad (2.15)$$

Burada A_{Bulk} ifadesi,

$$A_{bulk} = \left(1 + \frac{K_1}{2\sqrt{\phi - V_{bseff}}} \left\{ \frac{A_0 L_{eff}}{L_{eff} + 2\sqrt{X_j X_{dep}}} \left[1 - A_{gs} V_{gs} \left(\frac{L_{eff}}{L_{eff} + 2\sqrt{X_j X_{dep}}} \right)^2 \right] + \frac{B_0}{W_{eff} + B_1} \right\} \frac{1}{1 + KETA * V_{bseff}} \right) \quad (2.16)$$

şeklinde verilir. (Henok, Vance, 2000)

$$\begin{aligned} V_{th} = & V_{th0} + k_1 (\sqrt{|\phi - V_{bseff}|} - \sqrt{|\phi|}) - k_2 V_{bseff} + k_1 \left(\sqrt{1 + \frac{NLX}{L_{eff}}} - 1 \right) \sqrt{\phi} + (k_3 + k_{3b} V_{bseff}) \frac{T_{ox}}{W_{eff} + W_0} \phi - \\ & - D_{wtw} \left[\exp(-D_{wtw} \frac{W_{eff} * L_{eff}}{2l_{tw}}) + 2 \exp(-D_{wtw} \frac{W_{eff} * L_{eff}}{l_{tw}}) \right] (V_{bi} - \phi) - D_{wt0} \left[\exp(-D_{wt0} \frac{L_{eff}}{2l_t}) + \right. \\ & + 2 \exp(-D_{wt0} \frac{L_{eff}}{l_t}) \left. \right] (V_{bi} - \phi) - \\ & - \left[\exp(-D_{sub} \frac{L_{eff}}{2l_{t0}}) + 2 \exp(-D_{sub} \frac{L_{eff}}{l_{t0}}) \right] (E_{t0} + E_{t1b}) V_{ds} \end{aligned} \quad (2.17)$$

Eşik gerilimi de yukarıda görüldüğü şekilde hesaplanır. (Henok, Vance, 2000)

Tranzistorun satürasyon bölgesindeki çalışması için ise akım denklemi (2.18)'deki şekliyle ifade edilmektedir. (Henok, Vance, 2000)

$$I_{ds} = W * C_{ox} (V_{gsat} - A_{bulk} V_{dsat}) v_{sat} \left(1 + \frac{V_{ds} - V_{dsat}}{V_A}\right) \left(1 + \frac{V_{ds} - V_{dsat}}{V_{ASCE}}\right) \quad (2.18)$$

Aşağıdaki denklemlerde de etkin kanal uzunluk ve genişlik parametreleri görülmektedir. (Henok, Vance, 2000)

$$L_{eff} = L_{drawn} + XL - 2L_{int} - \frac{2LL}{L^{LLN}} - \frac{2LW}{W^{LWN}} - \frac{2LWL}{L^{LLN} W^{LWN}} \quad (2.19)$$

$$W_{eff} = W_{drawn} + XW - 2W_{int} - \frac{2WL}{L^{WLN}} - \frac{2WW}{W^{WVN}} - \frac{2WWL}{L^{WLN} W^{WVN}} - 2DWG * V_{gsat} + DWB(\sqrt{\phi_s - V_{bseff}} - \sqrt{\phi_s}) \quad (2.20)$$

Görüldüğü gibi burada verilen tüm BSIM3 model denklemleri LEVEL3 modeline göre çok daha karmaşık bir yapıya sahiptir.

3. Yapay Sinir Ağları

Yapay Sinir Ağlarını (YSA) biyolojik sistemlerden ilham alınarak geliştirilen yeni bir bilgi işleme tekniği olarak adlandırabiliriz. Yapay Sinir Ağları kısmen de olsa biyolojik sinir sistemi ve insan beyinin yapısını ve fonksiyonlarını taklit etmeyi amaçlar. Ancak biyolojik sistemler o kadar karmaşıktır ki yapay sinir ağı için kullandığımız modeller biyolojik modellerin basite indirgenmiş halidir. (Torpi, 1997)

Yapay sinir ağı kavramının temelini oluşturan en önemli iki özelliği şöyle özetleyebiliriz: 1- Birbiriyle bağlantılı çok fazla sayıda basit işlem elemanları (nöron). 2- Bu işlem elemanları arasında çok fazla sayıda ve karmaşık direkt bağlantı. (Lee, 1991)

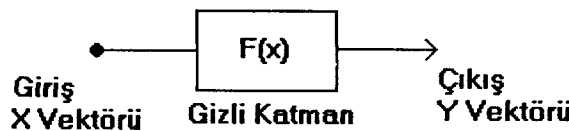
YSA bugün birçok mühendislik dalı ve finans gibi farklı bilim dallarında araştırma konusu haline gelmiştir. Bu değişik bilim dallarında örnek tanıma, optimizasyon, kestirme, kontrol gibi konulardaki çeşitli problemlere çözüm üretmek amacıyla kullanılmaktadır. Bu kadar geniş çaplı uygulama alanı bulabilmesinin en önemli nedeni klasik yöntemlerle çözümü zor olan problemler için etkin bir alternatif getirmiş olmasıdır. (Torpi, 1997)

YSA, girişindeki bilgiyi çok boyutlu ve lineer olmayan bir fonksiyon üzerinden çıkıştaki bilgiye eşleştiren bir modeldir. Giriş uzayı X n-boyutlu bir vektör, bu vektör çıkış uzayında aradaki gizli katmanlar üzerinden, p-boyutlu bir Y vektörüne karşılık düşürülür. (Tepe, 2000)

X ile Y arasındaki ilişki çok boyutlu ve nonlineer olması özelliğiyle YSA modelleri diğer eşleştirme metodlarına göre avantaj sağlamaktadır. (Tepe, 2000)

Bu ilişki matematiksel olarak $Y=F(X)$ şeklinde tanımlanabilir. Buradaki F fonksiyonu normalde basit ve hesaplamalarda düşük belleğe ihtiyaç duyulacak yapıda olmak zorundadır. Geleneksel modellemelerde ve simülasyon tekniklerinde bu F fonksiyonu nümerik hesaplamalar ve analizlerle hesaplanır. YSA yaklaşımında ise bu fonksiyon bir YSA kullanılarak gerçekleştirilir ve nümerik hesap ve analizlere ihtiyaç kalmaz. (Tepe, 2000)

Şekil 3.1'den de görülebileceği gibi n- boyutlu X giriş vektörü bir gizli katman üzerinden p-boyutlu Y çıkış vektörünü oluşturmaktadır. (Tepe, 2000)



Şekil 3.1 Yapay sinir ağı blok gösterimi

3.1 Yapay Sinir Ağlarının Yapısı

Bir yapay sinir ağının temel elemanı Şekil 3.2’de görülen nöronlar yani işlem birimleridir. Bir YSA, işlem birimleri (nöronlar) ile bağlantı geometrisinden oluşan eylem birimi ile bunlara ait bir öğrenme kuralı açıklanarak tanımlanır.

YSA kavramının temelini oluşturan öğrenme kuralı, giriş işaretlerine ve transfer fonksiyonu tarafından sağlanan değerlere cevap olarak yerel bellekteki ağırlıkların hepsini veya bazılarını değiştiren eşitlik olarak bilinir ve giriş işaretlerinin doğasına bağlı olarak, işlem elemanının cevabının değişmesini sağlar. Bu şekilde ağ kendisini istenen cevaplara göre ayarlayabilir ve kendi içinde bilgiyi düzenleyebilir. Bu işlemlere de özetle öğrenme denir. (Özyılmaz, 2000)

Yapay sinir ağları programlama yerine örneklerle eğitilir. Çocukların annelerini tanımaları gibi karşılaştırmalı fizyoloji hakkında hiçbir şey bilmelerine gerek olmadığı gibi, programlayıcılar da sinir ağlarına tanınacak cisimlerin nicel tanımlarını veya söz konusu cisimleri benzer cisimlerden ayırmak için lojik kriter kümeleri sağlamak zorunda değillerdir. Bunun yerine bir ağına bazen tanımları ile beraber, cisim örnekleri de girilir. Ağ, ağırlık matrisindeki değerleri değiştirerek bunları öğrenir ve ağa bir giriş uygulandığı zaman o girişe uygun çıkış cevabı üretir. (Özyılmaz, 2000)

Yapay sinir ağları eğitici ve eğitici olmamak üzere iki şekilde eğitilirler. Eğitici öğrenmede ağa hem giriş hem de istenen çıkış bilgisi girilir. Her denemeden sonra ağ kendi çıkışını doğru cevaplarla karşılaştırır ve çıkış hatası kabul edilebilecek seviye ininceye kadar ağırlıklarını değiştirerek tekrarlama yapar. Eğitici öğrenmede ise hiçbir hedef vektörü yoktur. Giriş vektörü sisteme uygulanır ve sistem, girşin benzer veya ayrılan özelliklerinden yararlanarak uyumlu bir çıkış üretecek şekilde kendini organize eder. Böyle sistemler daha çok sınıflama ve kümeleme problemleri için kullanılır. (Özyılmaz, 2000)

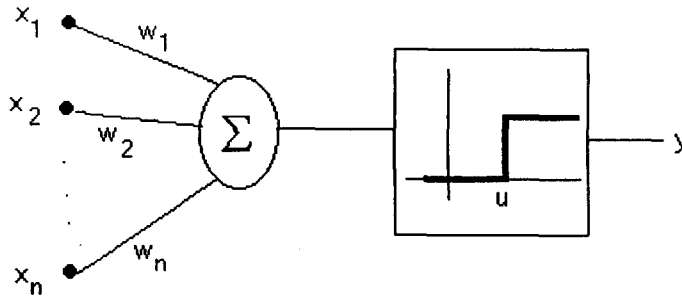
YSA’nın yapısı yönlü bir graf biçimindedir. Her düğüm hücre denilen n . dereceden nonlineer dinamik bir devredir. YSA’ların elektrik devreleri bakımından tanımını özet olarak aşağıdaki şekilde yapabiliriz. (Torpi, 1997)

- YSA’nın düğümleri birer işlem elemanıdır.
- Düğümler arasındaki bağlantılar tek yönlü işaret iletim yollarıdır.
- Her işlem elemanına istenildiği kadar giriş bağlanabilir.
- Her işlem elemanında tek bir çıkış elemanı olabilir. (Fakat bu bağlantı kopyalanabilir.)
- İşlem elemanları yerel bellek taşıyabilir.

- Her işlem elemanının bir transfer (Aktivasyon) fonksiyonu vardır. Kabul edilebilir ki giriş işaretleri yerel bellekte bulunan işaretlerden biri olabilir. Transfer fonksiyonu sürekli ya da kısmen sürekli olabilir. Kısmen sürekli konumunda aktif halde eleman bir çıkış işareti üretir.
- Giriş işaretleri YSA'na bilgi taşır, sonuç ise çıkış işaretlerinden alınır.
- Genel işlem elemanı ancak işlem elemanı aktif konumunda ise giriş işaretleri ve yerel bellekteki işarete göre çıkış işareti üretir.
- YSA bir takım aynı transfer fonksiyonuna sahip alt gruplara ayrılabilir. Bunlara katman denir.
- Pek çok YSA giriş katmanı içerir, ancak bu katmanın bir transfer fonksiyonu yoktur.
- YSA'nın transfer fonksiyonu, yerel bellek elemanları ve bağlantı ağırlıkları, öğrenme kuralı ile giriş çıkış işareti arasındaki bağıntıya göre ayarlanır.
- Aktif yapma girişi için bir zamanlama girişi gerekir.
- Bağlantılarda, taşınan işaretin cinsi tanımlanmalıdır. Bağlantıların geometrisi YSA için önemlidir. Bağlantı işareti her cinsten olabilir. (Haykin 1994; Torpi, 1997)

3.1.1 Nöron Modeli

YSA'nın genel anlamda temel özelliklerinden bahsettikten sonra şimdi de işlem birimi olan nöronların nasıl bir model kurularak sunulduğunu inceleyelim. McCulloch ve Pitts, bir yapay sinir hücresi için hesaplama modeli olarak, Şekil 3.2'de görülen binary threshold (ikili eşik) işlem elemanı önerdiler. Bu matematiksel sinir hücresi girişindeki x_j ($j=1,2,...,n$) işaretlerini ağırlıklı toplama tabi tutarak, çıkışta 1 veya 0 üretir. Eğer toplam, u eşik değerinden büyük olursa 1, aksi takdirde 0 sonucuna ulaşılır.



Şekil 3.2 Mc Culloch vd Pitts Modeli

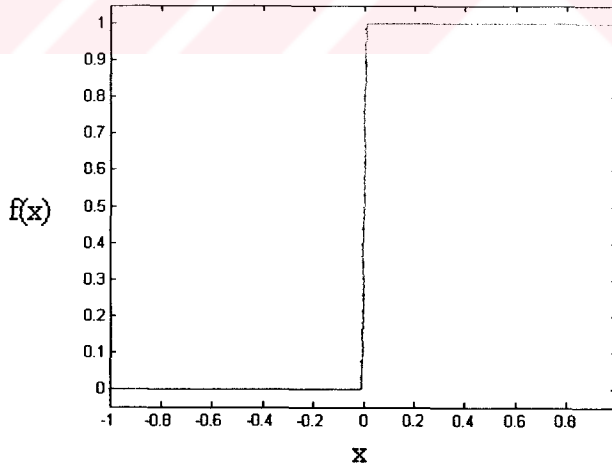
Matematiksel olarak

$$y = \theta[\sum_{j=1}^n w_j x_j - u] \quad (3.1)$$

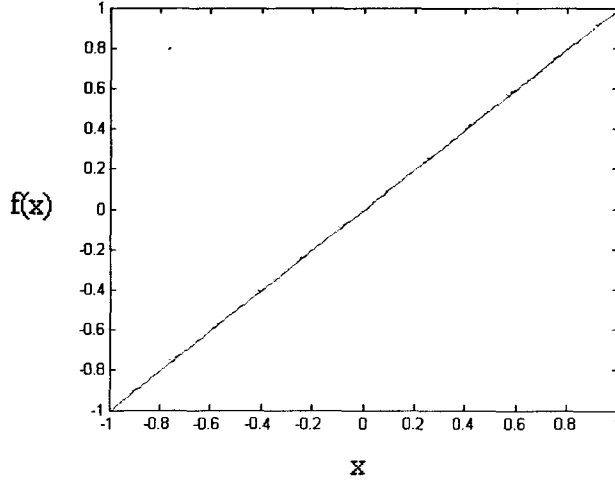
şeklinde bir çıkış elde edileceği görülmektedir. Burada $\theta(.)$ birim basamak fonksiyonudur. Notasyon basitliği için genelde u eşik değeri, girişinde $x_0=1$ olan $w_0=-u$ şeklinde bir ağırlık düşünülür. Pozitif ağırlıklar uyarıcı (excitatory) sinaplara, eksi ağırlıklar ise yasaklayıcı (inhibitory) sinaplara karşılık düşmektedir. McCulloch ve Pitts genel olarak uygun ağırlıkların seçilmesiyle bu tür nöronların evrensel hesaplama yapabildiğini ispatladılar. McCulloch ve Pitts basitleştirme adına bazı kabullerde bulunduklarından bu model biyolojik sinir hücresini tam olarak modelleyememektedir. McCulloch ve Pitts modeli bir çok alanda geliştirilmiştir. Eşik fonksiyonu yerine farklı aktivasyon fonksiyonları kullanılmıştır. (Tepe, 2000)

3.1.2 Aktivasyon Fonksiyonları

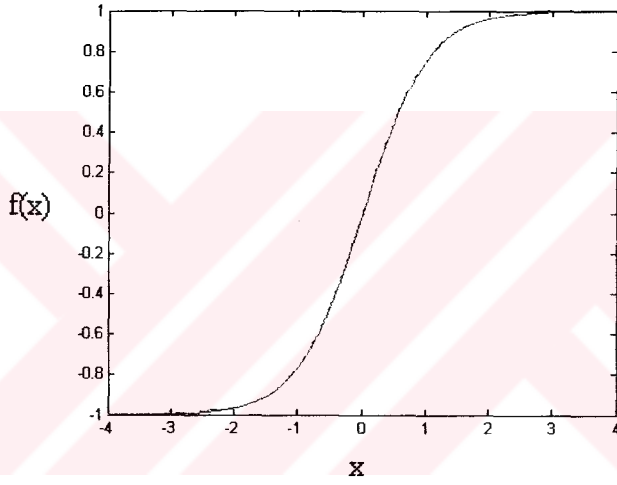
Aktivasyon fonksiyonları muhtemel sonsuz domen girişli işlem elemanlarını önceden belirlenmiş sınırlarda çıkış olarak düzenlerler.[15] Bir kaç tip yaygın aktivasyon fonksiyonu vardır: a) Basamak, b) Rampa, c) Tanjant-sigmoid. Aşağıda denklemleri verilmiş olan bu fonksiyonların biçimleri Şekil 3.3'de görülmektedir.



Şekil 3.3(a) Basamak Fonksiyonu



Şekil 3.3(b) Rampa Fonksiyonu



Şekil 3.3(c) Tanjant-sigmoid Fonksiyonu

Bu çalışmada gizli katmanlardaki nöronların aktivasyon fonksiyonu olarak tanjant-sigmoid kullanılmıştır. Özellikle nonlinear karakterisiği sayesinde nonlinear sistemlerin modellenmesinde YSA açısından önemli bir fonksiyon tipidir.

3.2 Yapay Sinir Ağı Tipleri

YSA girişi çıkışa bağlayan yapay sinir hücrelerinin oluşturduğu düğümlerle, düğümleri birbirine bağlayan ağırlıklardan oluşmaktadır. Bağlantı yapısına bağlı olarak YSA iki grupta toplanabilir. (Tepe, 2000; Haykin, 1994)

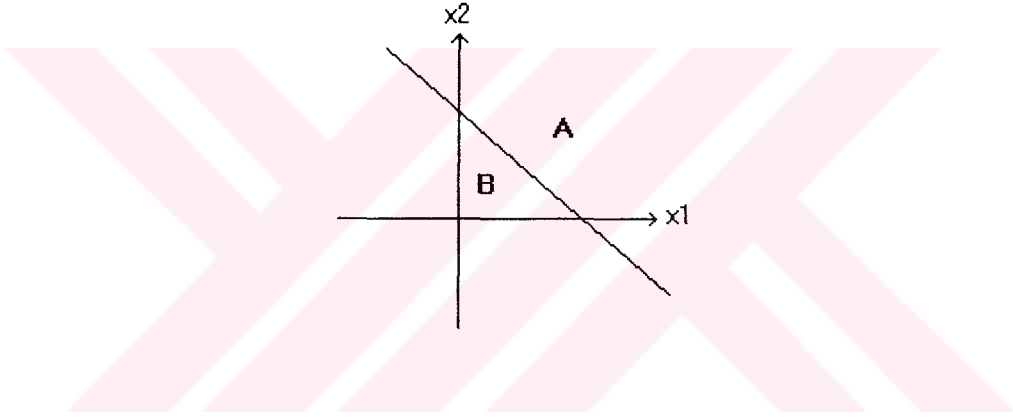
- 1) İleri Beslemeli Ağlar: Her bir katmandaki hücreler sadece bir önceki katmandaki hücrelerce beslenir. İleri beslemeli ağlara örnek olarak tek katlı ve çok katlı algılayıcı, radyal temelli fonksiyon ağları örnek verilebilir.

- 2) Geribeslemeli Ağlar: En az bir hücre, sonraki katmandaki hücrelerce beslenir. Geribeslemeli ağlara örnek olarak ise yarışmalı ağlar, kohonen ve hopfield ağları sayılabilir.

Bu çalışmada tüm YSA modelleri ve bunların öğrenme algoritmaları hakkında bilgi verilmeyecek yalnızca YSA modelini oluşturduğumuz çok katmanlı algılayıcı yapısı ve öğrenme algoritması hakkında açıklamalarda bulunulacaktır.

3.2.1 Algılayıcı (Perceptron) Yapısı

1958 yılında Rosenblatt tarafından önerilen algılayıcı öğrenme algoritmasında ağırlıkların değişimi, çıkış ile istenen çıkışın farkı ile orantılıdır. Dolayısıyla eğitici bir öğrenme algoritması söz konusudur. Algılayıcı, Şekil 3.2’de görülen bir veya daha çok işlem elemanından meydana gelen basit bir yapay sinir ağıdır. Şekil 3.4 ise algılayıcının iki sınıfı birbirinden nasıl ayırdığını göstermektedir. (Özyılmaz, 2000)



Şekil 3.4 Basit algılayıcı yapısının iki sınıfı birbirinden ayırması

Şekil 3.2’te verilen örnek yapı için algılayıcı öğrenme algoritmasını şöyle açıklayabiliriz.

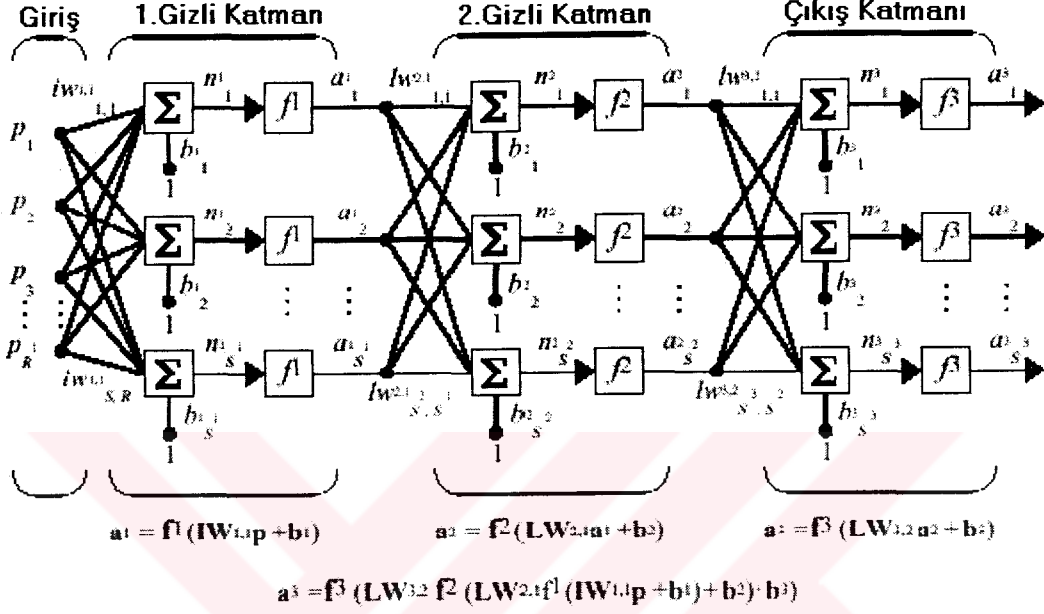
$$w_i(k+1) = w_i(k) + \alpha [d_i(k) - \text{sgn}(w_i(k) x_i(k))] x_i(k) \quad (3.2)$$

(3.2) eşitliğinde yer alan x_i , giriş vektörünün i . elemanını temsil ederken w_i , yerel belleğin i . elemanını, d_i hedef çıkışı temsil etmektedir. α , öğrenme oranını belirleyen 0 ile 1 arasında pozitif bir sayıdır. Devrenin çıkışı, iki kutuplu ve ağırlıkların oluşturduğu bir hiper yüzey tarafından belirlenmektedir. Ağın ürettiği çıkış istenen çıkıştan farklı ise, hiper yüzey hatayı azaltacak yönde hareket etmelidir. Hata sıfır olduğunda w değişimi durmaktadır. (Haykin, 1994; Özyılmaz, 2000)

3.2.2 Çok Katmanlı Algılayıcı (Multi Layer Perceptron, MLP)

Çok katmanlı algılayıcı (MLP) en yaygın kullanılan YSA yapılarından biridir. Bir MLP

algılayıcı (perceptron) tipi nöronlardan oluşmuş ileri beslemeli bir ağıdır. Bu algılayıcı birimler bir araya gelerek katmanlar oluştururlar. MLP bir giriş katmanı, bir çıkış katmanı ve en az bir veya birden çok gizli katmana sahiptir. Şekil 3.5’de iki gizli katmana sahip bir MLP yapısı görülmektedir. MLP tamamen bağlantılı bir ağ yapısıdır. Yani bir katmandaki her nöron bir sonraki katmandaki tüm nöronlarla bağlantıya sahiptir. (Horvath, 2003)



Şekil 3.5 Çok katmanlı algılayıcı (MLP) yapısı.

MLP birçok zor ve farklı problemin çözümünde başarıyla uygulanabilmektedir. Yeterli sayıda sigmoid aktivasyon fonksiyonlu tek bir gizli katmana ve lineer bir çıkış nöronuna sahip bir MLP, $f: R^N \rightarrow R$ şeklindeki herhangi bir sürekli fonksiyonu istenen bir yaklaşıklıkla tahmin edebilir. MLP'nin bu yaklaşıklık yeteneğini ortaya koyan birbirinden biraz farklı birkaç matematiksel sonuç vardır. Bunlardan en önemlileri Hornik, Cybenko, Funahashi ve Leshno tarafından geliştirilmiştir. (Horvath, 2003)

Genelde MLP ağının eğitiminde eğitici yöntem kullanılmaktadır. En yaygın kullanılan algoritma hatanın geriye yayılım algoritmasıdır. Bu algoritma tespit edilen hatanın azaltılabilmesi için parametrelerde yapılacak olan değişikliğin bir artışı mı yoksa bir azalmayı mı gerektirdiğinin belirlenmesi kuralına dayanır. Bu kural hata doğrulama öğrenme kuralı olarak da bilinir. (Horvath, 2003; Özyılmaz, 2000)

Temelde hatanın geriye yayılım algoritması, ağıdaki katmanlardan işaret akışının iki sefer sağlanmasına dayanır. İşaret akışı, önce bütün katmanlar üzerinden ileriye doğru ve sonra

geriye doğrudur. İşaretin ileri akışında ağın giriş katmanına bir giriş vektörü uygulanır. Bu girişin etkisi katmandan katmana geçerek çıkışa ulaşır. Sonuçta bu giriş vektörü için bir çıkış vektörü elde edilir. İleri akışta sinaptik ağırlıklar sabit olup herhangi bir değişikliğe uğramazlar. İşaretin geriye akışında hata doğrulama kuralına göre ağırlıklar tekrar ayarlanır. Ağın giriş vektörüne olan cevabı istenen çıkış vektöründen çıkarılır. Böylece hata işareti elde edilmiş olur. Bu hata işareti ağ boyunca sinaptik ağırlıklarda yapılacak ayarlamayı belirlemek üzere geriye doğru yol alır. ‘Hatanın geriye yayılımı’ (Backpropagation) ifadesi de buradan gelmektedir. Sinaptik ağırlıklarda yapılan ayarlamalar ağın cevabının istenen cevaba yaklaşmasını sağlayacak şekildedir.

Bir MLP yapısı üç farklı özellik gösterir:

- 1) Ağdaki her bir nöron girişlerin ağırlıklı toplamlarını doğrusal olmayan bir fonksiyona tabi tutarak çıkışına aktarır. Burada vurgulanması gereken önemli bir nokta bu fonksiyonun Rosenblatt’ın önerdiği algılayıcıdan farklı olarak her noktada türevi alınabilir bir fonksiyon olmasıdır. Genellikle bu türevi alınabilirlik özelliğini sağlamak amacı ile eğrisel bir fonksiyon ile tanımlanan sigmoid fonksiyonu kullanılır. Burada net_j j . sinir hücresine ait ağırlıklı toplamı yani aktivasyon değerini ve y_j j . sinir hücresinin çıkışını ifade eder.

$$y_j = \frac{1}{1 + \exp(-net_j)} \quad (3.3)$$

- 2) Ağ bir ya da daha fazla sayıda gizli katman içerir. Her bir gizli katman bir önceki katmandan, daha anlamlı sonuç alır ve bu sonuçları daha da anlamlandırarak bir sonraki katmana iletir. Böylece giriş vektörüne giriş katmanının cevabı katmandan katmana istenen çıkışa gittikçe yaklaşarak aktarılır.
- 3) Ağda sinir hücreleri çok yoğun bir biçimde birbirleriyle bağlanmışlardır. Ağ bağlantısındaki ya da bir hücrenin girişindeki herhangi bir ağırlıkta meydana gelecek en ufak bir değişim bütün sinaptik bağlantıların ya da ağırlıkların değişimini gerektirir.

Her bir gizli katmandaki ya da çıkış katmanındaki sinir hücresi şu iki hesaplamayı yapacak şekilde tasarlanmıştır:

- 1) Bir sinir hücresinin çıkışında görülen fonksiyon işaretinin hesaplanması. Bu fonksiyon işareti sinir hücresindeki giriş işaretlerinin ağırlıklı toplamının sürekli bir fonksiyonudur.
- 2) Gradyent vektörünün o anki tahmini değerini hesaplamak. Gradyent vektörü, sinaptik ağırlıkların bir fonksiyonu olan hata performansı yüzeyinin dip noktasına yani optimum çözümün bulunduğu noktaya ulaşmak için algoritmanın sinaptik ağırlıklarında yapılmasını belirlediği artımların oluşturduğu vektördür. (Haykin, 1994; Özyılmaz, 2000)

3.2.2.1 Geriye Yayılma Algoritması (Backpropagation)

Minsky ve Papert 1969’da iki katmanlı ileri beslemeli ağların tek katmanlı algılayıcıdaki bir çok sınırlamayı ortadan kaldırdığını göstermiş fakat gizli katmanların ağırlıklarının nasıl

değiştirdiği konusuna bir çözüm getirememişlerdir. Geriye yayılma algoritması bu probleme bir çözümdür.

Geriye yayılma algoritması ilk olarak 1970'lerde Paul Werbos tarafından ileri sürülmüş, ancak 1986'da Rumelhart ve McClelland tarafından tekrar düzenleninceye kadar pek kullanılmamıştır.

Bu çözümün arkasındaki temel düşünce, çıkış katmanının hücrelerine ait hataların geriye yayılmasıyla gizli katmanların hücrelerine ait hataların belirlenmesi sonucu ağırlık bağlantı ağırlıklarının bu hataları minimum yapacak şekilde değiştirilmesidir. Bu nedenle yöntem geriye yayılmalı öğrenme kuralı denir.

Geriye yayılma aynı zamanda Widrow ve Hoff tarafından öne sürülen Delta kuralının lineer olmayan aktivasyon fonksiyonları ve çok katmanlı ağlar için genelleştirilmesi olarak da düşünülebilir.

Geriye yayılma algoritmasının uygulandığı bir YSA sistemine giriş verildiğinde bu girişler bağlantı ağırlıkları vasıtasıyla çıkış katmanına doğru iletilirler. Algılayıcı yapısında olduğu gibi bir nörona toplam giriş, girişlerin ağırlıklı toplamı yoluyla belirlenir.

$$net_j = \sum_i w_{ij} a_i \quad (3.4)$$

Burada a_i bir önceki katmanın i . biriminden gelen giriş, w_{ij} ise bu giriş ile işlemin gerçekleştiği katmandaki j . nöronumuzu bağlayan ağırlıktır. Bu toplam giriş bir aktivasyon fonksiyonundan geçirilerek nöronun çıkışı elde edilir.

Geriye yayılım algoritmasında eğitim iki adımda gerçekleşir. Öncelikle her giriş paterni I_p sisteme girilir ve çıkış katmanına doğru iletilir. İkinci olarak ise gradyent yöntemi kullanılarak giriş eğitim patern setinin toplam hatası minimize edilir. Gradyent yönteminde ağırlıklar, her ağırlığa göre ölçülen hatanın türevinin eksi işaretlisi ile değişmektedir.

$$\Delta w_{ij} = -\varepsilon \frac{\partial E}{\partial w_{ij}} \quad (3.5)$$

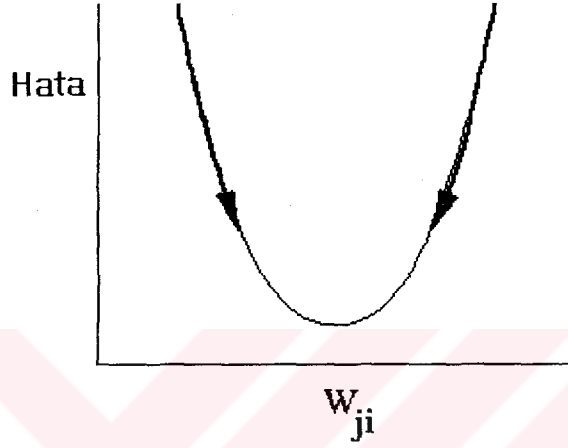
Her giriş paternine ait hata ve toplam hata ise sırasıyla aşağıdaki şekilde gösterilir. Bahsedilen hata karesel ortalama hatadır.

$$E_p = \frac{1}{2} \sum_j (t_{pj} - o_{pj})^2 \quad (3.6)$$

$$E = \sum_p E_p \quad (3.7)$$

Burada o_{pj} j.nöronun p paternine karşılık verdiği çıkış, t_{pj} ise arzulanan çıkıştır.

Şekil 3.6 gradyent azalma yönteminin genel kavramını göstermektedir. Her paterne ait ağırlık hesaplandıktan sonra her ağırlık, çıkış katmanından giriş katmanına doğru geriye yayılan hesaplanmış hata gradyenti yönünde ayarlanmaktadır. Ağırlıklarda yapılan değişiklikler tüm sistemin toplam hatasının düşmesini sağlar.



Şekil 3.6 Toplam hata ile ağırlığın değişimi arasındaki ilişkiyi gösteren grafik.

Geriye yayılım öğrenme kuralının çıkarımı için zincir kuralı kullanılır. Her giriş paterni için hata gradyenti iki kısmi türevin çarpımı olarak tekrar yazılır. İlk kısmi türev toplam girişin hatasındaki değişimi bir fonksiyon olarak temsil eder. İkinci kısmi türev ise ağırlıklardaki değişimin girişlerdeki değişime etkisini yansıtır. Böylece hata gradyenti aşağıdaki şekilde ifade edilir.

$$\frac{\partial E_p}{\partial w_{ij}} = \frac{\partial E_p}{\partial net_{pj}} \cdot \frac{\partial net_{pj}}{\partial w_{ij}} \quad (3.8)$$

Bir işlem birimine toplam giriş denklemini bildiğimiz için ikinci kısmi türevi direkt olarak yazabiliriz.

$$\frac{\partial net_{pj}}{\partial w_{ij}} = \frac{\partial (\sum_k w_{jk} o_{pk})}{\partial w_{ij}} = o_{pi} \quad (3.9)$$

İlk kısmi türevin negatif işaretlisini hata işareti olarak adlandıracağız.

$$d_{pj} = -\frac{\partial E_p}{\partial net_{pj}} \quad (3.10)$$

Böylece E_p hata işaretini de dikkate alarak w_{ij} ağırlığındaki değişim aşağıdaki şekilde ifade edilebilir. Denklemden görülen α ifadesi öğrenme oranını temsil eder.

$$\Delta_p w_{ij} = \alpha \cdot d_{pj} o_{pj} \quad (3.11)$$

Bu aşamadan sonra geriye yayılım algoritmasının anlaşılmasının tamamlanması açısından yapılması gereken son işlem, d_{pj} 'in ne olduğunun belirlenmesidir. d teriminin, hatanın çıkışlardan girişlere doğru geriye yayılarak hesaplanan ve sürekli kendini tekrar eden bir hesaplaması vardır. d_p için yine zincir kuralını kullanıp, bu terimi iki kısmi türevin çarpımı şeklinde yazalım.

$$d_{pj} = -\frac{\partial E_p}{\partial o_{pj}} \cdot \frac{\partial o_{pj}}{\partial net_{pj}} \quad (3.12)$$

Denklemin ikinci kısmındaki o_{pj} nöronun çıkışı olduğundan türevi de kolayca hesaplanır.

$$o_{pj} = f(net_{pj}) \quad (3.13)$$

$$\frac{\partial o_{pj}}{\partial net_{pj}} = f'(net_{pj}) \quad (3.14)$$

Denklemin birinci kısmındaki türevin hesaplamasında ise göz önüne alınması gereken iki durum vardır.

Durum 1: u_j nöronun, sistemin çıkış birimlerinden biri olduğunu varsayarsak, E_p hatasının (3.6)'daki tanımından yola çıkarak belirtilen türevi aşağıdaki şekilde yazabiliriz.

$$\frac{\partial E_p}{\partial o_{pj}} = -2(t_{pj} - o_{pj}) \quad (3.15)$$

Bu iki kısmi türev parçasını d_{pj} denkleminde yerine koyarsak aşağıdaki sonucu elde etmiş oluruz.

$$d_{pj} = 2(t_{pj} - o_{pj}) f'(net_{pj}) \quad (3.16)$$

$$\frac{\partial E_p}{\partial o_{pj}} = \sum_k \frac{\partial E_p}{\partial net_{pk}} \cdot \frac{\partial net_{pk}}{\partial o_{pj}}$$

$$\frac{\partial E_p}{\partial o_{pj}} = \sum_k \frac{\partial E_p}{\partial net_{pk}} w_{kj}$$

$$\frac{\partial E_p}{\partial o_{pj}} = -\sum_k d_{pk} w_{kj}$$

$$\frac{\partial E_p}{\partial o_{pj}} = \sum_k \frac{\partial E_p}{\partial net_{pk}} \cdot \frac{\partial (\sum_i w_{ki} o_{pi})}{\partial o_{pj}} \quad (3.17)$$

Durum 2: Ancak u_j nöronun gizli katmanlardan birine ait bir nöron olduğunu varsayarsak, yine zincir kuralını kullanarak aşağıdaki denklemleri elde etmeliyiz. Bu durumda yukarıda çıkan sonuçlar hesaplanarak, nöronun gizli katmana ait olması durumu için d_{pj} aşağıdaki şekilde gösterilir.

$$d_{pj} = -(\sum_k d_{pk} w_{kj}) f'(net_{pj}) \quad (3.18)$$

d_{pj} ifadesinin de belirlenmesinden sonra geriye yayılma algoritmasını kısaca şöyle özetleyebiliriz. Eğitim sırasında her bağlantıdaki ağırlık, hata işareti d' 'ye orantılı olacak şekilde güncellenir. E_p hata hesaplamasında gradyent azalma yöntemi kullanılarak u_I ve u_j nöronları bağlamakta kullanılan ağırlığın değişimi aşağıdaki gibi verilir.

$$\Delta_p w_{ij} = \alpha \cdot d_{pj} a_{pi} \quad (3.19)$$

Bu ifadede α öğrenme oranını, a_{pi} ise bir önceki katmanın i . nöronundan gelen girişi gösterir. Güncellenen yeni ağırlıkların gösterimi ise aşağıdaki şekildedir. ([1]; Seven, 1993; Haykin, 1994; Özyılmaz, 2000)

$$\Delta w_{ij}(n+1) = \alpha \cdot d_{pj} a_{pi} + \Delta w_{ij}(n) \quad (3.20)$$

3.2.2.2 Yerel Minimum

Geriye yayılma algoritması gradyent azalma yöntemini kullandığı için geriye yayılmalı ağ, ağırlıkların azalmanın olduğu yönde güncellenmesiyle beraber hata yüzeyinin yüksekliğini takip eder. Saklı katmanı olmayan iki katmanlı (giriş ve çıkış katmanları) hata yüzeyi bir kase şeklindedir ve kasenin dibinde minimum hatayı (global minimum) bulmak sorunsuz olarak gerçekleşir. Ancak bir gizli katmanın ilave edilmesiyle beraber karmaşık hata yüzeylerinin birden fazla minimum noktasına (yerel minimumlar) sahip olma ihtimali ortaya çıkar. Bu da beraberinde sistemimizin global minimumu bulamadan yerel minimumlardan birine takılıp

kalma riskini getirir. Genellikle daha fazla gizli katman katmak yerel minimuma takılma sorununa bir çözümdür. Eklenen yeni katmanlar hata yüzeyinin karmaşıklığını artırmış olsa da, ortaya çıkan yeni boyutlar yerel minimumlardan kaçış yolları oluşturur. ([1])

3.2.2.3 Öğrenme Oranı ve Momentum Terimi

Ağırlıkların güncellenmesi denkleminde hatırlayacağımız üzere, değişim oranı öğrenme katsayısının büyüklüğü ile orantılıdır. Yani daha büyük bir öğrenme oranı ağırlıkların her eğitim adımında daha çok değişmesine ve sonuca daha çabuk ulaşılmasına neden olur. Ancak öğrenme oranının büyüklüğü yapay sinir ağı sistemimizin kararlı bir çözüme ulaşması konusunda belirleyici bir faktördür. Öğrenme oranı çok büyük olursa ağırlıklardaki değişim gradyent azalmayı sağlamaz ve ağırlıklarda osilasyon gözlenir.

Bu durumda doğal olarak bu osilasyonu sağlamayacak en büyük öğrenme oranını seçmek isteriz. Böylece mümkün olan en hızlı öğrenmeyi sağlamış oluruz. Bunu sağlamak için, geriye yayılım algoritmasına momentum terimi adı verilen bir parametre eklenerek, algorithmada ufak bir modifikasyona gidilmiştir.

$$\Delta w_{ij}(n+1) = \alpha \cdot d_{pj} a_{pi} + \mu \Delta w_{ij}(n) \quad (3.21)$$

Yukarıda görülen μ momentum terimini temsil etmektedir ve denklemden de görüleceği üzere görevi bu adımdaki ağırlık değişimine önceki adımdaki ağırlık değişiminin belli bir oranını eklemektir. Bu yöntem sistemin hem yerel minimumlardan kurtulabilmesinde yardımcı olur hem de hızlı öğrenmeyi sağlar. ([1]; Özyılmaz, 2000)

4. Yapay Sinir Ağı Modelinin Geliştirilmesi

Çalışmamızın bu bölümünde MOSFET tranzistörümüzün kanal uzunluk ve genişlik parametrelerini belirleyen yapay sinir ağı tabanlı modelin nasıl gerçekleştirildiği açıklanacaktır.

Modelin oluşturulması için kullanılan yapay sinir ağı modeli ve onun yapısının açıklanmasının yanında ayrıca oluşturulan modeli eğitmek için kullanılan eğitim datalarının hangi şartlarda ve nasıl üretildiği de açıklanacaktır.

Eğitim süreci hakkında da bilgi verildikten sonra modelin test edilmesinin nasıl gerçekleştirildiği ve test sonuçları bölümün sonunda sunulacaktır.

İki ayrı üretim parametreleri (LEVEL3- 1,5 μ m ve BSIM3- 0,18 μ m) kullanılarak iki farklı model oluşturulduğu için, konu başlıkları altında her iki parametre grubuna ait model de incelenecektir.

4.1 Yapay Sinir Ağı Modelinin Amacı

Giriş bölümünde de açıklandığı üzere oluşturduğumuz bu modelin amacı devre tasarımı sırasında MOSFET tranzistörlerin kanal uzunluk ve genişlik parametrelerinin belirlenmesidir.

(2.6) ve (2.7)'de görülen denklemler sırasıyla tranzistörün lineer ve doyma bölgesi için çıkarılmış olan akım denklemleridir. Bu denklemler, ikinci bölümün ilerleyen kısımlarında açıklandığı üzere çok daha karmaşık şekillerde karşımıza çıkmaktadır. Denklemlerden görüldüğü üzere W ve L değerleri I_D akımının değerini direkt olarak etkilemektedir. Bağıntıların içerisinde bulunan belirli V_{GS} ve V_{DS} değerleriyle, istenen I_D akımını verecek kanal uzunluk ve genişlik parametrelerini bulabilmek için karmaşık hesaplamalar yapmak durumunda kalırız. İşte ortaya koyacağımız yapay sinir ağı modelinin işlevi bu noktada ortaya çıkmaktadır. Daha önce belirlenmiş V_{GS} ve V_{DS} değerleri sonucunda ulaşılması istenen I_D 'nin de karar verilmesiyle bu üç parametre oluşturulan yapay sinir ağı modeline giriş olarak verilir. Çıkışları W ve L parametreleri olan ağıımız bize istenen gerilim değerleriyle istenen akım sonucunu sağlayarak kanal genişlik ve uzunluk parametrelerini sağlar.

4.2 Data Setlerinin Üretimi

Yapay sinir ağı modelinin sağlıklı bir sonuç verebilmesi için iyi bir eğitim ve bu eğitimi sağlayacak data setlerine ihtiyaç duyarız. Farklı gerilim ve akım değerlerinde uygun kanal parametrelerini bulabilmek için, geniş bir sınır içerisinde ve yeterince sıklıkta kanal

parametreleri ve giriş gerilim değerleri ile tranzistörümüzün çalışmasını simüle etmeli ve çıkan sonuçları data seti olarak kullanmalıyız. Açıklanan bu durumda simülasyonlar için bizim tarafımızdan belirlenen değişken değerler W , L değerleri ve V_{GS} , V_{DS} gerilimleridir. Simülasyon çıkışında ise bir I_D akım değeri elde edilir. Simülasyonlar sonucunda bu beş parametre sütunlar halinde data dosyaları olarak kaydedilerek MATLAB programına uygun bir formata getirilir.

Data setlerinin elde edilmesi sırasında çeşitli sınırlamalarla karşı karşıya kalmaktayız. Eğitimin sağlıklı yapılabilmesi için mümkün olduğunca fazla data elde etmemiz gerekliliği yanısıra şimdi açıklanacak bazı nedenlerle de elde edilecek data sayısı bazı sınırlar içerisinde kalmak zorundadır. Oluşturulacak model elde ettiğimiz bu data setleriyle MATLAB programında uzun bir eğitim sürecinden geçecektir. İşte bu eğitim sürecinin uzunluğu kullandığımız bilgisayarın hızı, hafızası gibi teknik imkanlarla beraber oluşturduğumuz ağın yapısına ve elde ettiğimiz dataların sayısına da bağlıdır. Bu durumda ağın eğitimini makul bir sürede tamamlayabilmek için kısıtlamamız gereken değişkenlerden biri de data sayılarıdır. Aksi halde eğitim süreci çok uzun sürebilmekte hatta bir sonuca ulaşamamaktadır.

Daha önce açıkladığımız üzere iki farklı üretim parametre grubu için n- ve p- tipi tranzistörler ile ikişer farklı model oluşturduğumuzdan, bu modellerle ilgili data setlerinin çıkarımları ve sayıları alt başlıklarda daha detaylı incelenecektir.

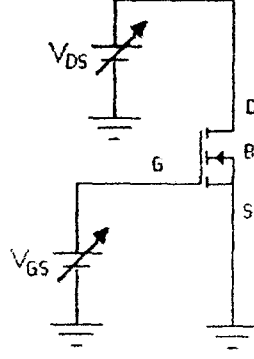
Data setlerini oluştururken yapılan simülasyonlarda HSPICE simülasyon ortamı kullanılmıştır.

4.2.1 LEVEL3 (1,5 μm) Üretim Parametreleri ile Data Setlerinin Çıkarımı

Bu bölümde LEVEL3 parametreleri kullanılarak sırasıyla n- ve p- tipi MOSFET tranzistörler için çıkarılan data setleri açıklanacaktır.

4.2.1.1 n-tipi MOSFET

HSPICE’ta yapılan simülasyonlar sırasında n-tipi tranzistörümüzün V_{GS} ve V_{DS} gerilimlerini istenen sınırlar içinde taratmak için Şekil 4.1’de görülen devre kullanılmıştır.



Şekil 4.1 n-tipi MOSFET için data elde edilen devre yapısı

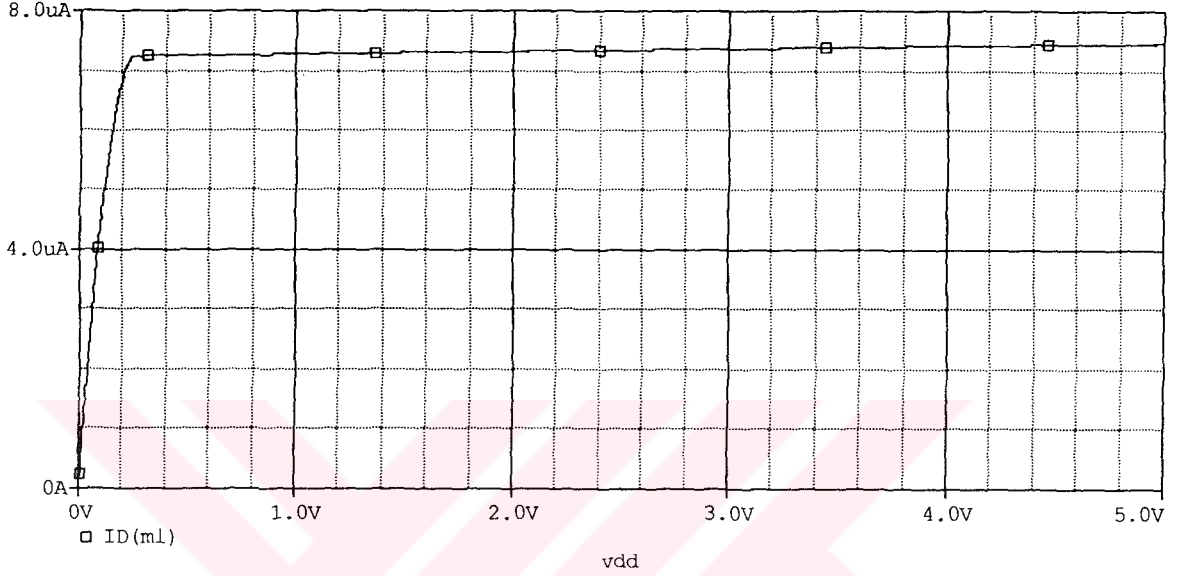
Üretim parametrelerine göre minimum kanal uzunluğu $1,5 \mu\text{m}$ olduğu için L değeri $1,5 \mu\text{m}$ ile $4 \mu\text{m}$ arasında $0,5 \mu\text{m}$ aralıklarla taratılmıştır. Kanal genişlik değeri olan W ise $1,5 \mu\text{m}$ ile $6 \mu\text{m}$ arasında yine $0,5 \mu\text{m}$ aralıklarla taratılmıştır.

Her W ve L kombinasyonu için V_{GS} ve V_{DS} gerilimleri çalışma aralıkları içinde taratılmalıdır. Yapılan tüm modelleme çalışmaları sırasında tranzistorun eşik altı çalışma bölgesi modelleme dışında tutulacağından V_{GS} gerilimi 1V - 5V arası taratılacaktır. V_{DS} gerilimi ise 0V - 5V arasında değiştirilebilecektir.

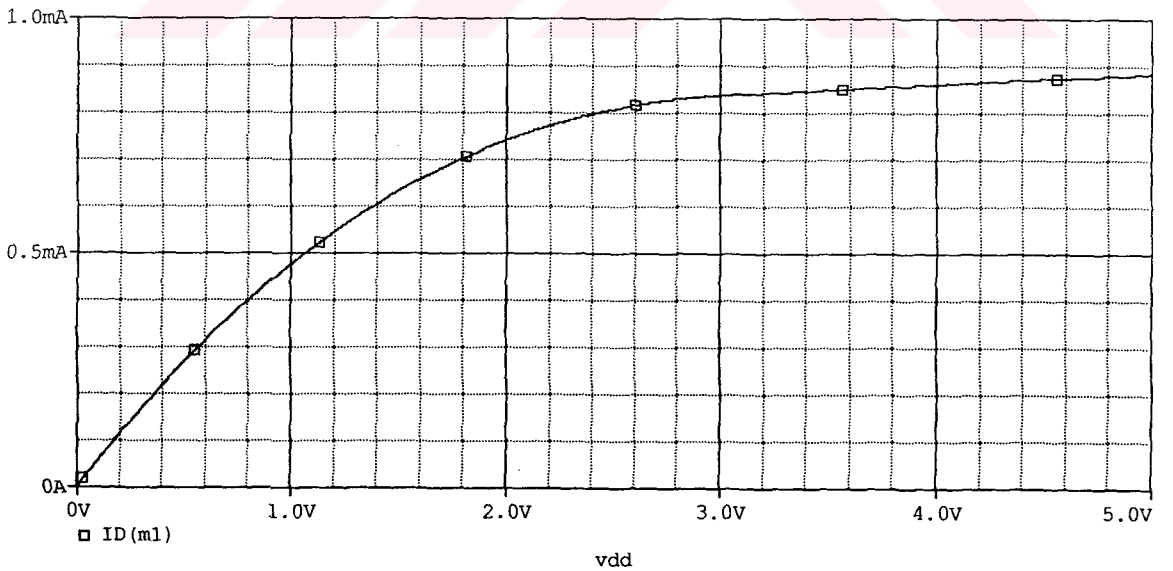
Bu bölümün girişinde değindiğimiz üzere modellerimizin gerçeğe yakın sonuçlar verebilmesi için mümkün olduğunca fazla sayıda ancak eğitim süresini de makul düzeyde tutabilecek kadar az sayıda data elde edilmesi planlanmıştır. Buan çözüm olarak V_{GS} geriliminin değişim aralığı olan 1V - 5V arasını tek bir model olarak gerçeklemek yerine bunu parçalara bölerek ayrı ayrı yapay sinir ağı modelleri şeklinde eğitilmiş sonra bunlar bir yazılım altında birleştirilmiştir. Yazılım belirlenen V_{GS} gerilimine göre, uygun olan parçayı çağırır ve o model bize istenen sonucu verir. Böylece toplamda elde edilen data sayısı her model için parça sayısı kadar bölünmüş olduğundan eğitim süresi data sayısının fazlalığından etkilenmemiş olur. Ancak bu yöntemin bize getirdiği sorun ise her ayrı parça için tüm W ve L kombinasyonlarını tekrar simüle etme zorunluluğudur. Bu da dataların çıkarım sürecini uzatmaktadır.

V_{GS} gerilim aralığını parçalara bölmenin modelleme açısından bize getirdiği bir avantaj daha vardır. Bilindiği gibi tranzistorumuz lineer ve doyma olmak üzere iki farklı bölgede çalışmaktadır. Bu çalışma bölgesi ayrımı da daha önce belirtildiği gibi $V_{DS} = V_{GS} - V_{Th}$ sınırında gerçekleşmektedir. Şekil 4.2 ve 4.3'te I_D akımının sırasıyla $V_{GS}=1\text{V}$ ve $V_{GS}=5\text{V}$ için V_{DS} gerilimine göre değişimi görülmektedir. Grafiklerden görüldüğü ve $(V_{GS} - V_{Th})$ ifadesinden de hesaplanacağı üzere lineer-doyma bölgesi geçiş noktası V_{GS} geriliminin

değerine göre önemli oranda değişmektedir. V_{GS} geriliminin küçük değerlere sahip olduğu bölgelerde lineer bölge çok küçülmekte ve buna göre data seti çıkarılırken belirlenecek V_{DS} adım aralığı çok daha küçük olmalıdır. Doyma bölgesi için ise daha az örnek sayısı ve daha büyük adım aralıkları bu bölgeyi modellemekte yeterli olacaktır. V_{GS} geriliminin değerine göre V_{DS} adım aralıklarını belirleme açısından da, bu parçalara bölme işlemi bize büyük bir esneklik kazandırmış olur.



Şekil 4.2 $V_{GS} = 1V$ için V_{DS} boyunca I_D akım grafiği



Şekil 4.3 $V_{GS} = 5V$ için V_{DS} boyunca I_D akım grafiği

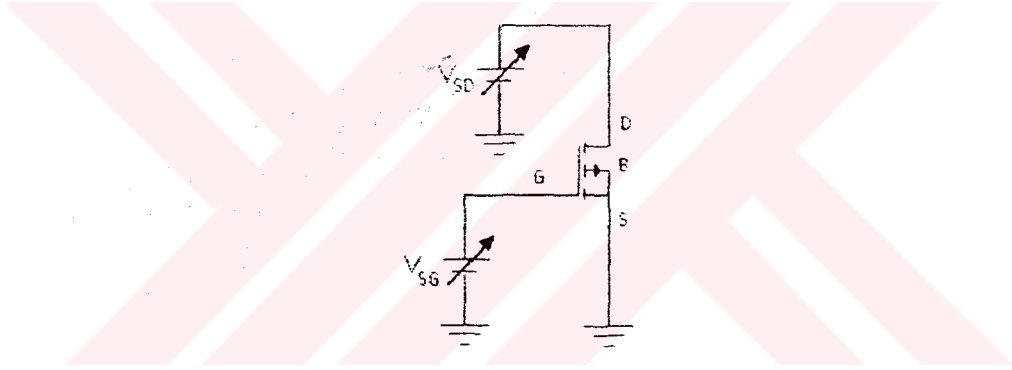
Bu açıklamalar ışığında n- tipi tranzistorun V_{GS} ve V_{DS} gerilimlerinin örneklenme aralıklarını ve V_{GS} geriliminin bölündüğü parçaları gösterebiliriz.

1V- 5V aralığında taratılacak olan V_{GS} gerilimi 1V genişlikte dört parçaya bölünmüştür. Her parça 0,15V aralıklarla yedi adımla taratılmıştır. (1,10V; 1,25V; 1,40V; 1,55V; 1,70V; 1,85V; 2,00V gibi) V_{DS} gerilimi ise dört parçada da ayrı ayrı ve lineer-doyma bölgelerini en verimli temsil edecek biçimde 16 adımla taratılmıştır.

Tüm bu işlemlerin sonucunda her parça için 6720 olmak üzere tüm model için toplam 26880 satır data elde edilmiştir. Her satır W , L , V_{GS} , V_{DS} ve I_D elemanlarından oluşan 5 sütun içermektedir.

4.2.1.2 p-tipi MOSFET

HSPICE’ta yapılan simülasyonlar sırasında p-tipi tranzistorumuzun V_{GS} ve V_{DS} gerilimlerini istenen sınırlar içinde taratmak için Şekil 4.4’de görülen devre kullanılmıştır.



Şekil 4.4 p-tipi MOSFET için data elde edilen devre yapısı

Aynı n-tipi tranzistor için yaptığımız açıklamalarda olduğu gibi burada da V_{GS} gerilim aralığını parçalara bölme işlemi uygulanmıştır.

L değeri yine 1,5 μm ile 4 μm arasında 0,5 μm aralıklarla taratılmıştır. Ancak W değeri p-tipi MOSFET için 1,5 μm ile 13,5 μm arasında taratılmıştır. n-tipinden farklı olarak daha yüksek W değerlerine çıkılmasının nedeni p-tipi tranzistorun üretim parametrelerinden mobilité değerinin daha küçük olmasıdır. p-tipi tranzistorumuzun da tasarım süreci sırasında n-tipi kadar yüksek akımlara çıkabilmesini sağlayabilmek için mobilité katsayısından gelen bu azalmayı böyle kapatmış oluruz.

1V- 5V aralığında taratılacak olan V_{GS} gerilimi 1V genişlikte dört parçaya bölünmüştür. Her parça 0,12V aralıklarla dokuz adımla taratılmıştır. V_{DS} gerilimi ise dört parçada da ayrı ayrı ve

lineer-doyma bölgelerini en verimli temsil edecek biçimde 16 adımla taratılmıştır.

Tüm bu işlemlerin sonucunda her parça için 21600 olmak üzere tüm model için toplam 86400 satır data elde edilmiştir.

4.2.2 BSIM3 Üretim Parametreleri ile Data Setlerinin Çıkarımı

Bu bölümde BSIM3 parametreleri kullanılarak sırasıyla n- ve p- tipi MOSFET tranzistorlar için çıkarılan data setleri açıklanacaktır. Dataların çıkarım stratejisi aynı olmakla beraber kanal uzunluk ve genişlik parametrelerindeki örnek sayısı ve aralıkları ile V_{GS} ve V_{DS} gerilimlerinin taratılma aralıkları LEVEL3 modellerinden farklılık gösterir. Ayrıca BSIM3 (0,18 μ m) parametreleri alçak eşik gerilimleri ile düşük besleme gerilimi uygulamalarına daha uygun olduklarından besleme gerilimi (V_{DD}) LEVEL3 uygulamalarındaki 5V'dan farklı olarak 3,3V olarak belirlenmiştir.

4.2.2.1 n-tipi MOSFET

HSPICE'ta yapılan simülasyonlar sırasında n-tipi tranzistörümüzün V_{GS} ve V_{DS} gerilimlerini istenen sınırlar içinde taratmak için Şekil 4.1'de görülen devre kullanılmıştır.

Üretim parametrelerine göre minimum kanal uzunluğu 0,18 μ m olduğu için L değeri 0,2 μ m ile 0,7 μ m arasında 0,1 μ m aralıklarla taratılmıştır. Kanal genişlik değeri olan W ise 0,2 μ m ile 2,95 μ m arasında 0,11 μ m aralıklarla taratılmıştır.

0,5V- 3,3V aralığında taratılacak olan V_{GS} gerilimi üç parçaya bölünmüştür. Her parça 0,1V aralıklarla taratılmıştır. V_{DS} gerilimi ise üç parçada da ayrı ayrı ve lineer-doyma bölgelerini en verimli temsil edecek biçimde 16 adımla taratılmıştır.

Tüm bu işlemlerin sonucunda tüm model için toplam 75264 satır data elde edilmiştir.

4.2.2.2 p-tipi MOSFET

HSPICE'ta yapılan simülasyonlar sırasında n-tipi tranzistörümüzün V_{GS} ve V_{DS} gerilimlerini istenen sınırlar içinde taratmak için Şekil 4.4'de görülen devre kullanılmıştır.

Üretim parametrelerine göre minimum kanal uzunluğu 0,18 μ m olduğu için L değeri 0,2 μ m ile 0,7 μ m arasında 0,1 μ m aralıklarla taratılmıştır. Kanal genişlik değeri olan W ise 0,2 μ m ile 7,10 μ m arasında 0,15 μ m aralıklarla taratılmıştır.

0,5V- 3,3V aralığında taratılacak olan V_{GS} gerilimi beş parçaya bölünmüştür. Her parça 0,1V aralıklarla taratılmıştır. V_{DS} gerilimi ise üç parçada da ayrı ayrı ve lineer-doyma bölgelerini en

verimli temsil edecek biçimde 16 adımla taratılmıştır.

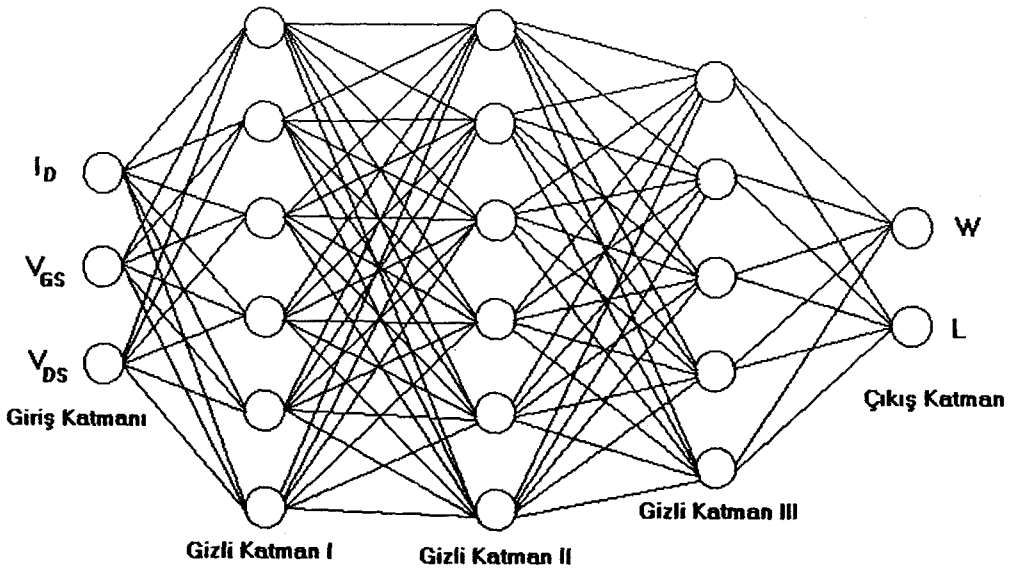
Tüm bu işlemlerin sonucunda tüm model için toplam 134976 satır data elde edilmiştir.

4.3 Yapay Sinir Ağı Modelinin Yapısı ve Ağın Eğitimi

n- ve p- tipi MOSFET tranzistorlarımızı modelleyecek olan yapay sinir ağı yapıları MATLAB 6.0 programı ortamında geliştirilmiştir. Bu programın Neural Network Toolbox komutlarından yararlanılarak istenilen boyut ve özelliklerde ağ yapıları tasarlanmıştır.

Tüm modeller çok katmanlı algılayıcı (Multilayer Perceptron, MLP) yapısı baz alınarak oluşturulmuştur. Yapay sinir ağı yapıları içinden MLP'nin seçilmesinin nedeni karmaşık nonlinear fonksiyonları modelleyebilmesindeki başarıya dayanmaktadır. Cybenko (1988), Hornik. (1989, 90), Funahashi (1989), çalışmalarında kanıtladığı üzere yeterli sayıda nörona ve iki adet gizli katmana sahip bir MLP yapısı herhangi bir fonksiyonu istenen doğruluk oranıyla modelleyebilmektedir. Ayrıca eğitim süresinin kabul edilebilirliği açısından da RBF'ten çok daha verimli olması modeller için MLP'yi kullanmamızdaki etkenlerden biridir.

Daha önce de belirttiğimiz gibi ağ yapımız üç giriş, iki çıkışlı olmalıdır. Bu şarta göre Şekil 4.5'te görülen üç giriş, iki çıkış ve üç de gizli katmana sahip bir ağ tasarlanmıştır. Şekilde görüldüğü gibi gizli katmanların birincisinde altı, ikinci ve üçüncüsünde ise beşer adet nöron bulunmaktadır. Çıkış nöronlarında aktivasyon fonksiyonu olarak doğrusal fonksiyon kullanılmış, tüm gizli katman nöronlarında ise tanjant-sigmoid fonksiyonu kullanılmıştır.



Şekil 4.5 MOSFET yapay sinir ağı modeli

Eğitme işlemi için ise MATLAB 6.0 programında bulunan Levenberg-Marquardt eğitim algoritması kullanılmıştır. Öğrenme katsayısı olarak $\alpha = 0,1$ ve algoritmanın diğer parametrik değerleri için de programın belirlediği standart değerler kullanılmıştır. Ağlar 500 adım boyunca eğitilmiştir.

4.4 MOSFET Yapay Sinir Ağı Modelinin Test İşlemi

Eğitimi tamamlanan yapay sinir ağı modellerinin test işlemi gerçekleştirilmiştir. Elde edilen modelleri test edebilmek için öncelikle test datası hazırlama aşamasına geçilmiştir.

Daha önce de açıklandığı gibi her iki üretim parametre grubundan iki adet (n- ve p- tipi) olmak üzere toplam dört tane model oluşturulmuştur. Her model için test datası toplamak amacıyla tranzistorun V_{GS} ve V_{DS} gerilimleri çalışma aralıklarında rasgele değerler olarak seçilmiştir. I_D akım değerleri de düğüm gerilimlerine uygun olarak rasgele değerler olarak seçilmiştir. Belirlenen bu üç parametre grubu kayıt edilerek, her model için 100 satır ve 3 sütunluk test data setleri elde edilmiştir.

Elde edilen test data setleri ait olduğu gruptaki MATLAB 6.0 programı ortamında oluşturduğumuz ve eğitimini tamamladığımız MOSFET yapay sinir ağı modeli ile test edilmiştir. MATLAB ortamındaki bu test simülasyonları sonucunda W ve L değerleri elde edilmiştir. Elde edilen bu W ve L değerleri HSPICE simülasyon ortamına aktarılmış ve ilk adımda belirlediğimiz V_{GS} ve V_{DS} değerleri ile beraber simülasyona sokulmuştur. Bu adımla beraber yapay sinir ağı modellerimizin tahmin ettiği W ve L değerleri sonucunda elde edilen I_D akım değerlerine sahip olmuşuzdur. Bu akım değerlerinin, modellerimize test datası olarak girilen akım değerleri ile karşılaştırılması bize modellerimizin test sonucunu verecektir. Modellerin tahmin ettiği W ve L değerlerinin hangi doğrulukla istenen akımı sağladığı sorusu bu adımda cevap bulmaktadır.

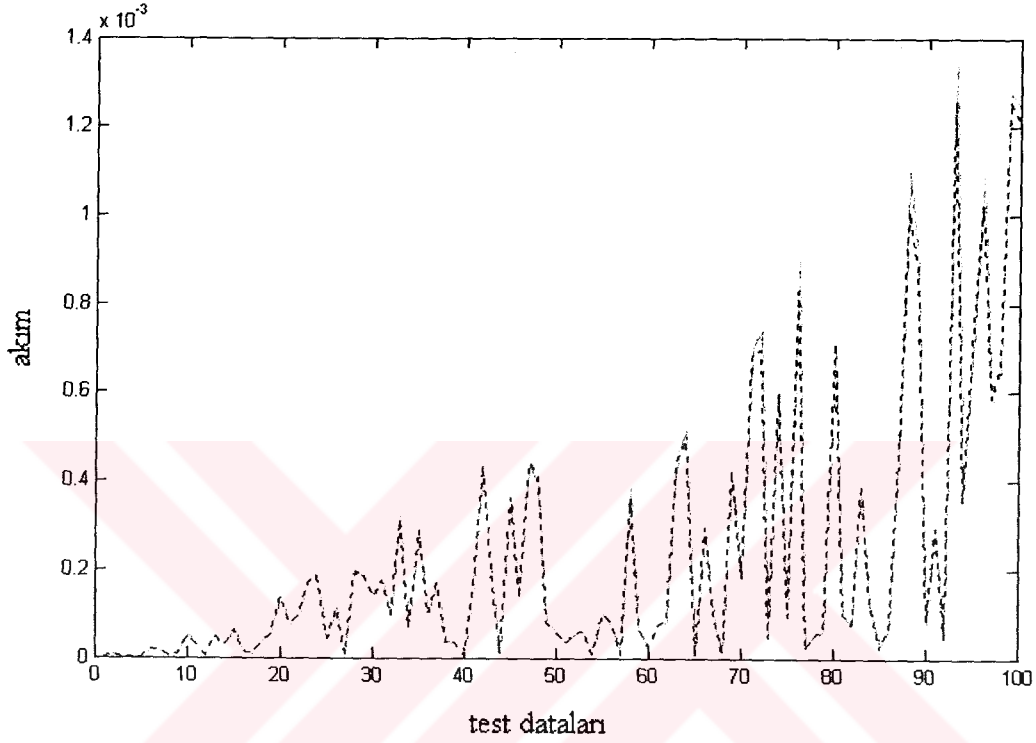
Şimdi her iki üretim parametresine ait n- ve p- tipi MOSFET modellerin test sonuçlarını inceleyelim.

4.4.1 LEVEL3 Üretim Parametreleri Kullanılmış MOSFET Modelleri

4.4.1.1 n-tipi MOSFET Test Sonuçları

Şekil 4.6'da LEVEL3 üretim parametreleri ile oluşturulan n- tipi MOSFET yapay sinir ağı modelinin test sonuçları görülmektedir. Yatay eksen V_{GS} gerilimini, dikey eksen ise tranzistor üzerinden akan I_D akımını göstermektedir. Grafikte kesikli siyah çizgi, modelin tahmin ettiği

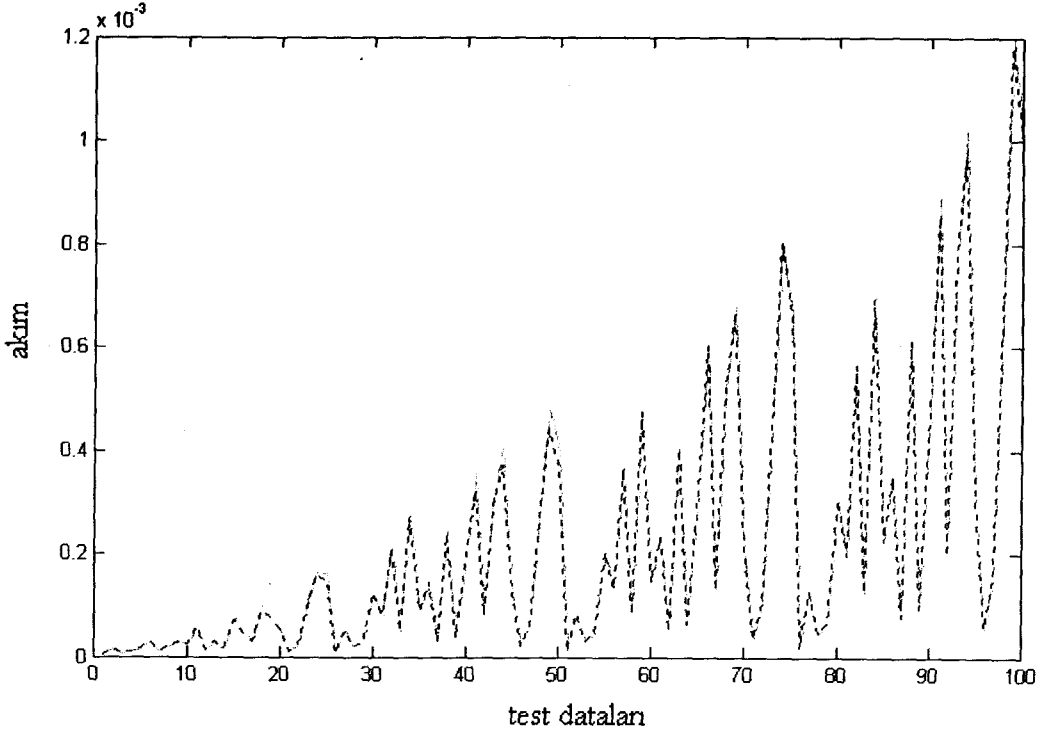
kanal genişlik ve uzunluk parametreleri ile simülasyon sonucu elde edilen akım değerlerini göstermektedir. Düz, gri çizgi ise, hedeflenen akım değerlerini göstermektedir. Görüldüğü gibi modelin girişine test datası olarak verilen hedeflenen akım değerleri ile modelin tahmini sonucu elde edilen akım değerleri birbirine oldukça yakındır. Ortalama hata %3.27, maksimum hata ise %9.44'dir.



Şekil 4.6 n-tipi MOSFET modeli test datası akım grafiği

4.4.1.2 p-tipi MOSFET Test Sonuçları

Şekil 4.7'da LEVEL3 üretim parametreleri ile oluşturulan n- tipi MOSFET yapay sinir ağı modelinin test sonuçları görülmektedir. Yatay eksen V_{GS} gerilimini, dikey eksen ise tranzistor üzerinden akan I_D akımını göstermektedir. Grafikte kesikli siyah çizgi, modelin tahmin ettiği kanal genişlik ve uzunluk parametreleri ile simülasyon sonucu elde edilen akım değerlerini göstermektedir. Düz, gri çizgi ise, hedeflenen akım değerlerini göstermektedir. Görüldüğü gibi modelin girişine test datası olarak verilen hedeflenen akım değerleri ile modelin tahmini sonucu elde edilen akım değerleri birbirine oldukça yakındır. Ortalama hata %2.64, maksimum hata ise %6.86'dır.

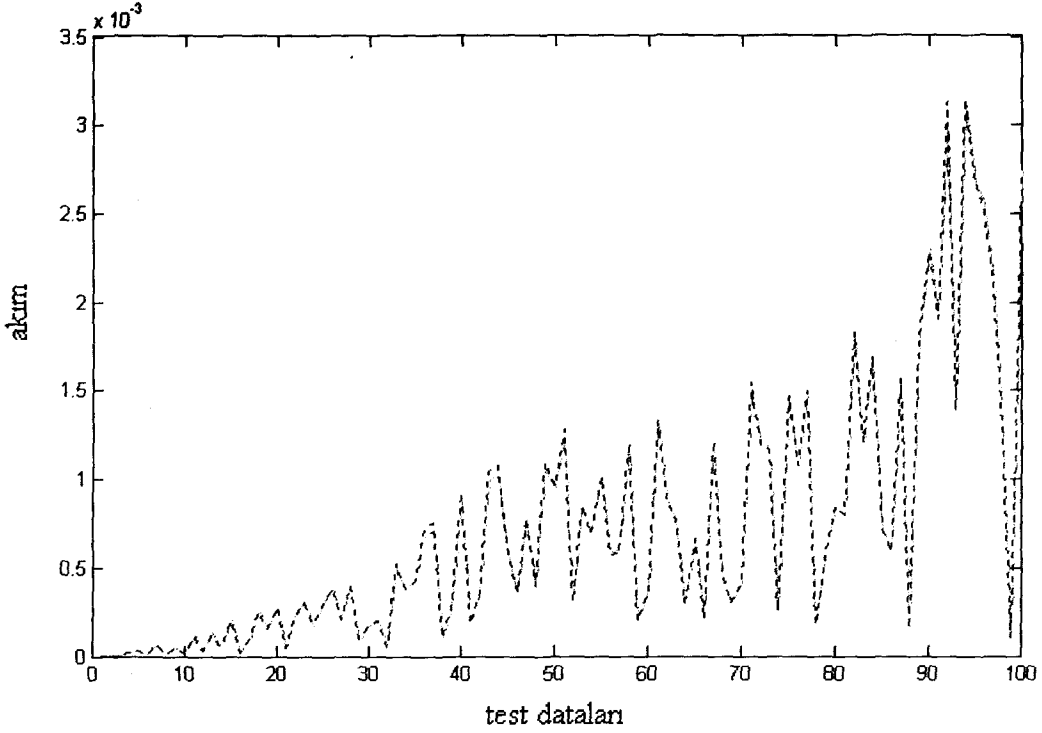


Şekil 4.7 p-tipi MOSFET modeli test dataları akım grafiği

4.4.2 BSIM3 Üretim Parametreleri Kullanılmış MOSFET Modelleri

4.4.2.1 n-tipi MOSFET Test Sonuçları

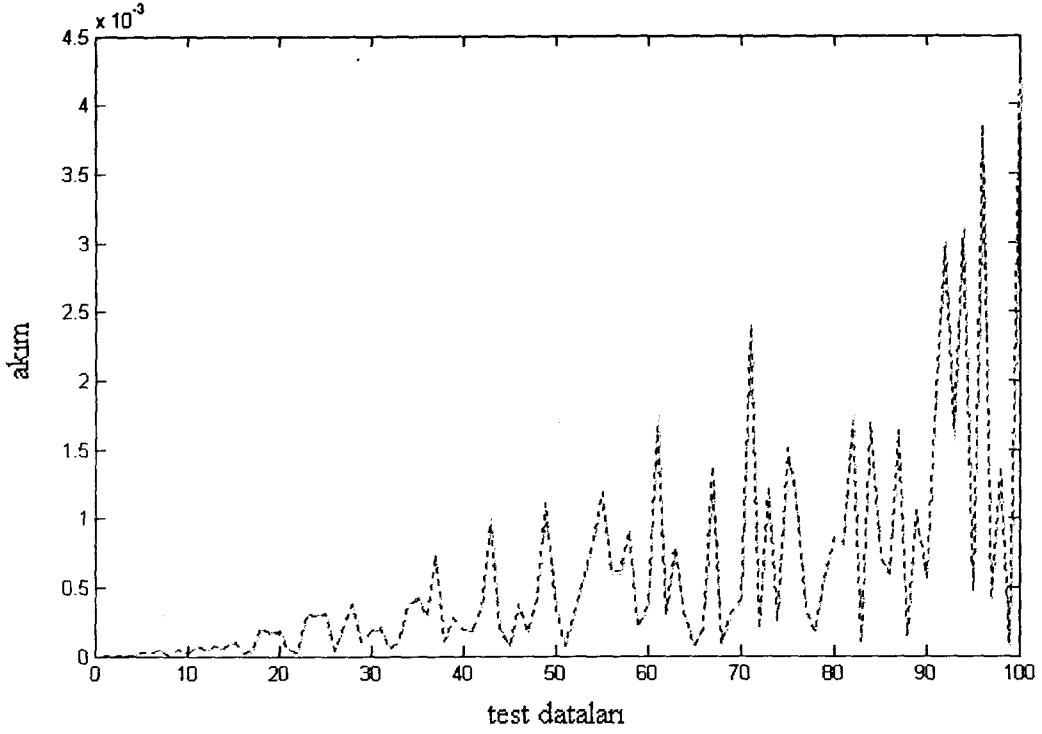
Şekil 4.8’da BSIM3 üretim parametreleri ile oluşturulan n- tipi MOSFET yapay sinir ağı modelinin test sonuçları görülmektedir. Yatay eksen V_{GS} gerilimini, dikey eksen ise tranzistor üzerinden akan I_D akımını göstermektedir. Grafikte kesikli siyah çizgi, modelin tahmin ettiği kanal genişlik ve uzunluk parametreleri ile simülasyon sonucu elde edilen akım değerlerini göstermektedir. Düz, gri çizgi ise, hedeflenen akım değerlerini göstermektedir. Görüldüğü gibi modelin girişine test datası olarak verilen hedeflenen akım değerleri ile modelin tahmini sonucu elde edilen akım değerleri birbirine oldukça yakındır. Ortalama hata %2.10, maksimum hata ise %7.38’dir.



Şekil 4.8 n-tipi MOSFET modeli test dataları akım grafiği

4.4.2.2 p-tipi MOSFET Test Sonuçları

Şekil 4.9’da BSIM3 üretim parametreleri ile oluşturulan n- tipi MOSFET yapay sinir ağı modelinin test sonuçları görülmektedir. Yatay eksen V_{GS} gerilimini, dikey eksen ise tranzistor üzerinden akan I_D akımını göstermektedir. Grafikte kesikli siyah çizgi, modelin tahmin ettiği kanal genişlik ve uzunluk parametreleri ile simülasyon sonucu elde edilen akım değerlerini göstermektedir. Düz, gri çizgi ise, hedeflenen akım değerlerini göstermektedir. Görüldüğü gibi modelin girişine test datası olarak verilen hedeflenen akım değerleri ile modelin tahmini sonucu elde edilen akım değerleri birbirine oldukça yakındır. Ortalama hata %3.39, maksimum hata ise %9.34’dir.



Şekil 4.9 p-tipi MOSFET modeli test dataları akım grafiği

4.4.3 Test Sonuçlarının Yorumu

Yukarıda grafiklerle açıklanmış sonuçlar bize oluşturulan modellerin oldukça başarılı sonuçlar verdiklerini göstermiştir. Tek tranzistorle uygulama bazında, tahmin edilen kanal uzunluk ve genişlik parametreleri oldukça yakın akım değerlerini elde etmeyi başarmıştır. Bu sonuç tam ideal değerleri yakalayamasa bile, devre tasarımcıları açısından başlangıçta tranzistor boyutlarını belirleme açısından büyük bir kolaylık anlamına gelir.

5. MOSFET Yapay Sinir Modelinin Analog Tasarıma Uygulanması

Bir önceki bölümde, oluşturduğumuz yapay sinir ağı modelinin MOSFET tranzistörü tek başına modellemede başarıya ulaştığını gördük. Ancak modelin esas oluşturulma amacı olan analog devre tasarımını kolaylaştırma noktasında alacağımız sonuçları bu bölümde inceleyeceğiz.

Modelin uygulanması için akım aynası, diferansiyel çift, işlemsel kuvvetlendirici gibi temel analog devre yapı blokları seçilmiştir. Devrelerin çalışma amaçları ve prensipleri göz önüne alınarak devredeki her tranzistörün sahip olması gereken düğüm gerilimleri ve üzerinden geçen akımlar belirlenmiştir. Oluşan bu veriler her bir tranzistör için geliştirdiğimiz modele giriş olarak verilmiş, model de istenen bu şartları sağlayacak kanal uzunluk ve genişlik parametrelerini (W ve L) bize sunmuştur. Elde edilen bu kanal parametreleri ile istenen devre HSPICE simülasyon ortamında simüle edilmiş ve amaçlanan kutuplama düğüm gerilimleri ve kutuplama akımlarına ne kadarlık bir yaklaşıklıkla ulaşıldığı gözlenmiştir.

5.1 Temel Akım Aynası

Akım aynaları analog tasarım uygulamalarında geniş uygulama alanları bulmaktadır. Hem işaret işleme hem de analog yapı bloklarını kutuplama açısından önemli işlevlere sahiptirler. (Razavi, 2000)

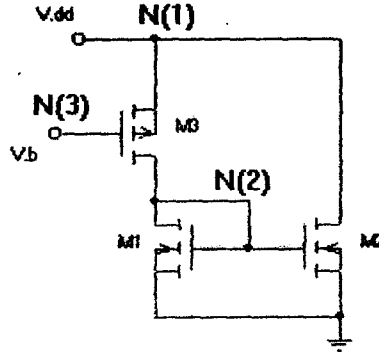
Şekil 5.1’de temel akım aynası yapısı görülmektedir. Şekilde görüldüğü üzere M_3 tranzistörü V_b kutup gerilimi ile bir akım üretmektedir. Bu akım da M_1 ve M_2 tranzistörleri aracılığıyla M_2 üzerinden kopyalanmaktadır. M_1 ve M_2 tranzistörleri üzerlerinden geçen akımlar için kanal-uzunluk modülasyonu etkisi ihmal edilerek sırasıyla aşağıdaki denklemler yazılabilir.

$$I_{M1} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{TH})^2 \quad (5.1)$$

$$I_{M2} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{TH})^2 \quad (5.2)$$

$$I_{M2} = \frac{(W/L)_2}{(W/L)_1} I_{M1} \quad (5.3)$$

Bu denklemlerden yararlanılarak iki akım arasındaki aşağıdaki bağıntı elde edilir. (Razavi, 2000)



Şekil 5.1 Temel akım aynası devresi (Razavi, 2000)

Görüldüğü gibi iki tranzistor üzerinden geçen akım bu bağıntıdan hareketle yalnızca W ve L uygun seçimi ile kontrol edilebilir. Ancak bizim çalışmamız bu bağıntılardan ve kanal-uzunluk modülasyonu etkisini ihmal etme şartlarından bağımsız olarak uygulanabilmektedir. Bu W ve L değerlerini belirlememiz için yapmamız gereken yalnızca oluşturduğumuz modele tranzistorların sahip olması istenen düğüm gerilimlerini ve akımı girmemizdir. Sonuçta modelin bize vereceği W ve L parametreleri istediğimiz akımı sağlayacak devreyi tasarlamamıza yardımcı olacaktır.

Tüm analog devre yapılarında her iki üretim parametreleri grubu ile oluşan sonuçlar da ele alınmıştır. Aşağıdaki bölümlerde LEVEL3 ve BSIM3 parametreleri ile elde edilen sonuçlar çizelgeler halinde sunulacaktır.

5.1.1 Temel Akım Aynası için LEVEL3 Parametreleri Sonuçları

Çizelge 5.1’de temel akım aynası için MOSFET yapay sinir ağı modeliyle elde ettiğimiz W ve L parametreleri ve bunların uygulanması sonucu oluşan akım ve düğüm gerilim değerleri görülmektedir.

Çizelge 5.1 Temel akım aynası için LEVEL3 MOSFET yapay sinir ağı modeli test sonuçları

M1				M2				M3			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
150	153	12.41	1.80	300	311	18.78	1.50	150	153	8.77	3.00
100	94.3	16.23	1.58	60	61.5	11.58	1.73	100	94.3	10.36	2.32
450	450	16.18	1.87	450	442	15.50	1.91	450	450	10.94	1.86

N(1)		N(2)		N(3)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
5.00	5.00	1.50	1.51	2.00	2.00
5.00	5.00	1.20	1.18	3.00	3.00
5.00	5.00	1.95	1.99	1.50	1.50

5.1.2 Temel Akım Aynası için BSIM3 Parametreleri Sonuçları

Çizelge 5.2’de temel akım aynası için MOSFET yapay sinir ağı modeliyle elde ettiğimiz W ve L parametreleri ve bunların uygulanması sonucu oluşan akım ve düğüm gerilim değerleri görülmektedir.

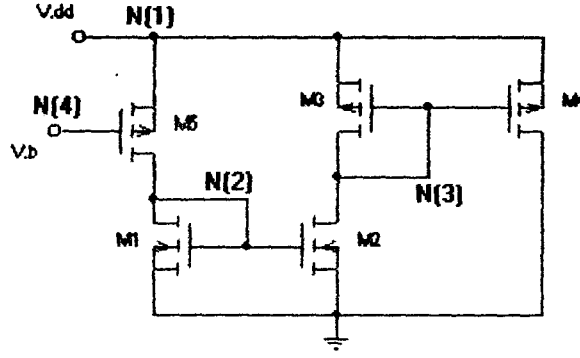
Çizelge 5.2 Temel akım aynası için BSIM3 MOSFET yapay sinir ağı modeli test sonuçları

M1				M2				M3			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
150	148.0	0.69	0.49	300	294.3	1.38	0.49	150	148.0	1.68	0.52
100	102.6	1.37	0.50	30	31.8	0.38	0.54	100	102.6	2.49	0.51
50	50.4	0.33	0.54	900	895.3	2.40	0.22	50	50.4	1.98	0.52

N(1)		N(2)		N(3)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
3.30	3.30	1.50	1.49	1.50	1.50
3.30	3.30	1.00	1.01	2.00	2.00
3.30	3.30	1.30	1.29	2.20	2.20

5.2 Akım Aynası II

Şekil 5.2’de temel akım aynasından biraz daha farklı ve fazla tranzistorlu bir yapı görülmektedir. Modelimiz aynı şekilde bu devre için de test edilmiştir. Test sonuçları yine LEVEL3 ve BSIM3 için ayrı ayrı olmak üzere aşağıdaki çizelgelerde görülebilir.



Şekil 5.2 Akım aynası II devresi (Razavi, 2000)

5.2.1 Akım Aynası II için LEVEL3 Parametreleri Sonuçları

Çizelge 5.3’de Akım Aynası II için MOSFET yapay sinir ağı modeliyle elde ettiğimiz W ve L parametreleri ve bunların uygulanması sonucu oluşan akım ve düğüm gerilim değerleri görülmektedir.

Çizelge 5.3 Akım aynası II için LEVEL3 MOSFET yapay sinir ağı modeli test sonuçları

M1				M2				M3			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
200	200	7.36	1.94	300	298	10.37	1.93	300	298	11.78	1.64
100	99.2	10.72	1.76	25	26.5	4.92	2.47	25	26.5	2.01	3.03
150	151	12.41	1.80	150	149	12.26	1.81	150	149	8.82	3.00
M4				M5							
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)				
75	81.8	6.78	3.04	200	200	10.35	2.33				
250	231	7.94	3.03	100	99.2	10.13	2.83				
150	148	8.63	3.01	150	151	6.66	3.03				

N(1)		N(2)		N(3)		N(4)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
5.00	5.00	2.00	2.05	2.5	2.40	2.25	2.25
5.00	5.00	1.40	1.38	1.00	1.13	2.75	2.75
5.00	5.00	1.50	1.50	2.00	2.03	1.50	1.50

5.2.2 Akım Aynası II için BSIM3 Parametreleri Sonuçları

Çizelge 5.4’de Akım Aynası II için MOSFET yapay sinir ağı modeliyle elde ettiğimiz W ve L parametreleri ve bunların uygulanması sonucu oluşan akım ve düğüm gerilim değerleri görülmektedir.

Çizelge 5.4 Akım aynası II için BSIM3 MOSFET yapay sinir ağı modeli test sonuçları

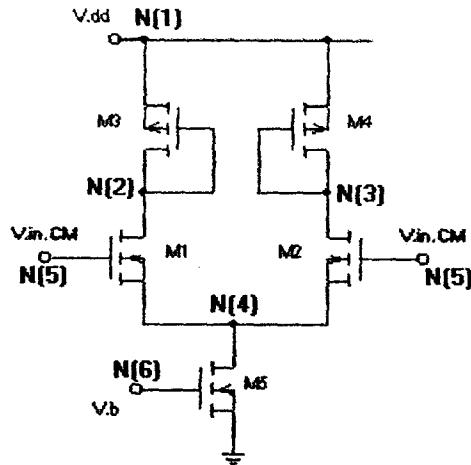
M1				M2				M3			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
200	209.3	1.69	0.50	300	315.3	2.19	0.42	300	315.3	4.97	0.36
275	292.1	2.29	0.26	75	77.5	0.99	0.50	75	77.5	0.80	0.54
750	818.7	2.37	0.26	525	559.7	2.23	0.40	525	559.7	4.18	0.50
M4				M5							
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)				
400	378.4	5.04	0.33	200	209.3	5.03	0.50				
100	103	1.05	0.53	275	292.1	5.01	0.51				
1000	1050	4.42	0.30	750	818.7	5.07	0.29				

N(1)		N(2)		N(3)		N(4)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
3.30	3.30	1.20	1.22	2.00	1.95	2.00	2.00
3.30	3.30	1.00	1.02	1.50	1.44	1.80	1.80
3.30	3.30	1.50	1.55	1.20	1.13	1.50	1.50

5.3 Diferansiyel Çift

Diferansiyel kuvvetlendiriciler elektronik tasarım için en önemli devre buluşlarından biri olarak düşünülebilir. Birçok yararlı özellik sunmasıyla beraber diferansiyel işleme metodu bugünün yüksek performanslı analog ve sayısal elektronik devrelerinin en önemli tercihi haline gelmiştir. (Razavi, 2000)

Şekil 5.3'te yük olarak diyot bağlı tranzistorlar kullanan bir diferansiyel çift kuvvetlendirici görülmektedir. Bu bölümde oluşturduğumuz MOSFET yapay sinir ağı modellerinin bu yapı üzerindeki uygulama ve test sonuçları üzerinde duracağız.



Şekil 5.3 Diferansiyel çift devresi (Razavi, 2000)

Diferansiyel çift için tranzistorların üzerlerinden geçen kutuplama akımı çok önemlidir. Bu kutuplama akımı devrenin geçiş iletkenliği, kazanç gibi bir çok küçük işaret parametresini de belirler. Şekil 5.3'te görülen devrenin küçük işaret kazancı (5.4)'te görülmektedir.

$$A_v \approx -\frac{g_{mN}}{g_{mP}} \quad (5.4)$$

Kazancı bağıntısındaki geçiş iletkenliği ise aşağıdaki gibi gösterilebilir.

$$g_m = \sqrt{2\mu_N c_{ox} \frac{W}{L} I_D} \quad (5.5)$$

Görüldüğü gibi DC kutuplama akımı küçük işaret parametrelerini direkt olarak etkilemektedir. Yani devrenin kutuplama akımı ve çalışma gerilim aralıklarını belirlemek, küçük işaret parametreleri açısından da önemli bir noktadır.

Aşağıdaki bölümlerde sırasıyla diferansiyel çift devremiz için LEVEL3 ve BSIM3 üretim parametrelerini kullanarak yaptığımız test ve simülasyon sonuçları çizelgeler halinde görülmektedir. Test işlemi sırasında tranzistorların üzerinden geçmesini istediğimiz kutuplama akımlarını ve devrenin çalışma düğüm gerilimlerini belirlemek geliştirdiğimiz modelin çalışması için giriş bilgileri olmaktadır. Oluşturduğumuz MOSFET yapay sinir ağı modeli bize bu kutuplama akımı ve çalışma düğüm gerilimlerini sağlayacak kanal uzunluk ve genişlik parametrelerini sunmaktadır.

5.3.1 Diferansiyel Çift için LEVEL3 Parametreleri Sonuçları

Çizelge 5.5'de diferansiyel çift için MOSFET yapay sinir ağı modeliyle elde ettiğimiz W ve L parametreleri ve bunların uygulanması sonucu oluşan akım ve düğüm gerilim değerleri görülmektedir.

Çizelge 5.5 Diferansiyel çift için LEVEL3 MOSFET yapay sinir ağı modeli test sonuçları

M1				M2				M3			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
125	125	10.61	1.79	125	125	10.61	1.79	125	125	10.13	2.85
200	197	16.31	1.83	200	197	16.31	1.83	200	197	10.74	1.94
50	52.2	5.14	1.96	50	52.2	5.14	1.96	50	52.2	5.03	3.02
M4				M5							
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)				
125	125	10.13	2.85	250	250	16.96	1.51				
200	197	10.74	1.94	400	395	1.50	18.00				
50	52.2	5.03	3.02	100	104	5.03	3.02				

N(1)		N(2)		N(3)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
5.00	5.00	2.50	2.49	2.50	2.49
5.00	5.00	2.50	2.53	2.50	2.53
5.00	5.00	2.50	2.46	2.50	2.46
N(4)		N(5)		N(6)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
1.00	1.00	2.50	2.50	1.50	1.50
1.00	0.99	2.50	2.50	1.70	1.70
1.00	0.96	2.50	2.50	1.50	1.50

5.3.2 Diferansiyel Çift için BSIM3 Parametreleri Sonuçları

Çizelge 5.6'de diferansiyel çift için MOSFET yapay sinir ağı modeliyle elde ettiğimiz W ve L parametreleri ve bunların uygulanması sonucu oluşan akım ve düğüm gerilim değerleri görülmektedir.

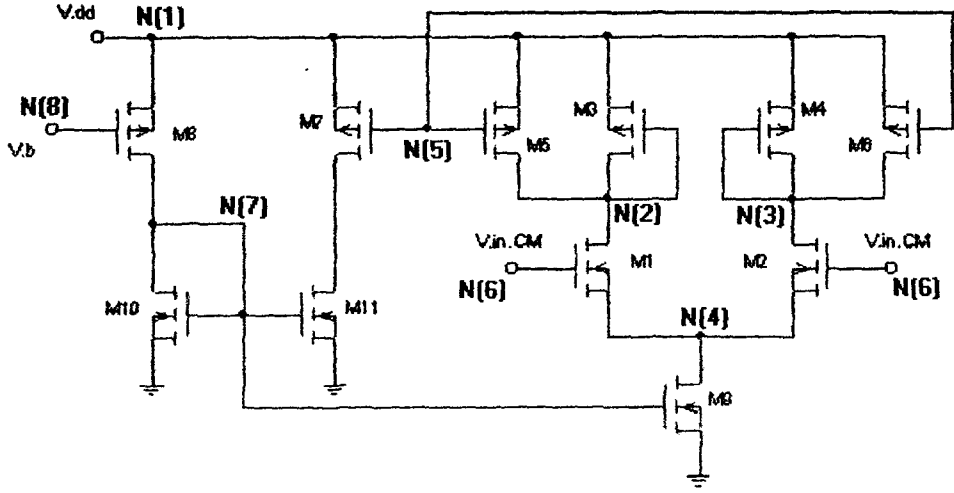
Çizelge 5.6 Diferansiyel çift için BSIM3 MOSFET yapay sınır ağı modeli test sonuçları

M1				M2				M3			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
140	139.3	1.94	0.49	140	139.3	1.94	0.49	140	139.3	4.96	0.34
375	402.8	2.53	0.20	375	402.8	2.53	0.20	375	402.8	5.11	0.31
25	24.1	0.59	0.52	25	24.1	0.59	0.52	25	24.1	0.61	0.53
M4				M5							
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)				
140	139.3	4.96	0.34	280	278.7	2.33	0.25				
375	402.8	5.11	0.31	750	805.7	2.69	0.18				
25	24.1	0.61	0.53	50	48.3	0.96	0.50				

N(1)		N(2)		N(3)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
3.30	3.30	2.30	2.31	2.30	2.31
3.30	3.30	2.00	1.93	2.00	1.93
3.30	3.30	2.00	2.02	2.00	2.02
N(4)		N(5)		N(6)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
0.70	0.70	1.70	1.70	1.00	1.00
0.80	0.78	1.80	1.80	1.30	1.30
0.75	0.75	1.60	1.60	0.90	0.90

5.4 Akım Aynaları ile Kutuplanmış Diferansiyel Kuvvetlendirici

Şekil 5.4'te akım aynaları ile kutuplanmış bir diferansiyel kuvvetlendirici yapısı görülmektedir. Bu tarz yapılar işlemsel kuvvetlendiriciler için de temel teşkil etmektedirler. NMOS akım aynası sayesinde diferansiyel çiftin kuyruk akımı sağlanmakta, PMOS akım aynaları da yük akım kaynakları için kullanılmaktadır. Bu yapının normal diferansiyel kuvvetlendirici yapısından farkı M_5 ve M_6 tranzistorlarının M_3 ve M_4 tranzistorları üzerinden geçen akımı azaltarak kazancı artırmalarıdır. (Razavi, 2000)



Şekil 5.4 Akım aynaları ile kutuplanmış diferansiyel kuvvetlendirici devresi (Razavi, 2000)

Bu yapı için de oluşturduğumuz MOSFET yapay sinir ağı modellerimiz test ve simüle edilmiştir. Akım aynaları ve diferansiyel çift üzerinden geçecek olan kutuplama akımı ve devrenin çalışma düğüm gerilimleri belirlenmiştir. Bunların ışığında yapay sinir ağı modelinin verdiği kanal uzunluk ve genişlik parametreleri ile devremizin verdiği sonuçlar incelenmiştir. Amaçlanan ve simülasyon sonucunda elde edilen kutuplama akımları ve çalışma düğüm gerilimleri ile yapay sinir ağı modelinin verdiği W ve L değerleri aşağıda çizelgeler halinde sunulmuştur.

5.4.1 Akım Aynaları ile Kutuplanmış Diferansiyel Çift için LEVEL3 Parametreleri Sonuçları

Çizelge 5.7’de akım aynaları ile kutuplanmış diferansiyel çift için MOSFET yapay sinir ağı modeliyle elde ettiğimiz W ve L parametreleri ve bunların uygulanması sonucu oluşan akım ve düğüm gerilim değerleri görülmektedir.

Çizelge 5.7 Akım aynaları ile kutuplanmış diferansiyel çift için LEVEL3 MOSFET yapay sinir ağı modeli test sonuçları

M1				M2				M3			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
150	144	12.41	1.80	150	144	12.41	1.80	30	28.7	3.55	3.02
100	98.2	8.72	1.76	100	98.2	8.72	1.76	20	16.4	4.02	3.10
200	209	16.40	1.81	200	209	16.40	1.81	40	43	3.24	3.03
M4				M5				M6			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
30	28.7	3.55	3.02	120	115	10.06	2.09	120	115	10.06	2.90
20	16.4	4.02	3.10	80	81.9	10.30	2.59	80	81.9	10.30	2.59
40	43	3.24	3.03	160	166	9.36	2.97	160	166	9.36	2.97
M7				M8				M9			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
120	115	10.06	2.90	60	60.6	5.77	3.03	300	287	16.78	1.84
80	82.1	10.30	2.59	40	40.7	4.26	3.02	200	196	16.40	1.82
160	165	9.36	2.97	80	79.8	7.26	3.05	400	417	17.10	1.50
M10				M11							
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)				
60	60.6	5.02	2.18	120	11.5	7.10	1.83				
40	40.7	4.94	2.17	80	82.1	7.03	1.76				
80	79.8	5.23	2.04	160	165	8.68	1.84				

N(1)		N(2)		N(3)		N(4)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
5.00	5.00	2.50	2.57	2.50	2.57	1.00	1.01
5.00	5.00	3.00	3.15	3.00	3.15	1.00	1.02
5.00	5.00	2.00	1.90	2.00	1.90	1.00	0.97
N(5)		N(6)		N(7)		N(8)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
2.50	2.56	2.50	2.50	1.70	1.68	2.50	2.50
3.00	2.98	1.50	2.50	1.50	1.49	2.50	2.50
2.00	2.00	1.50	2.50	1.75	1.76	1.50	2.50

5.4.2 Akım Aynaları ile Kutuplanmış Diferansiyel Çift için BSIM3 Parametreleri Sonuçları

Çizelge 5.8’de akım aynaları ile kutuplanmış diferansiyel çift için MOSFET yapay sinir ağı modeliyle elde ettiğimiz W ve L parametreleri ve bunların uygulanması sonucu oluşan akım ve düğüm gerilim değerleri görülmektedir.

Çizelge 5.8 Akım aynaları ile kutuplanmış diferansiyel çift için BSIM3 MOSFET yapay sinir ağı modeli test sonuçları

M1				M2				M3			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
250	239.7	2.25	0.29	250	239.7	2.25	0.29	50	47.7	1.26	0.52
175	177.4	2.21	0.29	175	177.4	2.21	0.29	35	36.1	0.59	0.53
100	103.2	1.00	0.50	100	103.2	1.00	0.50	20	24.0	0.18	0.55
M4				M5				M6			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
50	47.7	1.26	0.52	200	192.0	3.50	0.52	200	192.0	3.50	0.52
35	36.1	0.59	0.53	140	141.3	3.58	0.52	140	141.3	3.58	0.52
20	24.0	0.18	0.55	80	79.2	0.54	0.53	80	79.2	0.54	0.53
M7				M8				M9			
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)
200	196.1	3.54	0.52	50	48.6	0.55	0.51	500	479.0	2.22	0.43
140	140.5	3.59	0.52	25	25.4	0.76	0.53	350	354.9	2.23	0.33
80	81.39	0.55	0.53	20	21.6	0.49	0.53	200	206.5	2.23	0.36
M10				M11							
I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)	I_{des} (μA)	I_{sim} (μA)	W (μm)	L (μm)				
50	48.6	0.23	0.59	200	196.1	0.94	0.49				
25	25.4	0.18	0.55	140	140.5	1.11	0.49				
20	21.6	0.27	0.55	80	81.39	1.07	0.50				

N(1)		N(2)		N(3)		N(4)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
3.30	3.30	2.00	2.02	2.00	2.02	1.00	1.00
3.30	3.30	1.80	1.79	1.80	1.79	0.70	0.69
3.30	3.30	1.55	1.47	1.55	1.47	0.60	0.56
N(5)		N(6)		N(7)		N(8)	
V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)	V_{des} (V)	V_{sim} (V)
1.80	1.80	2.00	2.00	1.50	1.48	1.50	1.50
2.00	1.99	1.60	1.60	1.20	1.20	2.10	2.10
1.20	1.15	1.70	1.70	1.00	1.01	2.00	2.00

6. Sonuç

Bu çalışmada, CMOS analog entegre devre tasarımı sırasında MOSFET tranzistörlerin kanal uzunluk ve genişlik parametrelerinin belirlenmesi kararını tasarımcının üzerinden alıp yapay sinir ağı yardımıyla bunu gerçekleyen bir model geliştirilmesi amaçlanmıştır.

Amaçlanan yapay sinir ağı modeli için fonksiyon yaklaştırma özelliğine sahip olması nedeniyle çok katmanlı algılayıcı yapısı seçilmiştir. Oluşturulan ağı eğitmek için istenen üretim parametrelerine sahip MOSFET tranzistör ile simülasyonlar yapılarak eğitim dataları elde edilmiştir.

Ağın eğitim sürecinin ardından test dataları ile model test edilmiş ve yapay sinir ağı modelinin bize sunduğu kanal uzunluk ve genişlik parametrelerinin tranzistör için istenene oldukça yakın sonuçlar verdiği gözlenmiştir.

Ayrıca geliştirilen model tek tranzistör için test edilmesinin yanında çeşitli analog yapı blokları için de test edilmiştir. Bunun sonucunda modelin CMOS analog entegre devre tasarımı sırasında tasarımcının belirlemesi gereken kanal uzunluk ve genişlik parametrelerini yüksek bir başarıyla bulduğu gözlenmiştir.

Çalışmanın sonucunda oluşturduğumuz, kanal uzunluk ve genişlik parametrelerini belirleyici MOSFET yapay sinir ağı modelinin analog entegre devre tasarımında zor ve önemli bir nokta olan W ve L parametrelerinin seçiminde başarılı olduğu gözlenmiştir. Geliştirilen model, tasarımcının bilgi ve tecrübesine dayanmakta olan bu noktada kayda değer bir gelişme olmuştur.

İlerleyen çalışmalarda başlangıçta kolaylık açısından dışarıda tutulan bazı parametreler de katılarak giriş sayısı artırılmış bir model geliştirilebilir. Özellikle geçiş iletkenliği ve kazanç devrenin AC karakteristiğini belirleyen kritik parametrelerdir. Bunların giriş olarak tanımlandığı bir MOSFET modeli oluşturulması, istenen kriterlere uygun bir devre tasarımı konusunda önemli bir gelişme olabilir. Data sayısının da teknik imkanlar doğrultusunda çoğaltılması ile MOSFET tranzistörün karakteristiğine daha yakın bir model elde edilebilir. Ayrıca geliştirilen MOSFET modelinin sayısal entegre devre tasarımı için de kullanılması denenebilir.

KAYNAKLAR

- Alam, M.S., Armstrong, G.A., Toner, B., Fusco, V.F., (2003), "Nonlinear Modeling of 0.18- μ m M CMOS Using Neural Network", *Microwave and Optical Technology Letters*, Vol. 37. (1) 2003, 53-56
- Allen, P.E., Holberg, D.R., (1987), *CMOS Analog Circuit Design*, Oxford University Press, New York
- Gunes, F., Gorgen, F., Torpi, H., (1996), "Signal-Noise Neural Network Model for Active Microwave Devices", *Circuits Devices and Systems*, Vol. 143. IEE Proceedings (1996) 1-8
- Gunes, F., Torpi, H., Çetiner, B.A., (1999), "Neural Network Modeling of Active Devices for Use in MMIC Design", *Artificial Intelligence in Engineering*, Vol. 13. Elsevier (1999) 385-392
- Gunes, F., Torpi, H., Gorgen, F., (1998), "Multidimensional Signal-Noise Neural Network Model, *Circuits Devices and Systems*", Vol. 145. IEE Proceedings (1998) 111-117
- Fang, Y., (2001), "A Macromodeling Approach for Nonlinear Microwave / RF Circuits and Devices Based on Recurrent Neural Networks", Master Thesis, Carleton University, Canada
- Foty,D., (1997), *MOSFET Modeling with SPICE : Principles and Practice*, Prentice Hall PTR, Upper Saddle River, NJ
- Harvey, R.L., (1994), *Neural Network Principles*, Prentice-Hall, Inc., USA
- Haykin, S., (1994), *Neural Networks A Comprehensive Foundation*, MacMillan College Publishing Company, New York, 1994
- Henok, A., Vance, C.T., (2000), "BSIM3v3.1 Model Parameters and Extraction and Optimization", USC-ISI The MOSIS Service.
- Hershenson, M.M., Boyd, S., Lee, T.H., (1997), "CMOS Operational Amplifier Design and Optimization via Geometric Programming", *First International Workshop on Design of Mixed-Mode Integrated Circuits and Applications*, Cancun, Mexico, July 28-30, 1997, pp. 15-18.
- Horvath, G., (2003), *Neural Networks for Instrumentation, Measurement and Related Industrial Applications*, IOS Press
- Leblebici, D., (1997), *Elektronik Elemanları, Ders Notları*, İstanbul
- Lee, T.S., (1991), "Nonlinear Optimization Based on Neural Network and Its Use in Active Filter Tuning", Ph.D Thesis, Arizona State University, USA
- Ngarmnil, J., Yodprasit, U., (1998), "Design Considerations of Micropower Circuits", *The 21st Electrical Engineering Conference*, Bangkok, pp.695-698.
- Razavi, B., (2000), *Design of CMOS Integrated Circuits*, McGraw-Hill Higher Education, New York
- Rogenmoser, R., Kaeslin, H., Blickle, T., (1996), "Stochastic methods for transistor size optimization of cmos vlsi circuits", *Parallel Problem Solving From Nature IV*, pages 849-858, Heidelberg, Germany, 1996. Springer-Verlag, LNCS 1141.

Özyılmaz, L., (2000), Konik Kesit Fonksiyonlu Yapay Sinir Ağında Öğrenme Algoritmasının Geliştirilmesi ve Ağın Çeşitli Problemler İçin Performansı ile Duyarlılığının İncelenmesi, Doktora Tezi, Yıldız Teknik Üniversitesi, Türkiye

Sedra, A.S., Smith, K.C., (1998), Microelectronic Circuits, Oxford University Press, New York

Seven, A., (1993), “Yapay Sinir Ağları ile Doku Sınılandırma”, Yüksek Lisans Tezi, İstanbul Teknik Üniversitesi, Türkiye

Tepe, C., (2000), “Mikrodalga Tranzistorun Yapay Sinir Ağı ile Performans Analizi ve Modellenmesi”, Doktora Tezi, Yıldız Teknik Üniversitesi, Türkiye

Torpi, H., (1997), “Mikrodalga Tranzistorların Yapay Sinir Ağı Eşdeğerleri”, Doktora Tezi, Yıldız Teknik Üniversitesi, Türkiye

Zeki, A., (1993), “Analog Tümdevre Analizine Uygun Yeni Bir MOSFET Modeli”, Yüksek Lisans Tezi, İstanbul Teknik Üniversitesi, Türkiye

Zurada, J.M., (1995), Introduction to Artificial Neural Systems, PWS Publishing, Boston

INTERNET KAYNAKLARI

[1] <http://www.itee.uq.edu.au/~cogs2010/cmc/chapters/BackProp/>

ÖZGEÇMİŞ

Doğum tarihi	13.03.1978	
Doğum yeri	İstanbul	
Lise	1993-1997	Kabataş Erkek Lisesi
Lisans	1997-2001	İstanbul Teknik Üniversitesi Elektrik Elektronik Fakültesi Elektronik ve Haberleşme Mühendisliği Bölümü
Yüksek Lisans	2001-2003	Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Bölümü Elektronik Programı

