

23178

YILDIZ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

VMEbus ve UYGULAMALARI



YÜKSEK LİSANS TEZİ
MÜH. EREN İKİZ

İSTANBUL 1992

**T.C. YÜKSEKÖĞRETİM KURULU
DOKÜMANTASYON MERKEZİ**

ÖNSÖZ

VERSA Modül Eurocard kelimelerinin baş harflerinden oluşan VME terimi duyurulduğu 1981 yılından itibaren özellikle Avrupa'da büyük yankılar uyandırmış ve büyük kabul görmüş bir bilgisayar mimarisinin adıdır. Motorola tabanlı bir sistemden geldiği için sürekli 680XX serisi ile özleştirilmiş olmasına rağmen oldukça modüler yapıya sahiptir ve çok çeşitli serilerde kullanılabilir.

Henüz 8 bitlik işlemcilerin kullanıldığı dönemlerde 32 bit iletişim sağlayabilen bir sistem olarak doğdu ve büyük ilgi gördü. 1970'lerde planlanırken 4 temel strateji izlendi: en iyi mühendislerin ortaklaşa çalışması, önce kullanıcının beğenisine sunulması, lisans istenmeden tasarımcılara açık bırakılması, geliştirmek için bağımsız organizasyonların kurulması.

Tasarımcıya yakınlığı, sadeliği, yetenekli oluşu ve sürati sayesinde çok çabuk yayıldı. Gücüyle orantılı olarak daha ziyade sanayide ve uzay endüstrisinde kullanıldı. Bugün bütün bir PHILLIPS fabrikası VMEbus üzerinde otomize edilmiştir. VMEbus üzerinde çalışan uydular mevcuttur. Ancak ne yazıkki yurdumuzda kullanılmamaktadır.

1984 yılında kurulan VITA adındaki bir komisyon kar amacı güdmeksizin VMEbus çalışmalarını sevk ve idare etmektedir. Pek çok türevi piyasaya sunulmuştur.

VMEbusla ilgili bilgi bulmak ülkemizde ne kadar zor olsada karakteristiği, özellikleri, uçları, dalga şekilleri, yapısı, genişlemeleri ve bazı uygulamaları ilerleyen sayfalarda anlatılmıştır.

Eren İKİZ
Elektronik Mühendisi
28. Eylül 1992 İstanbul

Preface

The word VME is gathered from the initials of VERSA Module Eurocard. It is a very well known and wide spread bus architecture especially in Europa since 1981. Coming from a Motorola based system it is always identified with 680XX series microprocessors. Besides it has a very modular architecture and can be used with a wide range of microprocessor families.

While 8 bit processors were used it started being a 32 bit system and drew the attention of most designers. The basic strategies were developed to; cooperatively design with the best people the finest possible 32 bit bus, bring it to the market first, put it in public domain, establish an independent organization to provide stewardship and strong promotion.

Being close to the designer with its easy but powerful specification made it popular in a short while. It is mostly used in industry and space. Today the whole PHILLIPS factory works on VMEbus where there are some satellites on it too. Unfortunately it is not used in Turkey.

A non profit commusion VITA that is established in 1984 insures the technical and commercial success of the bus.

Contrary to its small amount of documents in Turkey, it is possible to find VMEbus specification, specialities, pins, wave forms, expansions and some applications in coming pages.

Eren İKİZ
Elektronics Engineer
28 September 1992 Istanbul

VMEbus'ın oluşumu	1-1
VMEbus'a giriş	1-3
1.1 VMEbus'ın avantajları	1-4
1.1.1.1 Çoğullanmış ve Çoğullanmamış Mimariler	1-9
1.1.1.2 Arka Panel	1-10
1.1.1.3 Bus Modülleri Stilleri	1-11
1.1.1.4 Uyumluluk	1-11
1.1.1.5 Band genişliği	1-11
1.1.2. Fonksiyonel Modüller	1-11
1.1.2.1. Master	1-11
1.1.2.2. Slave	1-12
1.1.2.3 Konum İzleyici (Location Monitör)	1-12
1.1.2.4 Hat Zamanlayıcı (Bus Timer)	1-12
1.1.2.5 Kesici (Interrupter)	1-12
1.1.2.6 İşletici (Handler)	1-12
1.1.2.7 IACK* Daisy - Chain Sürücü	1-13
1.1.2.8 Talep Birimi (Requester)	1-13
1.1.2.9 Karar Birimi (Arbiter)	1-13
1.1.2.10 Sistem Clock Sürücü	1-13
1.1.2.11 Seri Clock Sürücü	1-13
1.1.2.12 Güç İzleyici (Power Monitor)	1-14
1.1.3 Alt Bus'lar	1-14
1.1.3.1 Veri Transfer Hattı (Data Transfer Bus)	1-14
1.1.3.2 Veri Transfer Karar Hattı (Data Transfer Arbitration Bus)	1-14
1.1.3.3. Kesme Önceliği Hattı (Priority Interrupt Bus)	1-15
1.1.3.4. Hizmet Hattı (Utility Bus)	1-15
1.1.3.5. Seri Hat (Serial Bus)	1-15
1.1.4. Veri Transfer Devirleri (Data Transfer Cycles)	1-15
1.1.4.1. Okuma/Yazma Devri (Read/Write Cycle)	1-16
1.1.4.2. Okuma-düzenleme-yazma devri (Read-modify-write cycle)	1-16
1.1.4.3. Blok Transfer Devri (Block Transfer Cycle)	1-16
1.1.2.4. Sadece Adres Devri (Address-Only Cycle)	1-16
1.1.5. Kesme Tanıma Devri (Interrupt Acknowledge Cycle)	1-17
1.1.6. Karar Devri (Arbitration Cycle)	1-17
1.1.7. Sinyal Özeti	1-17
1.1.7.1. A01 - A31	1-20
1.1.7.2. ACFAIL*	1-20
1.1.7.3. AM0-AM5	1-20
1.1.7.4. AS*	1-20
1.1.7.5. BBSY*	1-20
1.1.7.6. BCLR*	1-21
1.1.7.7. BERR*	1-21
1.1.7.8. BG0IN* - BG3IN* / BG0OUT* - BG3OUT*	1-21
1.1.7.9. BR0* - BR3*	1-21
1.1.7.10. D00-D31	1-21
1.1.7.11. DS0* - DS1*	1-22
1.1.7.12 DTACK*	1-22

1.1.7.13 IACK*	1-22
1.1.7.14 IACKIN*-IACKOUT*	1-22
1.1.7.15. IRQ1*-IRQ7*	1-22
1.1.7.16 LWORD*	1-23
1.1.7.17. RESERVED	1-23
1.1.7.18 RETRY*	1-23
1.1.7.19. SERCLK-SERDAT*	1-23
1.1.7.20. SYSCLK	1-23
1.1.7.21 SYSFAIL*	1-23
1.1.7.22 SYSRESET*	1-24
1.1.7.23 WRITE*	1-24
1.1.7.24 +5STDBY	1-24
1.1.7.25 +5 VDC, +12 VDC, -12 VDC	1-24
1.2 Hat Seçenekleri ve Mnemonikler	1-24
1.3 VMEbus Karakteristiği	1-26
1.3.1.1 Revizyon A	1-26
1.3.1.2. Revizyon B	1-27
1.3.1.3. Revizyon C	1-27
1.3.1.4. Revizyon C.1	1-27
1.3.1.5 Revizyon D	1-28
1.3.2. Terminoloji	1-28
1.3.3. Diyagram Tipleri	1-29
Bölüm 2	2-1
Veri Transferi	2-1
2.1. Hat Devirleri	2-2
2.1.1. Oku/Yaz Devri	2-2
2.1.1.1. Adresleme	2-2
2.1.1.2. Tipik Bir Oku/Yaz Devri	2-6
2.1.1.3. Veri Strobe	2-8
2.1.1.4. DTACK*, BERR* ve RETRY* ile Devir Durdurma	2-8
2.1.1.5. Adres Pipeline	2-9
2.1.1.6. Veri Boyutlandırma	2-11
2.1.1.7. Sıralanmamış Veri Transferleri	2-12
2.1.2. Blok Transfer Devirleri	2-14
2.1.3 A64 Adresleme	2-15
2.1.4. Okuma Düzenleme Yazma Devri	2-16
2.1.5. Sadece Adres Devri	2-17
2.2. 8-bit Paralel I/O Modülü Örnek Devresi	2-18
2.3 SCB68172 Hat kontrol Entegresi İle Bir Devre Tasarımı	2-21
2.4. Konum İzleyiciler.	2-24
2.5 Hat Zamanlayıcı	2-26
2.6. Bir Hat Zamanlayıcı Örneği	2-28
2.7 VMEbus ve 680XX Hat Protokolü Farklılıkları	2-28
Bölüm 3	3-1
Multiproses	3-1
3.1. Veri Transferi Karar Hattı	3-2
3.1.1. Hattı Elde Etmek	3-3
3.1.2. Hat Karar Birimi	3-5
3.1.2.1. Tek seviyeli Karar Ünitesi	3-6

3.1.2.2. Basit VMEbus Sistem Kontrol Birimi Örnek Devresi	3-6
3.1.2.3 Öncelikli Karar Birimi	3-8
3.1.2.4. Round-Robin Karar Birimi	3-8
3.1.2.5. Karar Süre Aşımı	3-9
3.1.2.6. VME1000 Sistem Kontrol Entegresi	3-9
3.1.3. Taleb Birimi	3-10
3.1.3.1 Bitir-Bırak Taleb Birimi	3-12
3.1.3.2. İstekle Bırak Taleb Birimi	3-12
3.1.3.3. FAIR Talep birimi	3-13
3.1.3.4. Asenkron Hat Taleb Birimi Örneği	3-13
3-2. Karar Güvenirliliği	3-14
Bölüm 4	4-1
Kesmeler	4-1
4.1. VMEbus Kesmeleri	4-1
4.1.1. IACK* Zinciri	4-3
4.1.2. Kesme Tanıma Devri	4-3
4.2. Kesme Birimi	4-4
4.2.1. Kesme Birimi Örnek Devresi	4-4
4.2.2. MC68153 Hat kesme Birim Modülü	4-6
4.2.3. SCB68154 Kesme Üreteci	4-8
4.3.IACK* Zincir Sürücü Devresi	4-9
4.4. İşletici	4-9
4.4.1. MC680XX CPU Modülü İçin İşletici Devresi	4-9
4.4.2. SCB68155 Kesme İşleticisi	4-10
Bölüm 5	4-12
Hizmet Fonksiyonları	5-1
5.1. Sistem Clock	5-1
5.2. Sistem Açılışı ve Kapanışı	5-1
5.2.1. RESET Devresi Örneği	5-2
5.2.2. Diagnostik Yeteneği	5-2
5.2.3. SYSFAIL* Sürücü	5-3
5.3.Güç İzleyici	5-3
5.3.1. ACFAIL* Tesbiti	5-4
Bölüm 6	5-5
Hat Arabirimi Elektriksel Karakteristikleri	6-1
6.1 Güç Dağıtımı	6-1
6.2. Hat Arabirim Entegreleri Karakteristikleri	6-2
6.3. VMEbus yolları	6-2
6.3.1. Mikrostrip Yol	6-3
6.3.2. Strip Yol	6-3
Referanslar	7-1
Özgeçmiş	8-1

VMEbus'ın oluşumu

Bilgisayar üreticileri geleneksel olarak bilgisayarlarını tescilli "bus" larda kurarlardı. Bu müşterileri üreticiyle beraber olmaya ve yüksek ücretli dönüşümlerden sakınmaya iter. Daha küçük ve daha düşük maliyetli mikroişlemcilerin üretilmesi de bilgisayar marketinin ufkunu genişletmektedir.

8/16 bit pazarında çeşitli standartlar oluşmuştur. Multibus, Exorbus, STObus, S-100 bunlardan bazılarıdır. Ancak bu buslar 16 bit seviyesinde eskimiştir. Motorola 1979'da 68000 mikroişlemcisini tanıttığında aynı zamanda EXORmax geliştirme sistemiyle yeni bir 16/32 bit VERSAbus ortaya atmıştır. Bu bus daha sonra tüm dünyada satılan VERSA modüllere kadar uzanmıştır.

1980 de çeşitli faktörler kanışmış, dolar Avrupa kurlarında değer kazanarak ekipmanların Avrupa'da yapılmasını tercih edilebilir hale getirmiştir. Aynı zamanda IEC 297-3 adıyla bir fiziksel kart büyüklüğü Almanya'da kullanılmaya başlandı. Motorola Münih, VERSAbus'ın Euroboard fiziksel standardıyla kullanılmak üzere bir modelini üretti ve böylece "VERSAmodule Europe" (VME) doğmuş oldu. Force bilgisayarları Max Loesel ilk çalışmaları başlattı. Motorola Mikrosistem Phoenix'ten John Black, VMEbus geliştirme çalışmalarına katıldı ve temel prensiplerin yazılması rolünü üstlendi.

Aynı zamanlarda Motorola diğer yarı iletken firmalarına 68000 üretmek üzere lisans vermektedir. Motorola muhtemel 68000 üreticilerine yeni doğmakta olan bus için müracaat etti. İçlerinden Mostek ve Signetics/Philips konuya büyük ilgi gösterdi. Görüşmeler sonucunda üç firmanın bu işbirliğini yapmasına karar verildi.

VMEbus resmi olarak ilk defa 1981 Ekim'inde Münih'te Systems 81 fuarında tanıtıldı. Özellikleri IEEE ve IEC'e standartlaştırma için verildi. Eylül 1986'da IEC VMEbus'ı Uluslararası Standart olarak onayladı. Force bilgisayarlarından Wayne Fischer ve daha sonra Motorola'dan Shlome Pri-Tal başkanlığında IEEE'de, Mart 1987'de 1014 numarayla onay verdi.

VMEbus'ın tarihsel gelişmesini şöyle özetleyebiliriz.

- | | |
|------|---|
| 1979 | 16/32 bit VERSAbus, Motorola 68000'in çıkışıyla çakışır. |
| 1980 | Motorola Münih, VERSAbus mimarisinde Euroboard fiziksel standardını belirliyor... VMEbus! |
| 1981 | Sistem 81 fuarı. VMEbus'ın resmi tanıtımı. |
| 1982 | VMEbus kartlar piyasaya giriyor. |
| 1983 | VMX- Bellek Genişletme bus'ı, VMS- Seri bus |
| 1984 | VITA oluşturuluyor. |
| 1985 | VSBbus yüksek hızlı I/O için geliştiriliyor. |
| 1986 | IEC VMEbus'ı uluslararası bir standard olarak onaylıyor. |
| 1987 | IEEE 1014'ü resmi standart olarak onaylıyor. |
| 1988 | VXI geliştiriliyor. |
| 1989 | VFEA - VMEbus, Future bus. Geliştirilmiş mimari. |

Bölüm 1

VMEbus'a giriş

VMEbus bir bilgisayar mimarisidir. VME terimi Versa Module Eurocard kelimelerinden oluşmaktadır ve ilk defa 1981 de tanımlayıcı grubu tarafından duyurulmuştur. Bu grup Motorola, Mostek ve Signetics firmalarından çeşitli kişilerden oluşmaktaydı. "bus" terimi ise bir bilgisayarın veri yolunu anlatmak üzere eklenmiştir.

VMEbus'ın, Motorola'nın 68000 mikroişlemcileri için 1979'da geliştirdiği VERSAbus başlangıçta, Multibus, IBM-PC, STObus, S-100, Qbus ve birçok diğeriyle rekabet etmiş ancak bunlar VMEbus'ın gördüğü kadar büyük kabul görmemiştir.

Mikrobilgisayar bus endüstrisi, mikroişlemcilerin çıkmasıyla başlamış ve 1982'de birçok bus yaşanmıştı. Birçoğu bir veya iki tip mikroişlemciyle tam olarak çalışıyor, küçük bir adresleme alanı bulunuyor ve yavaş çalışıyordu. VMEbus mimarları, mikroişlemciden bağımsız kolayca 16'dan 32 bite genişletilebilen, güvenilir bir mekanik standart bulunan ve bağımsız satıcıların uyumlu ürünler yapabilmesine olanak tanıyan bir bus tanıtımı yapıyorlardı. Yeni bus için hiçbir tescil istenmeyince birçok firma bu bus'la ilgili çalışmaya başladı.

VERSAbus'la ilgili yapılan çalışmalar yeni bus için bir çatı teşkil etti. Ek olarak Eurocard format tabanlı bir mekanik standart seçildi. Eurocard, DIN 41612 ile IEC 603-2 konnektör standartları, IEEE 110 1 PC kart standartları, DIN 41494 ve IEC 297-3 yerleştirme standartları tabanlı ürünler ailesini tanımlayan bir terimdir. VMEbus ilk çıkarıldığında Eurocard formatı Avrupada birçok yıldır oldukça yerleşmiş durumdaydı. Çeşitli donanım bulmak mümkün olabiliyordu. VERSAbus elektriksel özelliklerinin Eurocard formatıyla birleşmesinin sonucunda VMEbus Revizyon A doğdu. VMEbus B, C, C.1, IEC821 ve IEEE 1014-1987 modelleriyle yenilendi.

Bu sırada Revision D standardı da tamamlanmaktaydı. Revision D VMEbus için önemli bir kilometre taşıdır. Sadece hattın teorik bank genişliğini ikiye katlayan teknik başarı ile değil fakat 10. yıldönümünde de uzun ömürlülüğüyle 21.yüzyılda da başarıya ulaşacak teknolojiye de sahiptir.

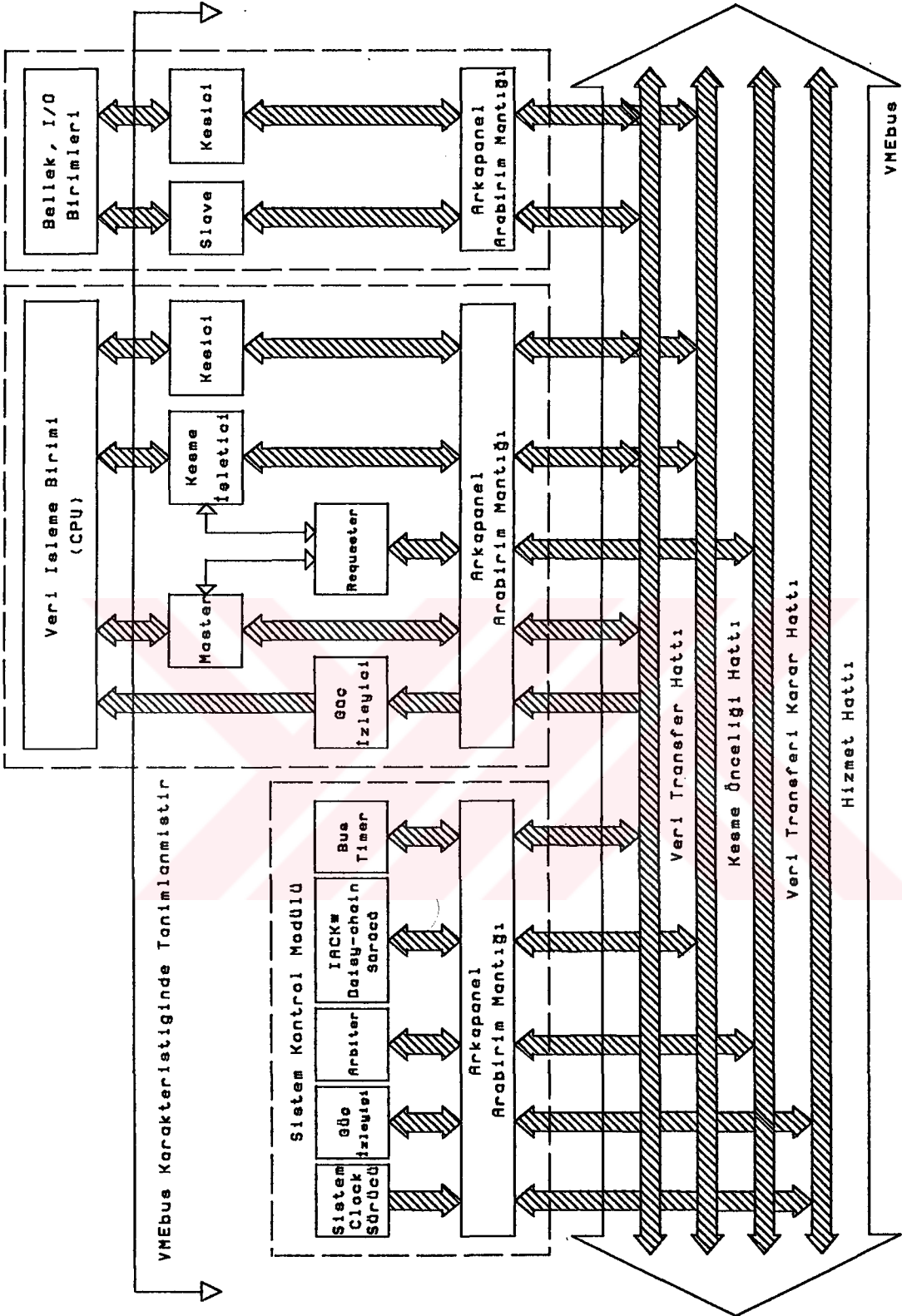
İlk tanıtımından itibaren VMEbus üzerinde binlerce ürün çıkarılmış, yüzlerce üretici çeşitli ürünler hazırlamışlardır. Bugün hala endüstriyel kontrol, telekomünikasyon, ofis otomasyonu gibi konularda gelişmeye devam etmektedir.

1.1 VMEbus'ın avantajları

Bir sistem geliştirilirken, üreticinin tercih yapabileceği üç seçeneği vardır; en baştan yeniden yapmak, standart bir bilgisayarı çevirmek veya mikrobilgisayar kartları kullanmak. Seçim, zaman, piyasa, hacim, uyumluluk, teknoloji, maliyet gibi faktörler tarafından etkilenebilir. Eğer mikrobilgisayar bus kullanılacaksa hangisinin seçileceği belirlenmelidir. Düzenli olarak tanıtılan yenileriyle beraber birçok bus mümkün olabilir. Tablo 1.1 VMEbus ve bazı diğer busları karşılaştırmaktadır.

Hat	S e n k u l A s e n	Q u i l o n	V e r i s	A d r e s l e r o s	K e s i l p e r o s	M u l t i p l e x	Kart Ebatları (mm)	Konnektör	Tescil Sahibi
IBM PC	A	H	8	20	E	H	335*106	Kartkenarı	IBM
Multibus	A	H	8	8	E	E	305*171	Kartkenarı	IEEE 1796
Multibus II	S	E	8	32	H	E	233*220 Eurocard	DIN-41612	Intel
Mubus	S	E	32	32	H	E	233*160-280 Eurocard	DIN-41612	TI
Q-Bus	A	E	8	16	E	E	214*132-393	Kartkenarı	Digital Equip.
STD Bus	A	H	8	16	E	E	114*165	Kartkenarı	IEEE 961
S-100	A	H	8	16	E	E	254*130	Kartkenarı	IEEE 696
Unibus	A	-	16	16	E	E	214*132-393	Kartkenarı	Digital Equip.
VERSAbus	A	H	8	16	E	E	368*235	Kartkenarı	IEEE 970
VMEbus	A	HE	8	8	E	E	160*100,233 Eurocard	DIN-41612	IEEE 1014

Tablo 1.1



Sekil 1-2. VMEbus Fonksiyonel Blok Diyagramı

Bazı VMEbus özellikleri Tablo 1.2'de listelenmiştir. Adres ve Veri hatları 64 bit'e kadar olabilen VMEbus'ta yedi kesme seviyesi kullanılabilir ve multiproses yapılabilir. Hem adres hem veri hattı dinamik olarak tanımlanabilir. Bu, sistemin gelişen mikrobilgisayar teknolojisiyle birlikte gelişmesine olanak tanır. Ayrıca 80 Mbyte/saniye hızda veri transferi de yapabilir.

VMEbus Master-Slave mimarisi kullanır. Master adı verilen fonksiyonel modüller veriyi slave adı verilen modüllere transfer eder. Birçok master hat üzerinde bulunabildiğinden bus, multiproses bus olarak tanımlanır. Master, veri transfer etmeden önce hattı kazanmalıdır. Bunun için sistem kontrolörünü kullanacaktır. Fonksiyonu hangi masterin hatta bir sonra ulaşacağını kararlaştırmaktır. Tüm bus aktiviteleri şekil 1-1 de gösterilen dört alt-bus'ta gerçekleşir. Bunlar Veri Transfer Hattı (Data Transfer Bus), Veri Transfer Karar Hattı (Data Transfer-Arbitration Bus), Kesme öncelikli Hattı (Priority Interrupt Bus) ve Hizmet Hattı (Utility Bus).

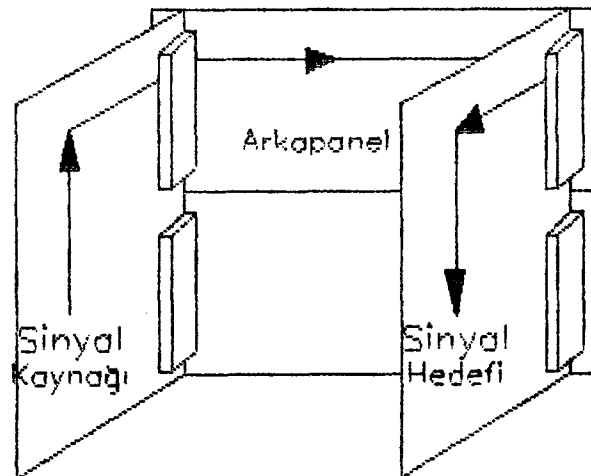
VMEbus asenkron dur, veri transferini koordine etmek için hiçbir clock kullanılmaz. Veri, modüller arasında el sıkışma sinyalleri ile geçirilir. Devir hızı, devirdeki en yavaş modül tarafından belirlenir.

Asenkron bus'ın maksimum hızı arka panel, kartlar ve tampon entegrelerdeki sinyal gecikmesiyle sınırlandırılmıştır. (Şekil 1-2). Bir VME arka paneli en fazla 500 mm uzunlukta olabilir ve bağlantılı olarak yüksek kapasitif ve indüktif yükler bulunabilir. Eğer VMEbus senkron olsaydı muhtemelen 10 MHz civarında bir sistem clock'a sahip bulunacak, buda bir sinyalin, bir modülden arabirim entegresi, arka panel ve diğer bir entegre yoluyla diğerine ulaşması için 100 ns tutacaktı. Bu senkron bir sistemin 74LSXX entegre teknolojisini kullanarak ulaşabileceği maksimum hızlardandır. Asenkron busta aynı gecikmelere sahip olmakla birlikte, geliştikçe daha yüksek hızlarla çalışabilmenin avantajına da sahip olmaktadır. Buda bus band genişliğinin daha hızlı entegre teknolojsi mümkün oldukça artmasına sebep olmaktadır.

Konu	Karakteristik	Notlar
Mimari	Master/slave	
Transfer mekanizması	Asenkron, çoğullanmamış çoğullanmış(seç.)(+)	Merkezi senkronizasyon clock yok
Adresleme menzili	16-bit(kısa I/O) 24-bit(standart) 32-bit(genişletilmiş) 64-bit(uzun)(+)	Adreslenecek bölge dinamik olarak seçilir
Veri yolu genişliği	8, 16, 24 veya 32-bit 64-bit(+)	Veri yolu genişliği dinamik olarak seçilir
Sıralanmamış veri transferi	Evet	En popüler mikroişlemcilerin çoğuyla uyumlu
Hata tesbit	Evet	BERR [®] (seç) kullanarak
Veri transfer hızı	0-40 Mbyte/san 0-80 Mbyte/san	
Kesmeler	7 seviyede	STATUS/ID içeren öcelikli kesme sistemi
Multiproses yeteneği	1-21 işlemci	Esnek hat karar mekanizması
Sistem diagnostik kapasitesi	Evet	SYSFAIL [®] (seç) kullanarak
Mekanik standart	Tek yükseklik Çift yükseklik	160*100mm Eurocard 160*233mm Eurocard D 603-2 konnektör
Uluslararası Standart	Evet	IEC 821, IEEE1101 IEEE1014

(+) Sadece Revizyon D'de geçerli

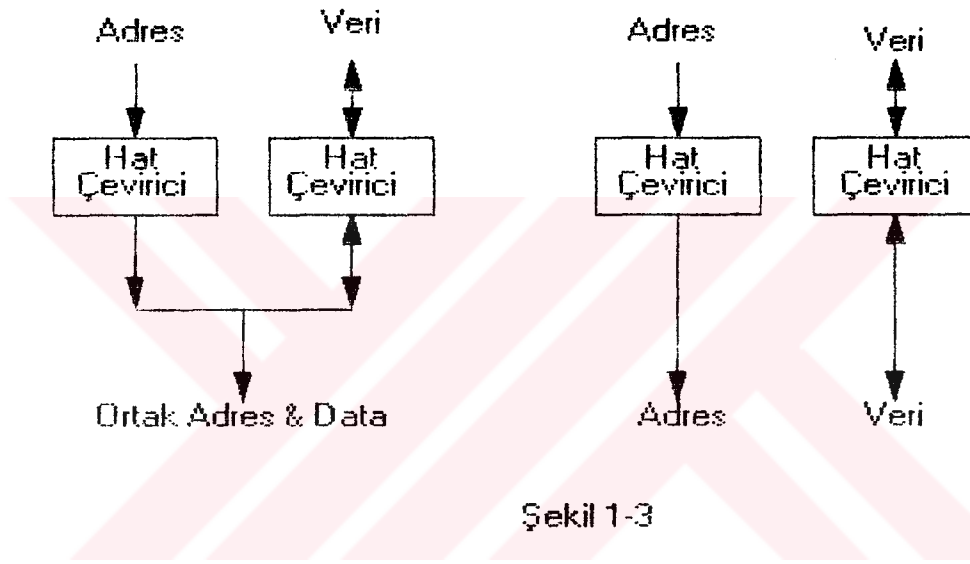
Tablo 1-2



Şekil 1-2

1.1.1.1 Çoğullanmış ve Çoğullanmamış Mimariler

Mikrobilgisayar busları genellikle çoğullanmış veya çoğullanmamış mimariler kategorisine girerler. Şekil 1-3'nin gösterdiği gibi çoğullanmış buslar adres ve veri hatları için aynı uçları kullanırlar. Veri transferi için iki kısımlı bir bus devri mevcuttur. İlk periyotta uçlarda bir adres görünür. Veri ise ikinci periyotta görünür. Çoğullanmamış bus'lar adres ve veri hatları için ayrı uçlara sahiptirler. Ne yazık ki bu aynı zamanda daha çok arabirim devresi ve sinyal uçları gerektiği anlamına da gelir.



Şekil 1-3

VMEbus hem çoğullanmış, hemde çoğullanmamış mimarileri kullanır. 32 bite kadar adres ve veri transferi için VMEbus 32 adres, 32 veri ucu üzerinden çoğullanmamış mimari kullanır. VMEbus Revizyon D adaptasyonu (VME64) 64 bit adres ve 64 bit veri transferine çoğullanmış mimari ile olarak tanır. Bu sebeple VMEbus hibrit mimarili olarak adlandırılır.

Çoğullanmış buslar, çoğullanmamışlardan genellikle daha yavaştır. Buna karşın VMEbus 64 bit çoğullanmış modda kullanıldığında blok transfer devirleri üretir. Blok transfer devirleri, ilk devirde bir adres ve ardından gelene kadar da veri geçirirler. Bu adres devirlerinin veri devirlerine oranını %50'den %0.5'e düşürür.

1.1.1.2 Arka Panel

VMEbus modülleri birbirlerine bir arka panel ile bağlanır. 2 ile 21 arası modül bağlantısı bu şekilde kullanılabilir. Sistem konfigürasyonuna göre bir veya iki arkapanel kullanılabilir. Bir J1 arkapaneli 24 adres, 16 veri biti, bazı güç uçları ve kontrol sinyallerinin birçoğunu içerir. İkinci bir J2 arkapaneli adres ve veri hatlarını 64 bite çıkarmakta kullanılabilir. VMEbus geleneksel S1/P1 ve S2/P2 konnektör tahsis şemasını kullanır. J1 ve J2 konnektörleri arkapanelde P1 ve P2 konnektörleri modül üzerindedir ve P1 J1'e P2 de J2'ye karşı gelir.

1.1.1.3 Bus Modülleri Stilleri

İki VMEbus kart ebadı vardır. Bunlar tek ve çift yükseklikli olarak adlandırılırlar. En küçüğü tek yükseklikli modüldür ve 24 bit adres ve 16 bit veri transferi yapabilir. Genel olarak yer kısıtlı olduğunda kullanılır. Çift yüksekli kartlara göre darbelere ve titreşimlere daha dayanıklıdır. Daha büyük ve daha popüler kart büyüklüğü çift yükseklikli modüldür. Bunlar J1 konnektöründe tek yükseklikli modüllerle elektriksel olarak uyumludur. Adres ve veri hattı 64 bit'e kadar genişletilebilir. 32 ve 64 bit adres veya veri transfer modülleri çift yükseklikli olmalıdır. Tek ve çift yükseklikli modüller bazen 34 ve 64 kart olarakta adlandırılırlar. Bazı üreticiler üç DIN 41612 konnektör kullanarak 9U kartlar ürettiyselerde bunlar VMEbus uyumlu değildirler. Bazı arka paneller J3 konnektör kullanırlar. Bunlar genelde J1 ve J2 konnektörlerinde VMEbus tanımını kullanırlar, fakat J3'te bazı özel sinyaller bulundurulur. Bu popüler VXibus modülleri 3U/6U/9U kart adaptörleri kullanılarak bu özel modüle adapte edilebilmiştir. VMEbus'ın çift büyüklükte olabilmesi yeni ufuklar açtı. STDbus'a rakip olabilecek tek yükseklik dayanıklılığı dolayısıyla uzay endüstrisinde tercih edildi. Çift yükseklik ise Multibus II gibi özel hatlara karşı kullanılmıştır.

1.1.1.4 Uyumluluk

Güvenilir bus mimarisinin önemli bir unsuru kart uyumluluğudur. Birçok modülün birbirinden bağımsız olarak geliştirilip test edilebilmesi mikrobilgisayar endüstrisinde önemli bir sorundur. Kartlar genelde son kullanıcı tarafından denenir. Her modülün diğerleriyle çalışabildiğini test etmek yüksek sayıdaki ürünler nedeniyle imkansızdır. Bu sebeple bir bus'ın özellikleri, ayrı olarak geliştirilmiş tüm kartlarla uyumlu olmalıdır.

VMEbus ilk tasarlandığında asenkron bus'larda kart uyumluluğu esas temaydı ve yüzlerce üreticinin yaptığı binlerce ürün bu modüllerin uyumlu olduğunu ispatlıyordu. Ürünlerin uyumluluğunu test etmek amacıyla VME laboratuvarları adı altında özel bir firma kuruldu ve eğer bir modül VME laboratuvarları amblemini taşıyorsa bu % 100 uyumlu olduğu anlamına gelmektedir.

1.1.1.5 Band genişliği

VMEbus modüller 64 bit blok transfer yaparak 80 Mbyte/sn saniye'lik bir veri iletişim hızına erişebilir. Ancak hızlı işlemcilerin, her hızdaki çevre birimlerine ulaşabilmesine de olanak tanır.

1.1.2. Fonksiyonel Modüller

VMEbus işlemlerini tanımlamak için fonksiyonel modüller kullanır. Şekil 1-1 çeşitli tipleri göstermektedir. VMEbus modüllerindeki devrelerle modüller, fonksiyonel modüller olarak tasarlanmak zorunda değildir. Bunlar sadece kavramsal aletler olarak kullanılırlar.

1.1.2.1. Master

Bir master veri transfer bus devirlerini başlatabilen fonksiyonel modüldür. DMA kontrolörleri, CPU modülleri ve çevre birimleri master örneklerdir.

1.1.2.2. Slave

Slave modüller master'lar tarafından üretilen veri devirlerini fark ederler ve eğer seçilirse içinde yer alırlar. Bellek ve I/O modülleri bunlara örnektir.

1.1.2.3 Konum İzleyici (Location Monitör)

Konum izleyici hattı izler ve eğer belirli adresler seçildiyse sinyal üretir, mesajların tüm modüllere yayılmasına olanak tanır.

1.1.2.4 Hat Zamanlayıcı (Bus Timer)

Hat zamanlayıcı her veri transferinin ne kadar zaman aldığını ölçer. Eğer çok uzun sürüyorsa BERR* yayınlamaya devri durdurur. Bellek büyüklüğü veya sistem hataları sebebiyle meydana gelen kilitlenmeleri önlemekte kullanır ve genellikle sistem kontrol modülünde 01 yuvasına yerleştirilir.

1.1.2.5 Kesici (Interrupter)

Bir kesici kesme doğrulama kesme talebi üretir. Bir kesme doğrulama devri sırasında kesici bir STATUS/ID kelimesini (8,16 veya 32 bit) kesme işleticisine gönderir. Bu devre cevap verdiklerinden slave'dirler. Her karakter aldığı anda bir kesme talep eden seri I/O modülü kesiciye örnek verilebilir.

1.1.2.6 İşletici (Handler)

Kesme işleticisi kesicilerden gelen taleplere cevap verir. Bu modüller, veri transfer bus'ı alabilme, kesme tanıma devri üretebilme ve kesiciden STATUS/ID okuyabilme yeteneğinde olmalıdır. Kesme işleticileri genellikle CPU modüllerinde bulunur.

1.1.2.7 IACK* Daisy - Chain Sürücü

Bir kesme tanıma devri sırasında IACK "Daisy-Chain" sürücü. IACKIN*IACKOUT* zincir hareketi başlatır. Sadece bir kesicinin STATUS/ID kelimesini cevap verdiğini kontrol eder ve zincir için doğru zamanlamayı sağlar. Sistem kontrolörü 01 yuvasında bulunur.

1.1.2.8 Talep Birimi (Requester)

Bus master ve kesme işleticileri veri transfer hattını elde edebilmek için "requester" kullanırlar. Karar ünitesi hattı masterin kullanmasına verecek olan requester'a ayırır.

1.1.2.9 Karar Birimi (Arbiter)

Arbiter hat talebini izler ve her seferinde bir master olmak üzere veri transfer bus'ın kontrolünü verir.

1.1.2.10 Sistem Clock Sürücü

Sistem Clock Sürücü tüm hat modülleri için 16 MHz'lik bir hizmet clock sağlar. VMEbus asenkron olduğundan bu clock'un hat zamanlamalarıyla ilgili değildir.

1.1.2.11 Seri Clock Sürücü

Seri clock sürücü SERCLK üretir. VMEbus tarafından tanımlandıysa da VMSbus tarafından kullanılmaktadır.

Revision D'de SERCLK ve SERDAT* kullanıcı tanımlamasına bırakılmıştır.

1.1.2.12 Güç İzleyici (Power Monitor)

Sisteme reset üretmek ve sistemin AC güç kaynağını izlemekle sorumludur. SYSRESET* ve ACFAIL* üretir.

1.1.3 Alt Bus'lar

VMEbus tüm bus sinyallerini beş alt bus grubuna ayırır. Şekil 1-1 bu busların çeşitli fonksiyonel modülleriyle ilgilerini göstermektedir.

1.1.3.1 Veri Transfer Hattı (Data Transfer Bus)

Veri transfer hattı veriyi slave'lere iletmek için master tarafından kullanılır. Ayrıca kesme işleticileri tarafından, kesme tanıma devirlerinde STATUS/ID byte'larını almakta kullanılır. Bu Alt bus adres hatları veri hatları ve kontrol sinyallerinden oluşur. Aşağıdaki sinyaller veri transferinde bulunmaktadır.

Adres	Veri	Kontrol
A01-A31	D00-D31	AS*
AM0-AM5		DS0*
DS0*		DS1*
DS1*		BERR*
LWORD*		DTACK*
		WRITE*

1.1.3.2 Veri Transfer Karar Hattı (Data Transfer Arbitration Bus)

Veri transfer karar bus, masterlar ve kesme işleticileri tarafından veri transfer hattını kontrol altına almakta kullanılır. Arbiter denilen bir fonksiyonel modülle birlikte hangi master veya kesicinin hatta hakim olduğunu anlamak içinde kullanılır.

Bus'a ait sinyaller şunlardır;

BR0*	BG0IN*	BG0OUT*	BBSY*
BR1*	BG1IN*	BG1OUT*	BCLR*
BR2*	BG2IN*	BG2OUT*	
BR3*	BG3IN*	BG3OUT*	

1.1.3.3. Kesme Önceliği Hattı (Priority Interrupt Bus)

Sistem kesmeleri bu bus üzerinde işletilir. Yedi seviyeye kadar kesme kullanılabilir. Bu bus aşağıdaki sinyalleri kullanır:

IRQ1*	IRQ5*	IACK*
IRQ2*	IRQ6*	IACKIN*
IRQ3*	IRQ7*	IACKOUT*
IRQ4*		

1.1.3.4. Hizmet Hattı (Utility Bus)

Hizmet hattı sistem reset, periyodik zamanlama, sistem kontrolü ve güç hatası için kullanılan sinyallerdir. Bunlar SYSCLK*, SYSRESET*, SYSFAIL ve ACFAIL* dir.

1.1.3.5. Seri Hat (Serial Bus)

VMSbus seri hat VMEbus modülleri veya sistemleri arasında acil mesajlar iletmekte kullanılır. İki sinyal ucu SERCLK ve SERDAT* clock ve veri hatları olarak kullanılır. Bu uçlar Revision D'de kullanıcının tanımlamasına bırakılmıştır.

1.1.4. Veri Transfer Devirleri (Data Transfer Cycles)

VMEbus dört tip veri transfer hattı devri önerir. Devirlerin çeşitliliği hattın, sistemin değişen gereksinimlerine uymasını sağlar.

1.1.4.1. Okuma/Yazma Devri (Read/Write Cycle)

Okuma/Yazma devirleri 8,16,24,32 veya 64 bit veriyi hat modülleri arasında transfer etmekte kullanılır. Devir, master bir adres ve adres yenileyici yayınladığında başlar. Seçildiğinde slave adresi yakalar ve devire cevap verir.

1.1.4.2.Okuma-düzenleme-yazma devri (Read-modify-write cycle)

Okuma-yenileme-yazma devri bölünemez hat devirlerine izin verir. Bu devir genellikle çok kullanıcıli veya çok işlemcili sistemlerde kaynaklanan paylaşımı kontrol etmekte faydalıdır.

1.1.4.3. Blok Transfer Devri (Block Transfer Cycle)

Blok transfer devri master ve slaveler arasında bir veri bloğu hareket ettirir. 256 byte uzunluğu kadar okuma veya yazma blok transfer devirlerine izin verilebilir. Bu devir READ/WRITE okuma yazma devirlerinden hızlıdır çünkü slavele sadece bir kere adreslenmektedir (devrin başlangıcında). Genellikle geniş veri bloklarını hızla hareket ettirmekte faydalıdır.

Revision D VMEbus özellikleri 2 kbyte uzunluğa kadar 64 bit blok transfer devirlerine izin verir.

1.1.2.4. Sadece Adres Devri (Address-Only Cycle)

Sadece adres devri sırasında bir master geçerli bir adres üretir, fakat slaveler cevap vermez. Bu slavelerin, masterin sistem üzerindeki belleğinin yaptığı gibi bir adres çözmesine olanak verir ve sistemi hızlandırır.

1.1.5. Kesme Tanıma Devri (Interrupt Acknowledge Cycle)

Kesme Tanıma Devri, kesme talebine karşılık kesme işleticileri tarafından başlatılır. Devir iki fonksiyonu gerçekleştirir. STATUS/ID byte'larını geçirir ve kesme kaynaklarını kontrol eder.

1.1.6. Karar Devri (Arbitration Cycle)

Karar Devri hat kontrolü sırasında üretilebilir. Bir requester, merkezi karar ünitesinde hat talebi aldığı anda başlar. Karar ünitesi, hat meşgul değilse hattı talep edene verir ve talep eden bir BBSY* sinyali yayınlayarak hattı elde eder. Hattı bırakmak için BBSY* sinyalini kaldırmak gereklidir.

1.1.7. Sinyal Özeti

Tablo 1-3 P1/S1 ve P2/S2 arkapanelleri için uç düzenlerini vermektedir. P1/S1 24 adres hattı, 16 veri hattı, tüm kontrol sinyalleri ve güç ve toprak kontrol sinyallerini içermektedir. P2/S2 ekstra 8 adres ve 16 veri hattı ile birlikte toprak ve güç uçları taşır. Tüm tanımlı P2/S2 sinyalleri uçların orta sırasına yerleştirilmiştir. Dıştaki iki sıra uç kullanıcının tanımlamasına bırakılmıştır ve herhangi bir amaç için kullanılabilir. Genel olarak bunlar I/O sinyalleri veya VMXbus, VSBbus veya VX1bus gibi yardımcıları için kullanılırlar.

VMEbus, aktif seviyesinin lojik sıfır (0) olduğunu göstermek üzere sinyal ismini takiben bir asterik (*) kullanır. Asteriskin yokluğu aktif seviyenin lojik bir (1) olduğunu gösterir. Eğer kenar tetiklemeli ise asterik, düşen kenar tetiklemeli olduğunu gösterir.

Her VMEbus sinyali beş elektriksel karakteristiktir birine girer. Bunlar three-state, yüksek akım three-state, standart totem-pole, yüksek akım totem-pole ve open kollektör sinyalleridir. Bunlar detaylı olarak incelenecektir.

P1/J1			
Uç numarası	A Sırası	B Sırası	C Sırası
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BG0IN*	D11
5	D04	BG0OUT	D12
6	D05	BG1IN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT*	GND
10	SYCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BR0*	SYSRESET*
13	DS0*	BR1*	LWORD
14	WRITE*	BR2*	AM3
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*	(++)SERCLK	A17
22	IACKOUT*	(++)SERDAT*	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12 VDC	+5 VSTDBY	+12 VDC
32	+5 VDC	+5 VDC	+5 VDC

Tablo 1-3 VMEbus uç bağlantıları.

P2/J2			
Uç numarası	A Sırası	B Sırası	C Sırası
1	Kullanıcı Tanımlı	+5 VDC	Kullanıcı Tanımlı
2	Kullanıcı Tanımlı	GND	Kullanıcı Tanımlı
3	Kullanıcı Tanımlı	(+) AYRILMIŞ	Kullanıcı Tanımlı
4	Kullanıcı Tanımlı	A24	Kullanıcı Tanımlı
5	Kullanıcı Tanımlı	A25	Kullanıcı Tanımlı
6	Kullanıcı Tanımlı	A26	Kullanıcı Tanımlı
7	Kullanıcı Tanımlı	A27	Kullanıcı Tanımlı
8	Kullanıcı Tanımlı	A28	Kullanıcı Tanımlı
9	Kullanıcı Tanımlı	A29	Kullanıcı Tanımlı
10	Kullanıcı Tanımlı	A30	Kullanıcı Tanımlı
11	Kullanıcı Tanımlı	A31	Kullanıcı Tanımlı
12	Kullanıcı Tanımlı	GND	Kullanıcı Tanımlı
13	Kullanıcı Tanımlı	+5 VDC	Kullanıcı Tanımlı
14	Kullanıcı Tanımlı	D16	Kullanıcı Tanımlı
15	Kullanıcı Tanımlı	D17	Kullanıcı Tanımlı
16	Kullanıcı Tanımlı	D18	Kullanıcı Tanımlı
17	Kullanıcı Tanımlı	D19	Kullanıcı Tanımlı
18	Kullanıcı Tanımlı	D20	Kullanıcı Tanımlı
19	Kullanıcı Tanımlı	D21	Kullanıcı Tanımlı
20	Kullanıcı Tanımlı	D22	Kullanıcı Tanımlı
21	Kullanıcı Tanımlı	D23	Kullanıcı Tanımlı
22	Kullanıcı Tanımlı	GND	Kullanıcı Tanımlı
23	Kullanıcı Tanımlı	D24	Kullanıcı Tanımlı
24	Kullanıcı Tanımlı	D25	Kullanıcı Tanımlı
25	Kullanıcı Tanımlı	D26	Kullanıcı Tanımlı
26	Kullanıcı Tanımlı	D27	Kullanıcı Tanımlı
27	Kullanıcı Tanımlı	D28	Kullanıcı Tanımlı
28	Kullanıcı Tanımlı	D29	Kullanıcı Tanımlı
29	Kullanıcı Tanımlı	D30	Kullanıcı Tanımlı
30	Kullanıcı Tanımlı	D31	Kullanıcı Tanımlı
31	Kullanıcı Tanımlı	GND	Kullanıcı Tanımlı
32	Kullanıcı Tanımlı	+5 VDC	Kullanıcı Tanımlı

Tablo 1-3 VMEbus uç bağlantıları (devamı)

1.1.7.1. A01 - A31

Adres hattı A01 - A31 masterler ve kesme işleticileri tarafından sürülür. Veri transfer devirleri sırasında kısa I/O (16 bit), standart (24 bit) ve genişletilmiş (32 bit) adres yayımlarlar. Adres hattının genişliği masterler ve AM0-AM5 tarafından belirlenir.

Revizyon D'de VMEbus 64 bit adres ve veri transferine olanak verir. Bu hat devirleri sırasında 32 adres hattı, 32 veri hattı ile ortaklaşa 64 bit transfer etmekte kullanılır. A01-A31 standart three-state sınıf sinyal lerdir.

1.1.7.2. ACFAIL*

AC güç hatası sinyali ACFAIL* güç izleyici tarafından sürülür. Sürüldüğünde tüm modüllere sistem gücünün kesilmek üzere olduğunu bildirir. Kullanımı isteğe bağlıdır ve açık kollektör sınıf sinyaldir.

1.1.7.3. AM0-AM5

AM0-AM5 adres düzenleme kodu masterlar ve kesme işleticileri tarafından sürülür. Bir adrese refakat eder ve adres transferinin hem büyüklük, hemde tipini gösterir. Slave'ler tarafından hangi adres hatlarının çözüleceğini göstermek üzere kullanılır. Standart three-state sınıf sinyallerdir.

1.1.7.4. AS*

Adres Strobe AS*, masterlar ve kesme yürütücüleri tarafından sürülür. Geçerli bir adresin hatta olduğunu gösterir. IACK* gibi diğer sinyalleri geçerli kılar. Yüksek akımlı three-state sinyaldir.

1.1.7.5. BBSY*

Masterlar ve kesme işleticileri tarafından hattı kullandıklarında sürülür. Karar birimleri bu sinyali kontrol ederek hattı ne zaman diğer masterlara veya kesme işleticilerine vereceklerini belirlerler. Açık kollektör sınıf sinyaldir.

1.1.7.6. BCLR*

Hat temizleme BCLR* hat karar birimi tarafından kullanılır. Aktif master veya kesme işleticisine, bir diğer modülün hattı istediğini bildirir. Yüksek akımlı totempole sinyaldir.

1.1.7.7. BERR*

Hat hatası BERR* slave veya hat zamanlayıcı modüller tarafından hat devrinde bir hata meydana geldiğinde veya hat kilitlendiğinde sürülür. Açık kollektör sinyaldir.

1.1.7.8. BG0IN*-BG3IN* / BG0OUT*-BG3OUT*

Karar birimi ve hat talep birimleri tarafından kullanılan sinyallerdir. Karar birimi aynı seviyedeki hat isteğine (BR0*-BR3*) karşılık bir hat verir. Zincirleme işlemi sistem kontrol ünitesinden başlatarak verilen hat modülden modüle, hattı ilk isteyen talep ünitesine ulaşana kadar yayımlanır. Her VMEbus modülü hat verme giriş çıkışına (BG) sahiptir ve standart totempole sinyallerdir.

1.1.7.9. BR0* BR3*

Master veya kesme işleticisi hattı istediğinde hat isteği BR0*-BR3* sürülür. Master hattı kabul etmeden önce karar biriminin hattı BG0IN*-BG3IN* sinyalleri ile vermesini bekler. Açık kollektör sinyallerdir.

1.1.7.10. D00-D31

Veri hattı masterlar, slavler veya kesiciler tarafından sürülür. Çift yönlü sinyallerdir ve veri transferinde kullanılırlar. Veri hattının farklı kesimleri DS0*-DS1*, A01 ve LWORD*'un durumlarına göre kullanılır. Standart threestate sinyallerdir.

1.1.7.11. DS0*-DS1*

Veri strobe master ve kesme işleticiler tarafından sürülür. Bu sinyaller sadece veriyi değerlendirmez fakat aynı zamanda LWORD ve A01 ile birlikte veri transferinin büyüklük ve pozisyonunuda belirtir Yüksek akımlı three-state sinyallerdir.

1.1.7.12 DTACK*

Veri transferi tanıma DTACK* (Data Transfer ACKnowledge) slavler veya kesiciler tarafından sürülür. Yazma devirleri sırasında DTACK* slave hattı yakaladıktan sonra sürülür. Okuma ve kesme doğrulama devirleri sırasında DTACK* geçerli bir veri veri hattına yerleştirildikten sonra sürülür. Açık kollektör sinyaldir.

1.1.7.13 IACK*

Kesme tanıma IACK* (Interrupt ACKnowledge) kesme işleticileri tarafından kesme isteklerine cevap olarak sürülür. Arka panelde IACKIN**e bağlanır ve IACK* tarafından yayılmayı başlatmak üzere kullanılır.

1.1.7.14 IACKIN*-IACKOUT*

IACK* tarafından sürülürler hem kesme tanıma devrinin gelişmekte olduğunu göstermek ve hemde hangi kesicinin STATUS/ID vereceğini belirlemek için kullanılırlar. Standart totempole sinyallerdir.

1.1.7.15. IRQ1*-IRQ7*

Kesme isteği öncelikleri kesiciler tarafından sürülürler. Yedinci seviye en öncelikli ve birincide en az öncelikli olanlardır. Açık kollektör sinyallerdir.

1.1.7.16 LWORD*

Uzun kelime LWORD* (Long WORD) masterlar tarafından sürülür. A01, DS0* ve DS1* ile birlikte o andaki veri transferinin büyüklüğünü belirtmek üzere kullanılır. Standart three-state sinyallerdir. Revizyon D'de 64 bit veri transferiyle birlikte LWORD* ikiye katlanır.

1.1.7.17. RESERVED

Revizyon A, B, C, C1, IEC821 ve IEE1014'te RESERVED gelecek kullanım için saklanmışır. Fakat Revizyon D'de RETRY* ucu olarak kullanılmışır.

1.1.7.18 RETRY*

Revizyon D'de RETRY* olarak kullanılan boş uç BERR* ile istenen veri transferinin olamayacağını fakat bir dahaki hat devrinde tekrarlanması gerektiğini göstermek üzere slaveler tarafından 0'a düşürülür. Standart three-state sinyallerdir.

1.1.7.19. SERCLK-SERDAT*

Seri clock SERCLK ve seri veri SERDAT* alternatif veri yolu için VMEbus'ta kullanılır. Revizyon D'de bu uçlar kullanıcı tanımlıdır.

1.1.7.20. SYSCLK

16MHz'lik hizmet clock'udur. Herhangibir amaçla kullanılabilir ve VMEbus sinyalleriyle hiçbir zamanlama ilişkisi yoktur. SYSCLK* yüksek akımlı totempole sinyalidir.

1.1.7.21 SYSFAIL*

Sistemde bir hatanın oluştuğunu gösterir ve herhangibir anamodül tarafından izlenebilir. Hatanın sebebi ve cevabı kullanıcı sorumluluğundadır ve kullanımı isteğe bağlıdır. Açık kollektör sinyallerdir.

1.1.7.22 SYSRESET*

Herhangibir modül tarafından sürülebilir ve bir sıfırlama işleminin yürürlükte olduğunu gösterir. Açık kollektör sinyaldir.

1.1.7.23 WRITE*

Masterlar tarafından sürülür ve hat üzerindeki veri transferinin yönünü gösterir. Yazma devrinde sürülür ve okuma sırasında kaldırılır. Standart three-state sinyallerdir.

1.1.7.24 +5STDBY

+5 VDC standby güç kaynağıdır. ve kullanımı isteğe bağlıdır.

1.1.7.25 +5 VDC, +12 VDC, -12 VDC

Sistem içinde kullanılmış güç kaynaklıdır.

1.2 Hat Seçenekleri ve Mnemonikler

VMEbus birçok arabirim seçeneği sunar. Mnemonik Semboller bu seçenekleri belirtmek üzere tanımlanmışlardır.

AO [Adres Only] modülleri sadece adres devirleri üretip, kabul edebilirler.

A16 kapasitesindeki hat masterlar 16 bit adresler kullanarak hat devirleri üretirler ve kısa I/O adres olarak adlandırılırlar. 16 bit adres kapasitesindeki slave ve konumizleyicileri bu devirleri kabul edebilirler.

A24 kapasitesindeki masterları kullanır ve yine 24 bit adres kapasitesindeki modüller tarafından kabul edilebilirler. Standart adres olarak adlandırılırlar.

A32 ve **A64** benzer özelliktedirler. A32 genişletilmiş, A64 uzun adres olarak adlandırılır.

BLT (Block Transfer) seçeneği bir master tarafından blok transferinin başlatılabileceğini veya slave tarafından alınabileceğini gösterir. BLT devri normal okuma/yazma devrinden daha hızlıdır.

BTO (Bus Time Out) seçeneği hat zamanlama fonksiyonel modülünü belirtir. DS0*-DS1*'i izleyip hatalar sebebiyle sistemin kilitlenmesini önlemekte kullanılır.

D08(O) yeteneğindeki slavler tek adreslerde 8 bit veri transferi yapabilirler. Genellikle 8 bitlik entegre kullanan I/O modüllerinde kullanılır.

D08(EO) hem tek hem çift adreslerde (aynı anda olmamak kaydıyla) 8 bit veri transferi yapabilen slaveler için kullanılır.

D16, 16 bit transfer yapabilen master, slave veya konum izleyicileri gösterir. Aynı şekilde **D32**, 32 bit, **D64**'te 64 bit transfer yapabilen master, slave veya konum izleyicileri gösterir.

I(x) [Interrupter] seçeneği verilen seviyede kesme üreten kesicileri gösterir. (1 ≤ x ≤ 7)

IH(x) [Interrupt Handler] seçeneğide x seviyesindeki kesmeleri izler ve cevap olarak bir kesme doğrulama devri üretir.

IH(x-y) Farklı seviyedeki IH seçeneğini gösterir. Örneğin **IH(3-5)**, **IRQ3***, **IRQ4*** ve **IRQ5*** seviyelerindeki kesmeleri gösterir.

PRI [PRiority] seçeneği kullanıldığı karar birimleri **BR3*** ün en yüksek, **BR0***ın en düşük öncelikte olduğu bir öncelik algoritması uygularlar.

RMW [Read Modify Write]' a sahip masterlar okuma düzenleme yazma devri üretebilirler.

ROAK [Release On AcKnowledge] seçeneği kesme tanıma devrinde bir kesici tanımlar ve **RORA**'nın tam tersidir.

RORA [Release On Register Acces] seçeneği, kesme servis rutini sırasında master, durum veya kontrol register'a eriştiğinde kesme isteğini kaldıran bir kesici tanımlar.

ROR [Release On Request] 'e sahip hat talep üniteleri diğer bir VMEbus modülü talep ettiğinde hattı bırakır.

RRS [Round Robin Select] hat karar birimlerine uygulanır. Bunlar bir Round Robin program mantığı yürütürler.

RWD [Release When Done] seçeneği işi bittiğinde veri transfer haltını serbest bırakacak bir talep ünitesi tanımlar.

SGL [SinGle Level] karar birimleri hattı sadece 3. seviyede verirler. PRI ve RRS ise tüm dört seviyeyi kullanır.

UAT [UnAligned Transfer] bir master tarafından sıralanmamış bir veri transferinin gerçekleştirilmesini sağlarken buda üç yerine iki devirde 32 bit veri transferine olanak tanıyarak VMEbus sistemini hızlandırır.

1.3 VMEbus Karakteristiği

VMEbus'ın karakteristiği sistem üreticileri ve kart tasarımcıları için vazgeçilmez bir referanstır. 1981'den beri karakteristik VITA, IEC-821 ve IEEE-1014 gibi teknik komitelerin korumasında bir çok defalar yenilenmiş ve güncelleştirilmiştir. Her yeni versiyon bir öncekilerle %100 uyumludur.

1.3.1.1 Revizyon A

Revizyon A ilk versiyon olarak çıktı. 1970 lerde Motorola Microsystems tarafından geliştirilen VERSAbus'tan alındı. Bir grup mühendis VERSAbus ve Eurocard pakedini birleştirdiler ve VERSAbus-E'yi ürettiler 1981 de bu grup Revizyon A'nın karakteristiklerini belirledi. Bunlar tasarım amaçlı değil genel bir görüş için kullanılmıştır.

1.3.1.2.Revizyon B

1982'de ilk olarak duyuruldu. Bu ikinci versiyon karakteristikleri sinyal hat sürücüleri için düzenlendi ve IEC 297-3 Eurocard Standardı ile mekanik karakteristikleri gündeme getirdi. Aynı yıl Fransız delegasyonunda VMEbus IEC821 adıyla bir standart olarak kabul edildi. 1983 te IEEE komitesi de IEEE-P1014 adıyla VMEbus'ı standartlaştırdı.

1.3.1.3.Revizyon C

Revizyon B üzerinde değişiklik talepleri gelince 1985'te IEEE P1014/D1.0. numarasıyla Revizyon C üretildi. B'nin karakteristiğinin dili RULES (kurallar), Permissions (izinler) ve diğerleri eklenerek daha açık hale getirildi. Bazı yeni özellikler eklendi. Bunlar;

- Konum izleyici fonksiyonel modülü
- IACK* zincir sürücü fonksiyonel modülü
- Sıralanmamış hat devirleri
- Sadece adres devirleri
- Blok transfer büyüklüğü 256 byte oldu
- Okuma düzenleme yazma devirleri 2 ve 4 byte'a genişletildi.
- Karar sırasında hat taleplerinin kaldırılabilmesi olanağı getirildi.
- STATUS/ID transferi 4 byte'a genişletildi.
- Kesme kaldırması daha iyi tanımlandı

1.3.1.4.Revizyon C.1

Revizyon C.1 ilede bazı uyumsuzluklar giderildi ve hat karakteristiği belirlenleştirildi. Onay numarası IEEE-P1014/D1.2 ve IEC-821 oldu. 1987'de IEEE-1014-87 olarak bugün bilinen yeni bir standart onaylandı. Revizyon C.1 üzerinde yapılan değişiklikler şunlardı;

- PERMISSIONS'taki fazlalıklar kaldırıldı.
- FAIR talep ünitesi eklendi
- S1/J1 monolitik arka panel eklendi
- Seçeneklerin tanımında, gösteriminde çeşitli yenilikler yapıldı.

1.3.1.5 Revizyon D

1990 yılında da VITA Teknik Komitesi Revizyon D'yi hazırladı. En önemli ilaveler şunlardır;

- 64-bit blok transfer seçeneği eklendi (VME64)
- 64-bit adres seçeneği eklendi.
- Boş bir uç RETRY fonksiyonunu üstlendi.
- SERCLK ve SERDAT* gereksinimleri kaldırıldı.

1.3.2. Terminoloji

Karışıklığı kaldırmak için VMEbus karakteristiği özel terminoloji kullanarak yapılabilecek ve yapılamayacakları kesin olarak tanımlar. Karakteristiğin açıklığını arttırmak için fonksiyonel modüller ve alt-hat kavramları eklendi. Farklı işlem modlarını açık olarak tanımlamak içinde bazı yazılı kurallar kondu. Bunlar, RULE (kural), RECOMMENDATION (Tavsiye), SUGGESTION (öneri), PERMISSION (izin) ve OBSERVATION (gözlem) dir.

Kural yapabilecek ve yapamayacaklarımızın kesin tanımlamasıdır. Kurallar, diğer buslarla uyumluluğu sağlamak için mutlaka izlenmelidir.

Tavsiye, kuraldan daha yumuşak olup, VMEbus mimarilerinin deneyimlerine dayanır. Tavsiyeler yavaş veya ilerde baş ağrıtabilecek sistem işlemlerini önlemek için verilirler.

Önerilerde tasarımcıların VMEbus modülleri nasıl tasarlayacaklarını daha net anlamaları için verilir.

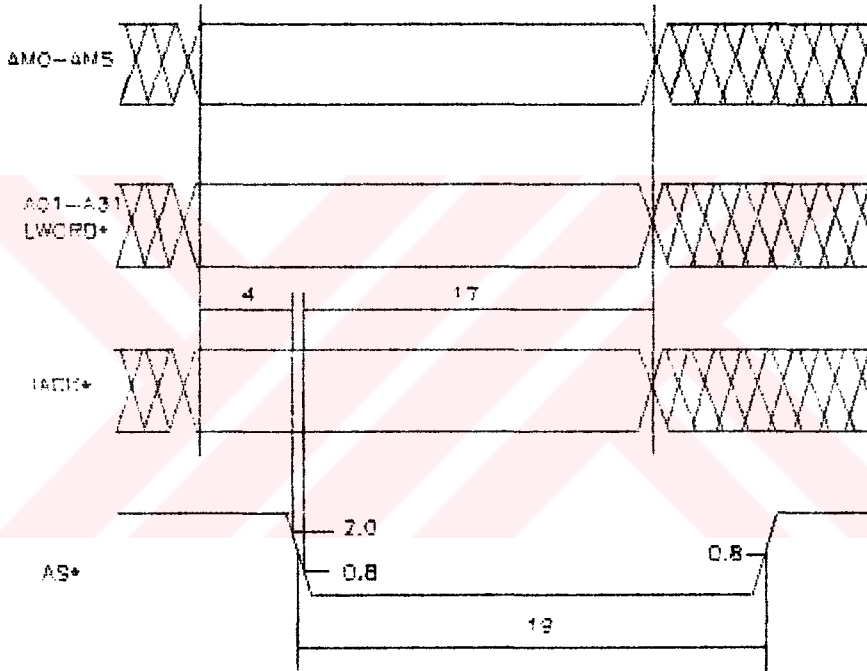
İzin, bir kural özellikle bir tasarım tekniğini yasaklamadığında kullanılır. İzin'ler bir bus fonksiyonunun tanımı yeterince açık olmadığında faydalıdır.

Gözlem'ler belirli bir tavsiye içermez. Kuralların, tavsiyelerin, önerilerin veya izinlerin karşımıdır.

1.3.3. Diyagram Tipleri

Bus karakteristiğinin bazı özelliklerini açıkça tanımlayabilmek için üç tip diyagram kullanılır. Bunlar, zamanlama, ardışıklık ve akış diyagramlarıdır.

Zamanlama diyagramları çeşitli hat sinyalleri arasındaki zamanlama ilişkilerini gösterir. Biraz karışık olmakla birlikte, hat modüllerini tasarlayıp geliştirmek için güçlü birer araçlardır. Şekil 1-4, adres yayılım zamanlama diyagramını göstermektedir.



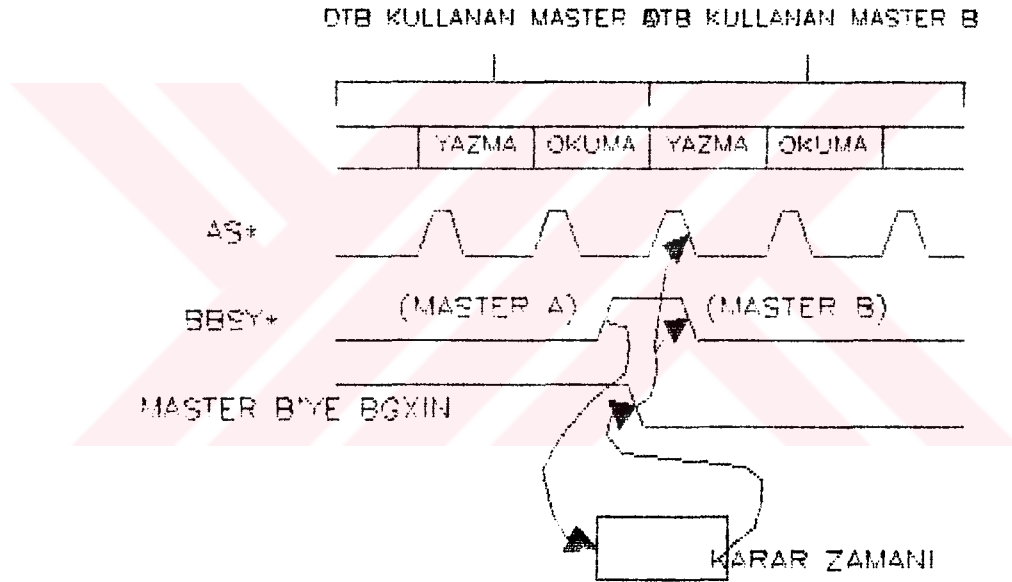
Şekil 1-4

Örneğin Şekil 1-4 te verilen adres hatları A01-A31 ile AS* arasındaki zamanı bilmek istiyorsak zamanlama parametresi (4)'ü kullanmalıyız. (4)'ün gerçek zamanınıda Şekil 1-5 te verilen parametre tablosundan bulabiliriz. Zamanlama parametreleri modüle bağlı olarak farklılık gösterebilir. Genellikle farklı konumlarda bulunduklarından master ve slave'lerin farklı parametreleri vardır. Eğer bir master modüle için zamanlama parametresi kullanacaksa 35 ns kullanılmalıdır. Eğer slave veya konum izleyici ise 10 ns kullanılmalıdır.

Parametre	MASTER		SLAVE		KONUM İZLE	
No	Min.	Max.	Min.	Max.	Min.	Max.
4	35		10		10	
17	35		10		10	
19	40		30		30	

Şekil 1-5

Ardışıklık diyagramları çeşitli hat sinyallerinin sıralamasını açıklıkla göstermekte kullanılır. (Şekil 1-6)



Şekil 1-6

Akış diyagramları bir hat devri sırasındaki olayların sıralanmasını göstermenin bir diğer yoludur.

Bölüm 2

Veri Transferi

Veri VMEbus'ta Veri Transfer Hattı (DTB) üzerinden transfer edilir. Master'lar veriyi slavelerden transfer etmek için DTB yi kullanırken, kesiciler, işleticiye STATUS/ID iletmek için, konum izleyicilerde belirli tiplerdeki devirlere karşılık olacak aktiviteleri başlatmakta kullanırlar.

VMEbus'ın Revizyon A,B,C,C1, IEC821 ve IEEE1014-1987 versiyonları çoğullanmamış hat üzerinden 32 bit veri transferi yapabilirken Revizyon D çoğullanmış hatta 64 bit adres ve veri transferi yapabilmektedir.

VMEbus'ın ilk duyurulduğu yıllarda 24 bit adresleme yeteneğine sahip 16 bit mikroişlemciler henüz yeni çıkmış, 8 bitlik çevre üniteler kullanılmaktaydı. Mikroişlemcilerin, I/O birimlerinin ve bellek ünitelerinin hızı arttıkça VMEbus'ın band genişliği tüm sistem kapasitesi üzerinde belirgin bir faktör oluşturdu. VMEbus'ın saniyede 40 Mbitlik veri transfer hızı FDD, disk kontrol üniteleri, görüntü işleme kapalı devre kontroller gibi bazı uygulamalarda katı bir sınırlama oluşturdu.

Bazı kullanıcılar 16 veya 32 bit CPU kullanırken 64 bit veri transferinin gerekli olmadığını belirtselerde mesaj ileme mimarisi, kullanıldığında çok faydalıdır. Bu sistemlerde mesaj paketleri CPU'da hazırlanıp hattan bir defada geçirilirler. Bu paketler geniş olabileceğinden 64 bitlik hat oldukça etkilidir.

1988 de "Performance Technologies" VMEbus'ın band genişliğini neredeyse ikiye katlayan bir ekleme yaptı. Buna göre ilk veri transferinden sonra boş kalan adres hatları ilave bir 32 bit veri daha taşıyorlardı. Bu veri transfer genişliğini 32 den 64'e çıkarmaktaydı ve ilerde VME 64 olarak adlandırıldı.

VME 64'ün çekiciliği, basitliği ve önceki versiyonlarla uyumluluğundaydı. Veri transfer devirleri 32 bit'e benzer zamanlama ve işletim parametreleri ile hazırlanmıştı.

1990 da VME 64 Revizyon D olarak kabul edildi. Bus'a aynı zamanda çeşitli adresleme teknikleri gibi bazı özelliklerde yeni revizyonda eklendi.

2.1. Hat Devirleri

Veri Transfer Hattı çeşitli tipte hat devirlerine olanak tanır. Bunlar, oku/yaz, blok transfer, okuma-düzenleme-yazma devirleridir. Tüm hat modülleri, her tip hat devirleri ile uyumlu değildir. VMEbus modülleri tasarlarken slavelerin masterlar tarafından üretilen devirlerle uyumlu olmalarına özen gösterilmelidir.

2.1.1. Oku/Yaz Devri

Tüm hat devirleri arasında en çok kullanılanıdır. Birkerede 8,16,24 veya 32 bit veri iletmekte kullanılır.

2.1.1.1. Adresleme

Bir master bir slave'i her oku/yaz devri sırasında adresler. Bu A01-A31 adres hatları, 6 bit adres düzenleme kodu AM0-AM5, ve iki kontrol işareti LACK* ve LWORD* ile yapılır. Ek olarak DS0* ve DS1* dört byte'lık veri grubu içindeki byte'ı belirlemek için kullanılır. A00 adres hattı yoktur.

Tablo 2-1'de olduğu gibi dört adres genişliği vardır; kısa I/O, standart genişletilmiş ve uzun adresleme, 16, 24, 32, 64 bit adreslerler. Büyüklük her hat devrinde değiştirilebilirki bu geniş bir sistem konfigürasyonu sağlar. En önemli ve açık avantajı eski mikroişlemcilerin yenileriyle aynı hattı paylaşmasına olanak tanımasıdır. Örneğin 24 bit adresleme yapabilen 68000 mikroişlemcisi hattı, 32 bit adresleyebilen 68020 ile paylaşabilir.

Adres Düzenle Tipi	Adres Biti	Aktif Adres Uçları	Mnemonic
Kısa I/O	16	A01-A15	A16
Standart	24	A01-A23	A24
Genişletilmiş	32	A01-A31	A32
Uzun(+)	64	A01-A31 D00-D31	A64

(+) Revizyon D

Tablo 2.1. Dinamik adres büyüklükleri

Slaveler tarafından çözülen adres hatları sayısı altı adres düzenleme kodu AM0-AM5 tarafından verilir. Bunların çözümleri Tablo 2.2 de, yönleri (route) Tablo 2.3 te verilmiştir. Bir hat devri sırasında slave adres düzenleyiciyi izler ve hangi hatların çözüleceğini belirler. Kısa I/O adresleri A01-A15'ten, standart adresler A01-A23, genişletilmiş adresler A01-A31 ve uzun adresler A01-A31 ile LWORD* ve D00-D31 den çözülürler. Tüm slave modülleri tüm adres düzenleme koduna cevap vermezler.

Adres büyüklüğünün yanında adres düzenleyici hat devrinin tipini de verir. Bilgi taşıyıcıları, veri oku/yaz devirleri, blok transfer devirleri ve kullandığı devrin kullanıcı tarafından mı yoksa program tarafından mı tutulduğu arasında ayırım yapar.

LACK* sinyalinin fonksiyonu adres düzenleyici kodlarla birleştirilebilir. LACK* kesme işleticiler tarafından o anki devrin bir kesme tanıma devri olduğunu göstermek için sürülür ve veri transfer devri tarafından iptal edilerek doğrulanır. Tasarım yaparken LACK* yedinci adres düzenleyici bit olarak kullanılır. LACK* sürüldüğünde AM0-AM5 slave tarafından dikkate alınmaz.

Adres düzenleyiciler ayrıca tek (3U) ve çift (6U) yükseklikli modülleri uyumlu hale getirir. Tek yükseklikli modüller P1 konnektörünü kullanırlar ve sadece A01-A23 hatlarını kullanarak kısa veya standart adresleme yapabilirler. Çift yükseklikli modüller ise P2 konnektörünüde kullandıklarından 32 ve 64 bit üzerinden genişletilmiş veya uzun adreslemede yapabilirler. Adres düzenleyici olmadan P2 genişletme hattı işlem dışı olurdu.

Adres Düzenleyici (Hex)	IACK*	Adres Biti Sayısı	Transfer Tipi
3F	1	24	Standart denetleyici blok transferi
3E	1	24	Standart denetleyici program erişimi
3D	1	24	Standart denetleyici veri erişimi
3C(+)	1	24	Standart denetleyici 64-bit blok transferi
3B	1	24	Standart ayrıcalıksız blok transferi
3A	1	24	Standart ayrıcalıksız program erişimi
39	1	24	Standart ayrıcalıksız veri erişimi
38(+)	1	24	Standart ayrıcalıksız 64-bit blok transferi
2D	1	16	Kısa denetleyici erişim
29	1	16	Kısa ayrıcalıksız erişim
10-1F	1	--	Kullanıcı tanımlı
0F	1	32	Genişletilmiş denetleyici blok transferi
0E	1	32	Genişletilmiş denetleyici program erişimi
0D	1	32	Genişletilmiş denetleyici veri erişimi
0C(+)	1	32	Genişletilmiş denetleyici 64-bit blok trans
0B	1	32	Genişletilmiş ayrıcalıksız blok transferi
0A	1	32	Genişletilmiş ayrıcalıksız program erişimi
09	1	32	Genişletilmiş ayrıcalıksız veri erişimi
08(+)	1	32	Genişletilmiş ayrıcalıksız 64-bit blok trans
07(+)	1	64	Uzun denetleyici blok transferi
06(+)	1	64	Uzun denetleyici program erişimi
05(+)	1	64	Uzun denetleyici veri erişimi
04(+)	1	64	Uzun denetleyici 64-bit blok transferi
03(+)	1	64	Uzun ayrıcalıksız blok transferi
02(+)	1	64	Uzun ayrıcalıksız program erişimi
01(+)	1	64	Uzun ayrıcalıksız veri erişimi
00(+)	1	64	Uzun ayrıcalıksız 64-bit blok transferi
XX	0	3	Kesme değerlendirme devri (A01-A03)

(+) Revizyon D, -- Tanımsız, 0 Düşük Seviye, 1 Yüksek Seviye

Tablo 2-2. Adres Düzenleyici Kodlar

Veri Transfer Hattı Aktif Kısım - Adres Yönlendirme								
024 - 031	016 -023	008 -015	000 -007	A24 -A31	A16 -A23	A04 -A15	A01 -A03	Adres Düzenleyici Kodlar (Hex)
A63----- A01								Uzun(64Bit)(+) 00-07
Adres yayınımlı sırasında sadece hat devri parçası								
				A31-----A01				Genişletilmiş (32Bit) 08-0F
				A23-----A01				Standart(24Bit) 38-3F
				A15-----A01				Kısa(16Bit) 29,20
				A03 -- --A01				Kesme Bilgisi
Hattın kullanılmayan Kısım (+)Revizyon D				Veri iletmekte kullanılan Kısım				

Tablo 2-3. Çeşitli Adresleme modları sırasında adres yönlendirme

Mnemonik	Tanım
A16	Kısa I/O (16-bit) adresli hat devirleri üretir veya kabul eder
A24	Standart (24-bit) adresli hat devirleri üretir veya kabul eder. Aynı zamanda A16 uyumludur.
A32	Genişletilmiş (32-bit) adresli hat devirleri üretir veya kabul eder. Aynı zamanda A24 ve A16 uyumludur.
A64(+) (Rev D)	Uzun (64-bit) adresli hat devirleri üretir veya kabul eder. Aynı zamanda A32, A24 ve A16 uyumludur.

Tablo 2-4. Çeşitli adresleme modlarını tanımlayan mnemonikler

Uyumlu modülleri seçebilmek amacıyla bir dizi mnemonik geliştirilmiştir. Bu çalışmanın Bir diğer amaçıda Tablo 2-4. de verilen çeşitli adresleme modlarını sınıflandırmaktır. A16, A24, A32 ve A64 mnemonikleri transferde kullanılan adres hatlarının sayısına karşılık gelir. A32; A32, A24 ve A16 devirlerini, A24; A24, A16 devirlerini üretmektedir. Slavelerin böyle bir sınırlaması yoktur.

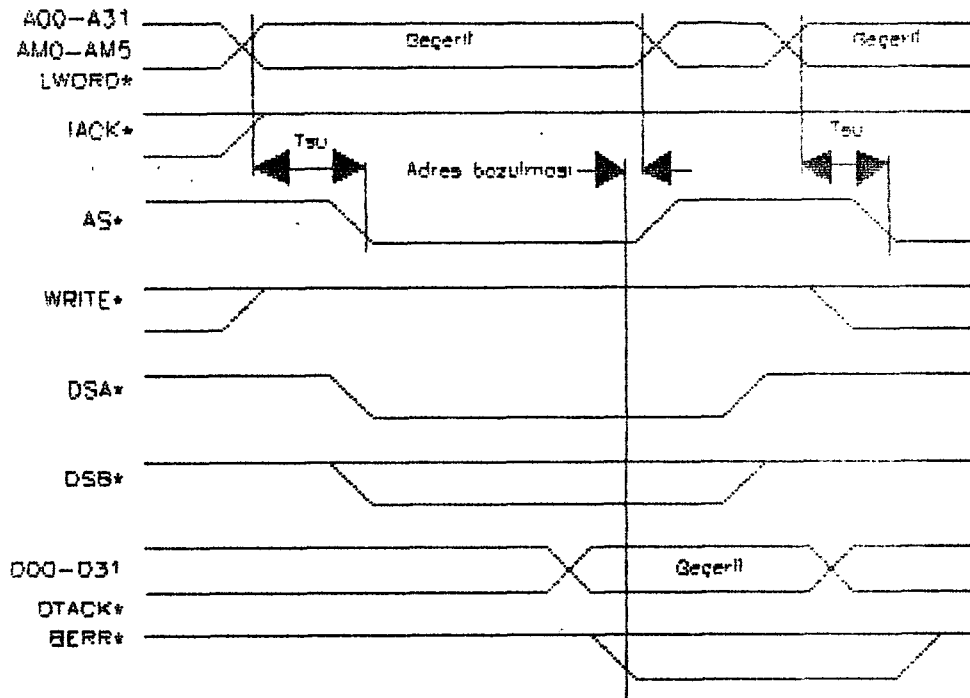
Master yeteneğine sahip modüller seçerken slaveler tarafından ihtiyaç duyulan tüm devirleri ürettiğinden emin olmak gereklidir.

2.1.1.2. Tipik Bir Oku/Yaz Devri

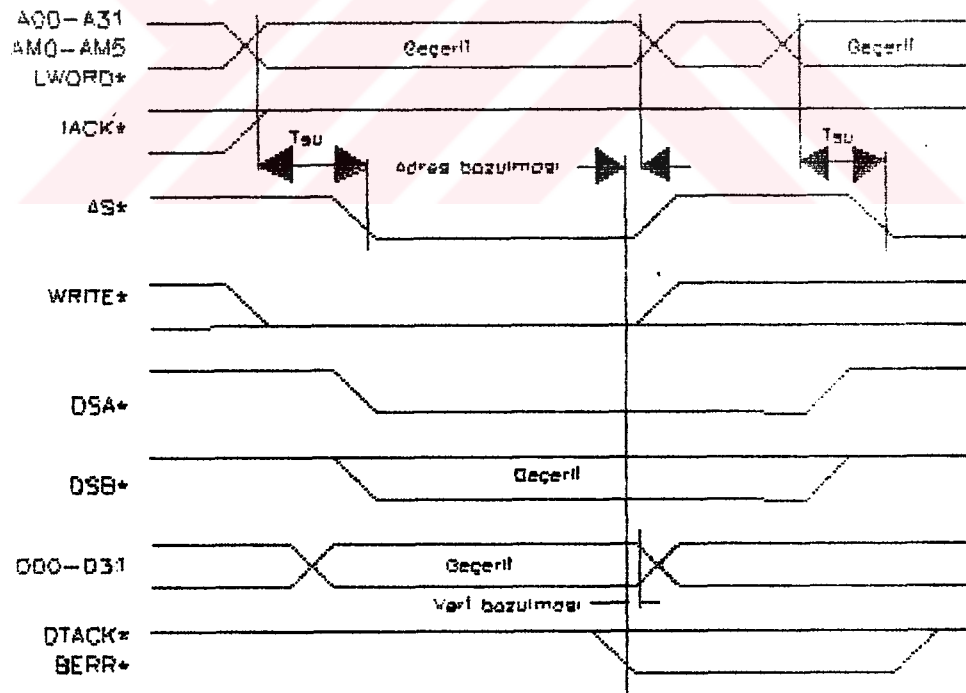
Tipik bir oku/yaz devri sırasında master ilk olarak bir slave adresler ve sonrada veriyi transfer eder. Veri, D00-D31, WRITE*, DTACK* (Veri transferi tanıma) ve BERR* (bus hatası) uçları kullanılarak transfer edilir. Veri hatları ve WRITE* sinyalleri DS0* ve DS1* sayesinde değerlendirilir.

Şekil 2-1 de tipik bir okuma devri için zamanlama dalga şekli verilmiştir. Burada bir master slave'i A01-A31, AM0-AM5, IACK* ve LWORD* vasıtasıyla adresler. Bunlar AS*'ın düşen kenarında değerlendirilir. Master aynı zamanda WRITE*'ı kaldırır ve DS0* ve/veya DS1*'i sürer. Slave adresi çözer, veriyi D00-D31'e yerleştirir ve DTACK*'i (veri transferi tanıma) sürer. Master veriyi aldığı anda slave'i DS0*'ı kaldırarak bilgilendirir. Ardından slave DTACK*'i kaldırarak devri durdurur.

Şekil 2-2'de görüldüğü gibi yazma devri okumaya çok benzer. En önemli fark veri hatta DS0* ve DS1* sürülmeden önce yerleştirilir. Slave DTACK* veya BERR*'ı sürdükten sonra master derhal WRITE*'ı kaldırıp veri hatlarını değiştirebilir. Bu sebeple slave DTACK*'i sürmeden veriyi tutmalıdır.



Şekil 2-1



Şekil 2-2

2.1.1.3. Veri Strobe

DS0* ve DS1* (Data strobe) iki fonksiyon üstlenir. Seviye tetiklemeli sinyal olarak hangi Byte'lara ulaşılabileceğini seçerler. Kenar tetiklemeli sinyal olarak veriyi değerlendirirler.

Zamanlama diyagramlarında VMEbus karakteristiği DS0* ve DS1*'i kullanmaz. Bu notasyon yayılım gecikmesi sebebiyle bir veri göndericinin bir sonrakinden önce konum değiştirmesiyle oluşacak kaşıklığı önlemek için kullanılmaktadır. Master'larda bulunan aktarıcılardaki yayılım gecikmesi zamanlarda bu sinyallerin farklı zamanlarda gönderilmesine sebep olabilir.

2.1.1.4. DTACK*, BERR* ve RETRY* ile Devir Durdurma

Slaveler tüm hat devirlerini DTACK* veya BERR* yayınlayarak durdurur. DTACK* bir devri durdurmanın normal yoludur. Okuma devirleri sırasında, slave veri hattını sürdükten sonra DTACK* gönderir ve yazma devirleri sırasında da veriyi tuttuktan sonra DTACK* gönderir.

BERR* slave veya hat zamanlayıcısı tarafından sürülebilir ve devir sırasında bir hat oluştuğunu gösterir. Ancak hatanın sebebi veya çözümü belirtilmez. Hatalı adresleme veya sistem hataları hat zamanlayıcısının BERR* göndermesine sebep olur.

VMEbus DS0*, DS1*, DTACK* ve BERR* ile birbirlerine bağlantılı ve el sıkışma protokollü bir mekanizma kullanır. Bir devrin başlangıcında DTACK* ve BERR* kaldırılmadan master DS0* ve DS1*'i süremez.

680XX mikroişlemci ailesini kullanan bir master tasarlarken dikkatli olunmalıdır. Bu mikroişlemciler birbirine bağlı hat devirleri kullanmazlar ve dış devreler tam anlamıyla uyumlu olmalıdır.

Revizyon D karakteristiği P2 konnektöründe boş olan ucu RETRY* sinyali için kullanır. RETRY* ve BERR* birlikte slaveler tarafından 0'a çekilerek

talep edilen veri transferinin olamayacağı ancak bir sonraki devirde masterin tekrar denemesi gerektiği gösterilir. RETRY* ucu ikincil hatlarda ve bus'tan bus'a linklerde kilitlenmeyi önlemek için kullanılır. RETRY*'i 0 seviyede aldıktan sonra master hattın kontrolünü bırakır ve tekrar ulaşmadan önce biraz bekler. Bu süre tasarıma ve kontrol metoduna göre değişir. Bekleyerek master diğer işlemcilerin hatta erişimine olanak tanır.

2.1.1.5. Adres Pipeline

Bazı mikroişlemciler veri transferini hızlandırmak için adres "Pipeline" kullanırlar. Master, o anki devir tamamlanmadan yeni hat devrini yayınlamalıdır. Şekil 2-1 ve 2-2 de görüldüğü üzere slave veri transferini DTACK* yayınlayarak tanıdığında master AS*ı kaldırır, hatta yeni bir adres yerleştirir ve sonra tekrar AS* yayınlar.

DTACK* veya BERR* kaldırılmadan geçerli bir adresin iptal edilmesi adres bozulması olarak adlandırılır. Benzer olarak bir yazma devrinde DTACK* veya BERR*'in yayımlanmasından sonra veri hatlarının değiştirilmesine veri bozulması denir.

Slave arabirimler tanımlanırken tüm adres ve adres düzenleyicileri DTACK* veya BERR* yayınlamadan önce tuttuğundan emin olmak gereklidir. Adres genelde DS0* ve DS1*'in düşen kenarlarında tutulur. Aksini yapmak slave'in okuma devri bitmeden veri hatlarını değiştirmesine sebep olur.

Adres "pipeline" kullanmayan tasarımlar yaparken adreslerin, AS*'ın düşen kenarında tutulmasına dikkat edilmelidir. Okuma devirlerinde master AS*'ı, slave DTACK* veya BERR* yayınladıktan hemen sonra kaldırıp tekrar yayınlatabilir. Eğer adres AS*'ın düşen kenarında tutulduysa slave DTACK* veya BERR*'i kaldırmadan yeni bir adresle karşılaşabilirki bu veriyi bozabilir. Bu durumda adresleri veri strobe'un düşen kenarında tutmak gerekir. Veri strobları "OR" (veya)'dan geçirilerek adresi tutmakta kullanılabilir.

Blok transfer devirlerini destekleyen modüller tasarlarken adres pipeline'nın çalıştığına dikkat edilmelidir. Blok transfer devri sırasında master, DTACK*'ın ilk düşen kenarından sonra A01-A31 ve LWORD*'ü değiştirebilir. Fakat adres düzenleyici kod AM0-AM5 DTACK*'ın son düşen kenarına kadar sabit kalmalıdır.

Revizyon D'de izin verilen D64 ve D64BLK devirlerinde "adres-pipeline"a özel dikkat gösterilmelidir çünkü adres ve veri hatları zaten çoğullanarak kullanılmaktadır.

2.1.1.6. Veri Boyutlandırma

Veri hattıda adres hattı gibi dinamik olarak tanımlanabilir. 8, 16, 24, 32 ve 64 bit veri transferleri özel bir yazılım gerektirmeden kullanılabilir. Veri hattını boyutlandırma, hatları 4 byte genişlikte kısımlara ayırmakla gerçekleştirilir: D00-D07, D08-D15, D16-D23 ve D24-D31. Aynı kısımlar transfer büyüklüğüne göre kullanılır. Master, transferin büyüklüğünü ve tipini DS0*, DS1*, A01 ve LWORD*'ü kullanarak belirtir. Ardından slave veriyi doğru kısımdan alır.

VMEbus,ın verinin hafızada nasıl saklandığını belirtmek üzere kullandığı BYTE(n) düzeninde (n) çift, 32 bit sınırdan adres adımıdır. (Tablo 2-5)

Byte Yerleşim Kategorileri			
4-Byte Grup		8-Byte Grup (REV D)	
Operand	Byte Adres(bin)	Operand	Byte Adres(bin)
BYTE(0)	XXXX,...XX00	BYTE(0)	XXXX,...XX00
BYTE(1)	XXXX,...XX01	BYTE(1)	XXXX,...XX01
BYTE(2)	XXXX,...XX10	BYTE(2)	XXXX,...XX10
BYTE(3)	XXXX,...XX11	BYTE(3)	XXXX,...XX11
		BYTE(4)	XXXX,...X100
		BYTE(5)	XXXX,...X101
		BYTE(6)	XXXX,...X110
		BYTE(7)	XXXX,...X111

Tablo 2-5 Bellekte veri organizasyonu.

Bir transfer sırasında master, verinin okunmasını veya yazılmasını istediği yere göre DS0*, DS1*, A01 ve L/WPRD* yayımlar. Bu sinyallerin seviyeleri ve ilgili yolları tablo 2-6'da verilmiştir.

VMEbus beş veri arabirim stili önerir. Bu seçenekler D08(O), D08(EO), D16, D32 ve D64 mnemonikleri ile sınıflandırılır. Dinamik adres boyutlandırma olduğu gibi dinamik veri boyutlandırma eski teknolojinin yenisiyle çalışabilmesine olanak tanır. Örneğin 16 bitlik 68000, VMEbus'ta 32 bitlik 68030 ile paylaşabilir.

D08(O): slave veriyi D00-D07 üzerinden transfer eder. D08(O) olarak adlandırılır çünkü sekiz bitin transferi sadece tek adreslerde yapılabilir (byte transferleri \$XXXXXX01, \$XXXXXX03 gibi). Tipik bir örnek 8 bit seri I/O portudur.

D08(EO) slave hem tek hem çift adreslerde veri transfer eder. Bu sırada her seferinde sadece bir veri strobe düşük seviyeye inebilir.

D16 ve D32 arabirimler D00-D15 veya D00-D31'i kullanırlar.

D64 arabirim veri hatları D00-D31 ve adres hatları A01-A31 ve L/WORD*ü kullanır. Bu sadece Revizyon D'de mümkündür.

VMEbus slave'leri transfer sırasında port büyüklüklerini tanımlama yeteneğini vermez. Mikroişlemcileri arabirimlemenin genelde kullanılan yolu bellek haritasıdır. Örneğin 32 bitlik bir CPU modülü hat arabirimini D16 master olarak \$00000000 ve \$00FFFFFF arasına hat ulaşımı sırasında tanımlayabilir. 32 bitide \$01000000 ve \$01FFFFFF arasında tanımlayabilir. Bu sayede 16 ve 32 bit modüller aynı hatta bulunabilir.

Veri portu büyüklüğünün seçimi bir mode biti ilede yapılabilir. Mode bit CPU'nun hangi tip ulaşım gerektiğine bağlı olarak kullandığı bir bittir. Örneğin master D32 devir ürettiğinde 1, D16 da 0 olabilir. Bu metodun basitliği tasarımın basitliğidir. Dezavantajı ise yazılımın sürekli bir biti değiştirmesi gerekliliğidir.

Veri Transfer Hattı Aktif Kısım - Byte Yönlendirme											
A24 - A31	A16 - A23	A08- A15	LWORD* A00 - A07	D24 - D31	D16 - D23	D04 - D15	D01 - D07	0 0 S S 1 0 * *	A L W O O 2 R O		
(+)8 BYTE(0-7)								0 0	0 0	0 0	0 0
BYTE(0) BYTE(1) BYTE(2) BYTE(3) BYTE(4) BYTE(5) BYTE(6) BYTE(7)											
				4'LÜ BYTE(0-4)				0 0	0 0	0 X	
				BYTE(0) BYTE(1) BYTE(2) BYTE(3)							
				SIRASIZ(0-2)				0 1	0 0	0 X	
				BYTE(0) BYTE(1) BYTE(2)							
				SIRASIZ(1-3)				1 0	0 0	0 X	
				BYTE(1) BYTE(2) BYTE(3)							
				SIRASIZ(1-2)				0 0	1 0	0 X	
				BYTE(1) BYTE(2)							
				ÇİFT BYTE(2-3)				0 0	1 1	1 X	
				BYTE(2) BYTE(3)							
				ÇİFT BYTE(0-1)				0 0	0 0	0 X	
				BYTE(0) BYTE(1)							
				TEK				1 0	1 1	1 X	
				BYTE(3)							
				TEK				1 1	1 1	1 X	
				BYTE(2)							
				TEK				1 0	0 1	1 X	
				BYTE(1)							
				TEK				0 1	0 1	1 X	
				BYTE(0)							
GEÇERSİZ								1 0	1 0		
								0 1	1 0		
Hattın kullanılmayan Kısım				Adres iletmekte kullanılan Kısım				(+)Revizyon D			

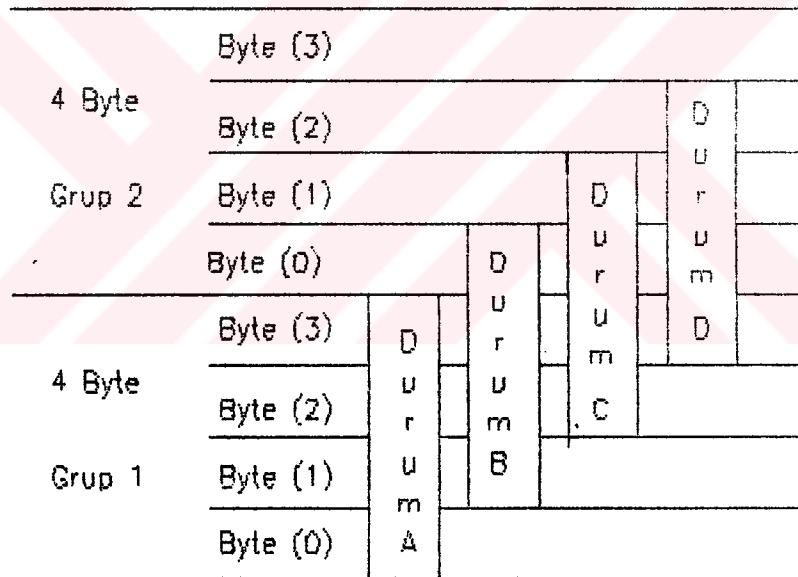
Tablo 2-6 Veri transferi sırasında hattın aktif kısımları

2.1.1.7. Sıralanmamış Veri Transferleri

Sıralanmamış veri transferleri de VMEbus'ta mümkündür. Bu sistemi üç yerine iki devirde 32 bit verinin tek adreslerde transfer edilmesine olanak tanıyarak hızlandırır. Bir master çeşitli şekillerde veri okuyup yazabilir.

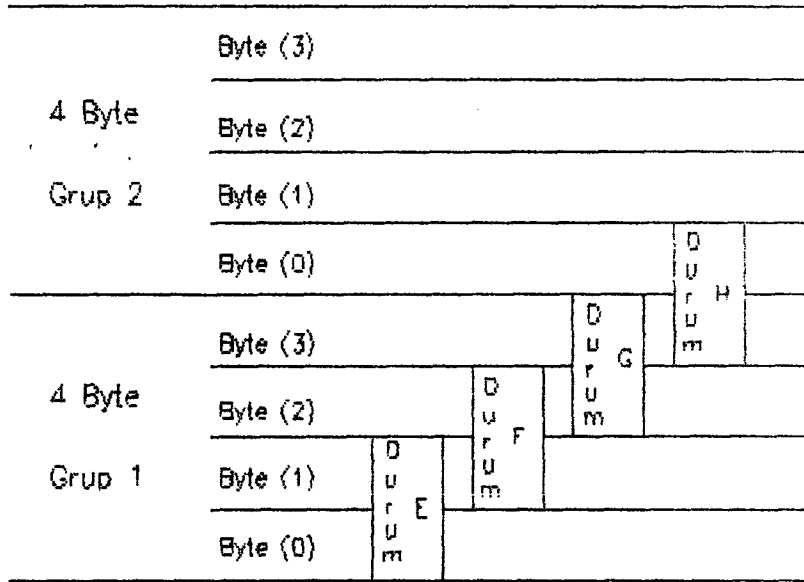
Örneğin Şekil 2-3'te Durum B'ye bakalım. Burada dört byte'lık bir transfer sıralanmamış hudutlarda yer almaktadır. Master veriyi iki metoddan birini kullanarak transfer edebilir. Bir metoddan master bir Single Byte (1), bir Double Byte (2-3) ve bir Single Byte (0) transfer eder. Bu tüm transferin üç hat devri sürdüğü anlamına gelir. İkinci bir metod master sıralanmamış Byte (1-3) ve Single Byte (0) transfer eder. İkinci metod sadece iki hat devri sürer. Sıralanmamış transferler VMEbus devirlerinin veri transferindeki sayısını azaltır.

VMEbus karakteristiği verinin bellekte transfer edildiği sırayı belirlemez. Yukarıdaki örnekte Single Byte (0), Sıralanmamış Byte (1-3) ten önce veya sonra transfer edilebilir. Şekil 2-4'te 16 bit verinin bellekte saklanabileceği 4 yol gösterilmiştir.



Şekil 2-3 32 bit verinin bellekte saklanabileceği dört yol

UAT adı verilen özel bir mnemonik, master tarafından sıralanmamış transferin üretilip sıralanmamış transferin üretilip üretilmeyeceğini, slave tarafından kabul edilip edilemeyeceğini gösterir.

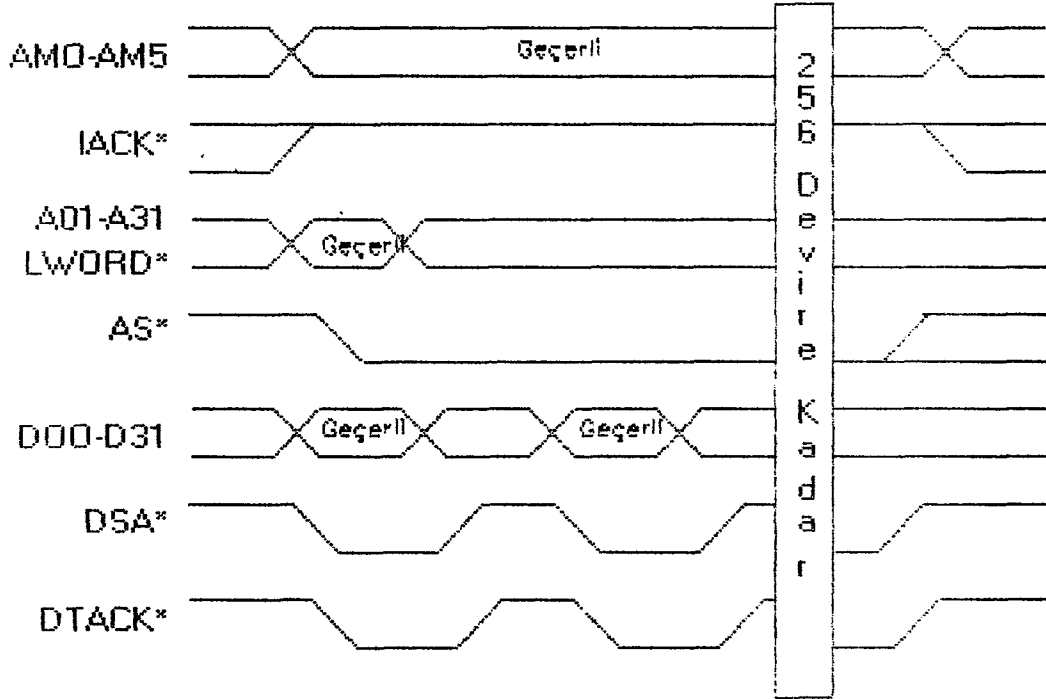


Şekil 2-4 16 bit verinin bellekte saklanabileceği dört yol

2.1.2. Blok Transfer Devirleri

Blok transfer devirleri veri bloklarını yüksek hızda hat içinde transfer etmekte kullanılır. Örneğin \$100'de bir bilginin okunduğunu düşünelim. Muhtemelen diğerini \$104'te okuyacaktır. Bazı bilgisayarlar bu avantajı "ileri düşünme" amacıyla kullanırlar ve CPU o andaki bilgiyle meşgulken sonraki birkaç byte belleği okurlar. Bunu yapan devrelere genelde "Pipeline devre" denilir. "Page mode" veya "Nibble mode" bellek adı verilen dinamik bellekler genelde bu işlemi kolaylaştırmakta kullanılır. Bu bellekler, hızlı ani transferler olarak tanıyan yüksek hızlı "dump" moduna yerleştirilebilir ve normal belleklerin hızını genelde iki veya üçe katlarlar.

Blok transfer devirleri aynı zamanda okuma/yazma devirlerinden hızlıdır çünkü master her devir sırasında bir adres verir. Şekil 2-5 blok transfer devrine bir örnek vermektedir.



Şekil 2-5 Blok Transfer Devri (yazma)

Devir sırasında hem adres hemde blok transfer adres düzenleyici master tarafından slave'e gönderilir. Slave bir kere adreslendiğinde çoklu veri byte'ları (artan sırayla) okunabilir veya yazılabilir. Slave üzerindeki blok transfer sayıcıları otomatik olarak adreslerini arttırır. Bu master'i her devirde adres değiştirmekten kurtarır.

Blok transfer devri üretmek veya kabul etmek seçeneğe bağlıdır. Modüller arası uyumsuzluğu önlemek için BLT denilen bir mnemonik kullanılır. Eğer master blok transfer devri üretebiliyorsa "BLT Master" olarak adlandırılır. Bunu kabul eden slavelerde "BLT Slave" olarak adlandırılır.

2.1.3 A64 Adresleme

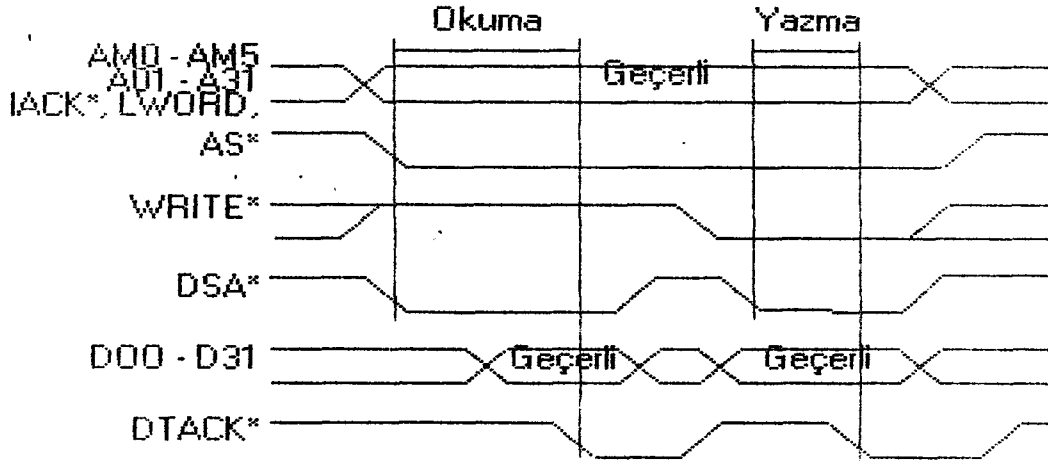
D64 gibi A64 devirleride daha önceki VMEbus panelleriyle ve modülleriyle %100 uyumludur. Tüm A64 devirleri uzunluk olarak iki veya daha çok transferden oluşurlar.

A64:D64, A64:D32, A64:D08(E0) ve A64:D08(O) devirlerinde adres yayımını tek veri transferi izler. A64:D64BLT, A64:D32BLT, A64:D16BLT, A64:D08(E0)BLT devirlerinde adres yayımını bir veya daha çok veri transferi izler. Revizyon D'de A64 devirleri için adres düzenleyici karakteristikleri, A64 adres yayımı sırasında adres bitlerinin tanımlanması, adres transferinden veri transferine değişimin kuralları ve karakteristikleri tanımlanmıştır.

2.1.4. Okuma Düzenleme Yazma Devri

Bu devir (Read Modify Write) çok kullanıcı ve çok işlemcili sistemlerde kullanılır. Bu özel devir farklı işlemcilerin disk kontrol üniteleri, seri portlar gibi ortak kaynakları birlikte kullanabilmelerini sağlar. Bu devir iki yerine bir devirde veriyi okuyup yazacaktır ve buda ortak kaynağın iki işlemde kullanılmasını önleyecektir. Bu devir bazı zamanlar test ve set devri, veya bölünemez devir olarakta adlandırılır. İki kaynağın aynı anda aynı kaynağa ulaştığı duruma bir örnek iki yolcunun aynı uçakta rezervasyon yaptırmak istemesi olabilir. Bu devir olmadan aynı koltuk her ikisinde ayrılabilirdi çünkü programın aynı satırları her iki işlemciyide aynı adreslere götürecekti, aynı koltuk adresleri kontrol edilip doldurulacak ve çifte rezervasyon durumu ortaya çıkacaktı. Ancak, test ve set devrini kullanan bir yazılımla örneğin 68000 assembler kodunda TAS komutuyla adres bir defada kontrol edilip değiştirilecek ve karışıklık önlenecektir.

Tüm slave ve masterlar okuma düzenleme yazma devirlerinde yer almaz. Alan modülleri RMW uyumlu olarak adlandırılırlar. Ancak tüm modülleri RMW devirlerine izin verecek yapıda olmalıdır. Şekil 2-9'da okuma düzenleme yazma devri gösterilmektedir. Devir sırasında okuma ve yazma devirleri AS* sürüldüğünde yerine getirilir. Devrin ilk yarısında 'WRITE*' (yazma) aktif değildir ve veri bellekten okunur. Master veriyi değiştirir ve 'WRITE*' aktif edilip veri yerine bırakılır. AS*'ı aktif bırakmak hat kontrol kararını oluştuktan ve birden fazla işlemcinin veri okumasından alıkoymaz.

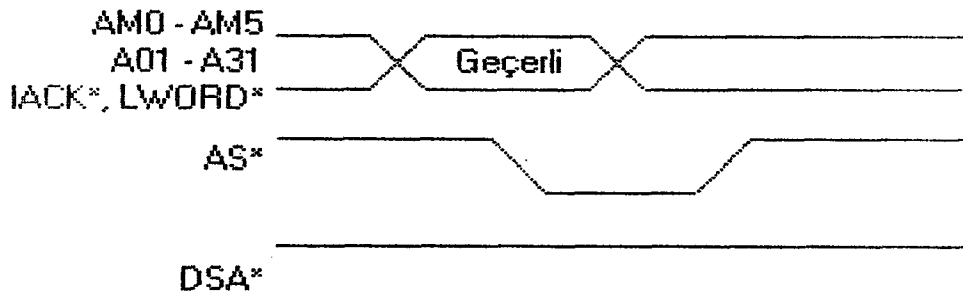


Şekil 2-6 Okuma Düzenleme Yazma devri

68020 gibi okuma düzenleme yazma devri sırasında adres değişikliği yapabilen işlemcilerle çalışırken son adresin tutlmasına dikkat edilmelidir. Ayrıca AS*'ı slave'in DTACK* üreticini sürmekte kullanmakta önemli bir hatadır. Slave bir kere seçildiğinde DTACK* için DS0* ve DS1* kullanılmalıdır. Aksi takdirde DTACK* okuma sırasında üretilip ikinci kısmında kilitlenecektir.

2.1.5.Sadece Adres Devri

Sadece adres devri adres yayınlamakta kullanılır. Devir sırasında hiçbir veri transferi yapılmaz. Bu devir okuma/yazma devirlerinden iki veri strobe'uda sürmeyen masterlarda ayrılır. Veri strobe'ları sürülmediğinden, slave devri DTACK* veya BERR* ile durdurmaz. Şekil 2-7 devri göstermektedir.



Şekil 2-7 Sadece adres devri

Sadece adres devri master'in yerel bellek adres çözücüsünün slave'inkine paralel çalışmasına olanak tanır ve bazı durumlarda hattı hızlandırır. Bazı master tasarımlarında basitleştirir. Sadece adres devri yapabilen modülleri tanımlamak üzere ADO mnemoniği kullanılır.

2.2. 8-bit Paralel I/O Modülü Örnek Devresi

Şekil 2-9'daki devre basit bir 8 bitlik paralel I/O modülünü göstermektedir. A16: D32: D16: D08 (0) arabirim kullanılmıştır. Adres çözümü, hat zamanlaması ve kontrol işaretlerinin kullanımını bu devre sayesinde görmek mümkündür. Gerçek zaman saati, A/D çevirici, D/A çevirici ve diğer bazı I/O fonksiyonlarından temel blok olarak kullanılabilir.

Devreyi inceleyecek olursak; devreye uygulanacak olan bir yazma devri U7'nin bir byte veriyi tutmasına ve dışarı göndermesine neden olur. Bir okuma devri U6 girişindeki veriyi çevirecekti. Adres düzenleyici ve adres hatları 8 bit büyüklük karşılaştırıcı (magnitude comparator) U1 de çözülür. Devre A16 modül olduğundan, adres düzenleyiciler \$29 ve \$2D tablo 2-7 de gösterildiği gibi çözülmelidir. U1'in AM2'yi izlemediğine dikkat edilmelidir. Bu bit, devreyi basitleştiren bir "önem vermeme durumu" olarak tanımlanır.

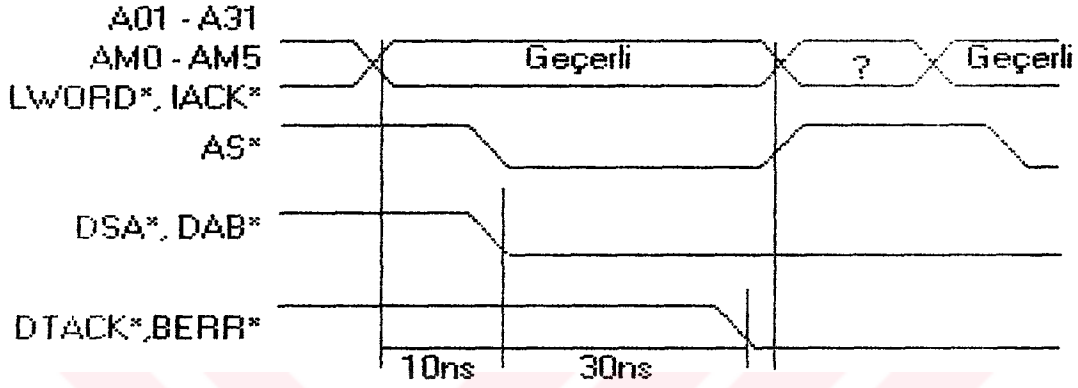
A16 slaveler sadece A01-A15 adres bitlerini çözecek, A16-A31 kullanılmayacaktır. Sadece A13-A15 üst adres bitlerini çözerek devre bir tek karşılaştırıcı entegre kullanır.

A	A	A	A	A	A
M	M	M	M	M	M
5	4	3	2	1	0

	\$29	1	0	1	0	0	1	Kısa ayrıcalıksız erişim
	\$2D	1	0	1	1	0	1	Kısa denetleyici erişim

Tablo 2-7 Sekiz bit I/O modül için adres düzenleyici kodlar.

U1'in P=Q çıkışı U3 flip flop'unu kullanarak tutulmuştur. Çünkü VMEbus slaveelerindeki adres hatları her devrin başlangıcında tutulmalıdır. Şekil 2-8'den de görüleceği üzere veri strobu sürüldükten sonra 30 nanisaniye daha DTACK* uyanılmamalıdır. DTACK* uyanılırsa master derhal AS* kaldırabilir ve adres hatlarını değiştirebilir. Eğer adres hatları tutulmazsa modül devrin ortasında bırakılabilir ve veri bozulabilir.

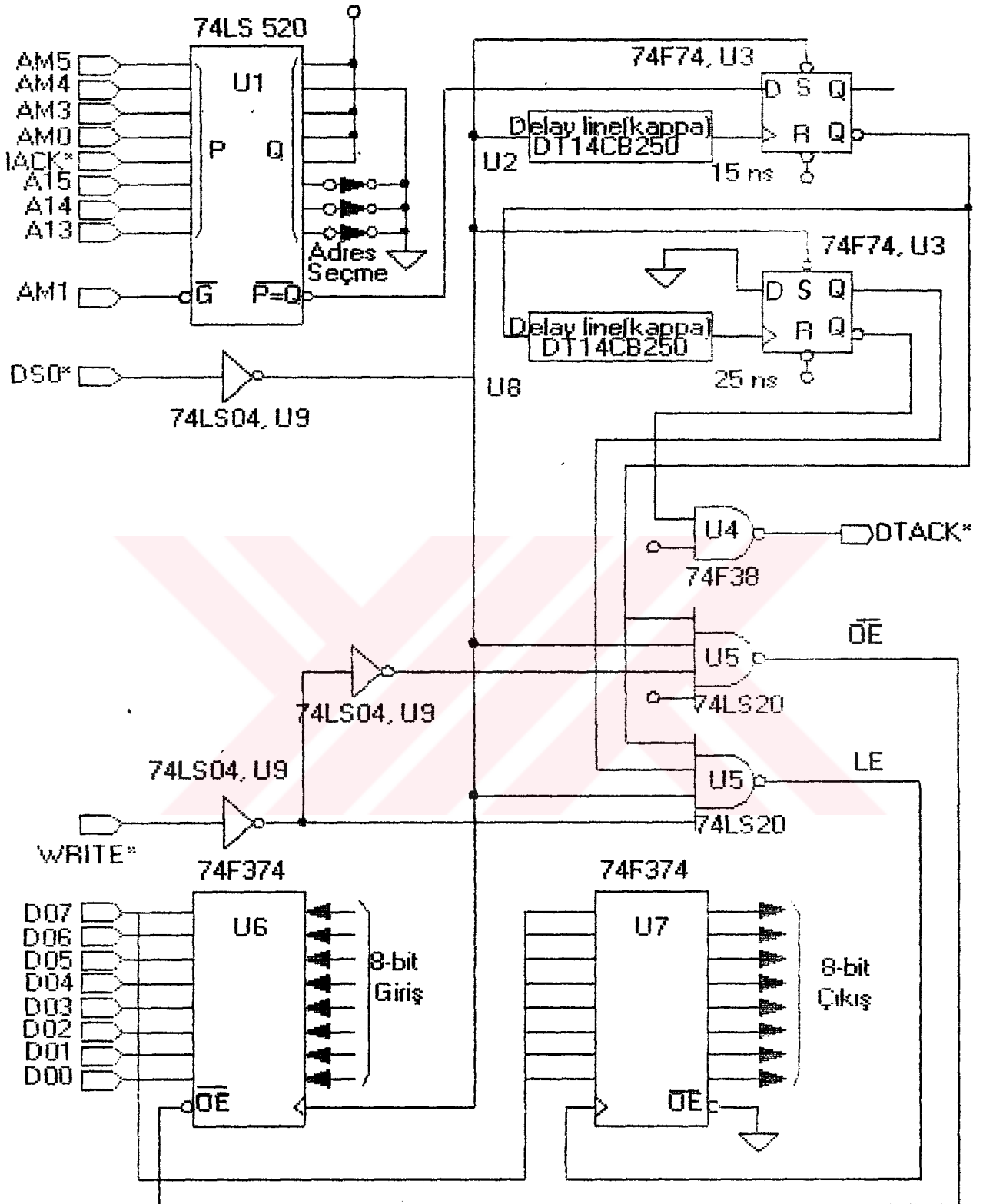


Şekil 2-8 Slavelerin adres hatlarını tutma sebebini gösteren hat zamanlaması

Eğer bir slave adres "pipeline"ı desteklemiyorsa (yinede tolerans göstermek zorundadır) adres hatlarını AS* veya DS0*'dan birisini kullanarak tutabilir. Burada da kullanılmış bulunan AS* yerine DS0*'ın düşen kenarını almak bu durumda modülün tasarımını basitleştirir.

Şekil 2-8'den görülebileceği gibi slave tarafından DTACK* sürülür sürülmez master AS* kaldırıp tekrar sürebilir. Bu adres pipeline olarak bilinir. Eğer adres AS*'ın düşen kenarında tutulur ve ikinci düşen kenar devir bitmeden oluşursa bu durum modülün bir okuma devri sırasında çıkışını kapatmasına sebep olur. Yazma devri sırasında da istenmeyen veriyi alacaktır.

Sekiz bit I/O modülü D08(0) slave olduğundan veri D00-D07 üzerinden yazılıp okunacaktır. Bu modülün tek adreslerde her seferinde bir byte yazılabileceği ve sadece DS0*'ın kullanılmasının yeterli olacağı anlamına gelir. DS1* ve LWORD* çözülmediğinden, D32 ve D16 devirleri cevaplanmadığından devre VMEbus karakteristiğine göre A16:D32:D16:D08(0) slavedir. D32 veya D16 devirleri uygulandığında D00-D07 dışındaki tüm veri hatları kullanılmayacaktır.



Şekil 2-9 Basit 8-bit I/O slave modülü

Giren veri 74F374 oktal Flip Flop U6'dan okunur. Devre veriyi her strobun düşen kenarında tutup master okurken sabit tutacak şekilde tasarlanmıştır. Veri, birimin çıkışında master DSO*'ı kaldırıncaya kadar tutulacaktır.

Tutulduğu oktal flip flop dışında yazma devride benzerdir. Veri, modül DTACK* yayınlamadan tutulur çünkü masterin salve DTACK* yayınlamayamaz veri hatlarını değiştirmesine izin verilir.

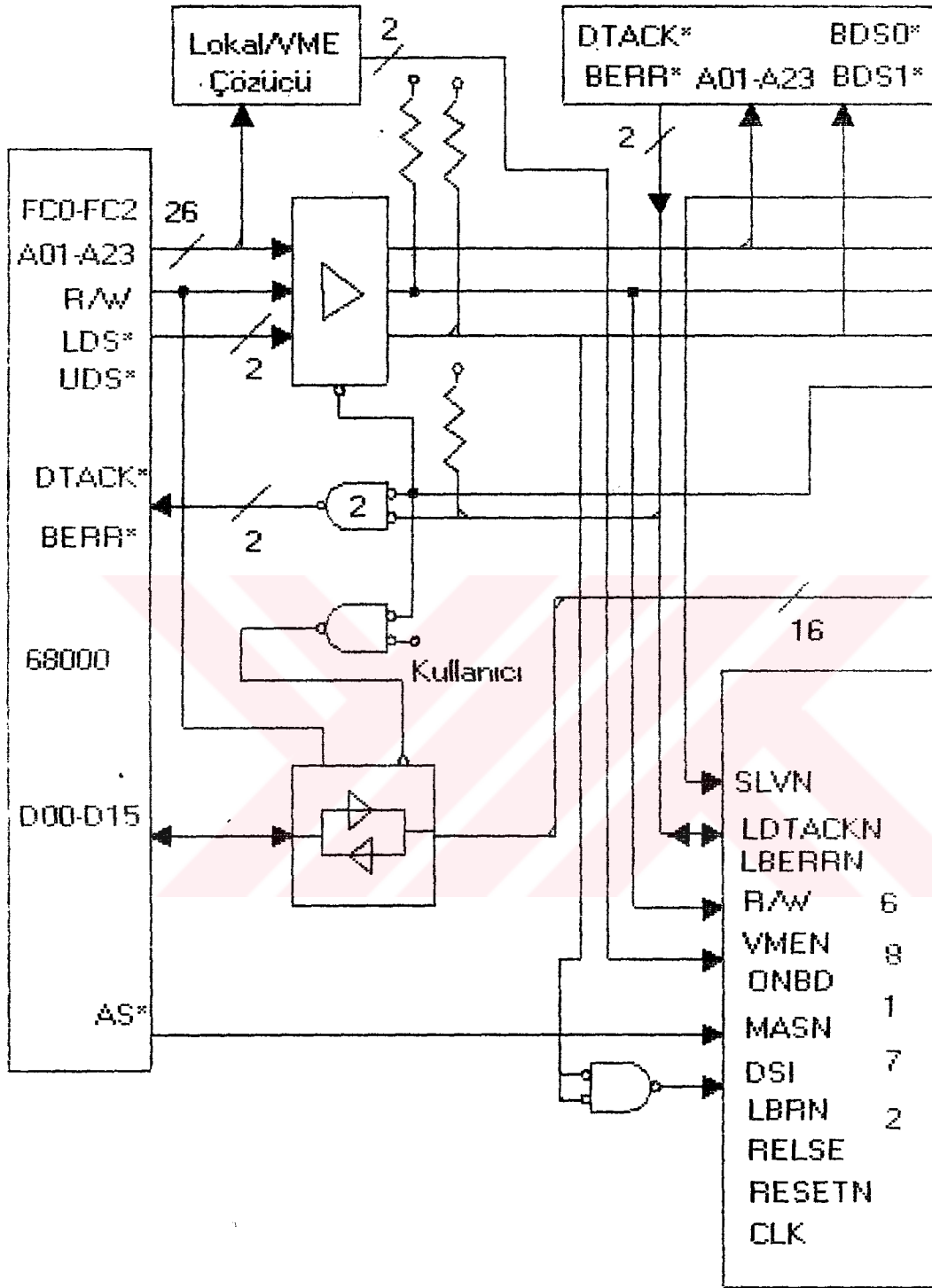
VMEbus modülleri tasarlanırken entegrelerin sürücü ve alıcı karakteristikleri dikkatlice izlenmelidir. Şekil 2-9'daki devre DTACK*'i 74F38 açık kollektör sürücü ile veri hatlarında standart three-state çıkışlı 74F374 ile sürülmüştür.

SYSRESET*'in kullanılması gerekliliğine rağmen devrede gerekli hiçbir fonksiyonu olmadığından kullanılmamıştır. Sistem reset sırasında bu modül DTACK*'i kaldırmak ve sürüldükten 30 mikrosaniye sonra D00-D07 veri hatlarını sürülmesini durdurmak için kullanılır. Masterların veri strobeleri 20 mikrosaniye sonunda kaldırması gerektiğinden bu devre veri strobeleri her kaldırıldığında kendisini resetlediğinden SYSRESET* gerekli değildir.

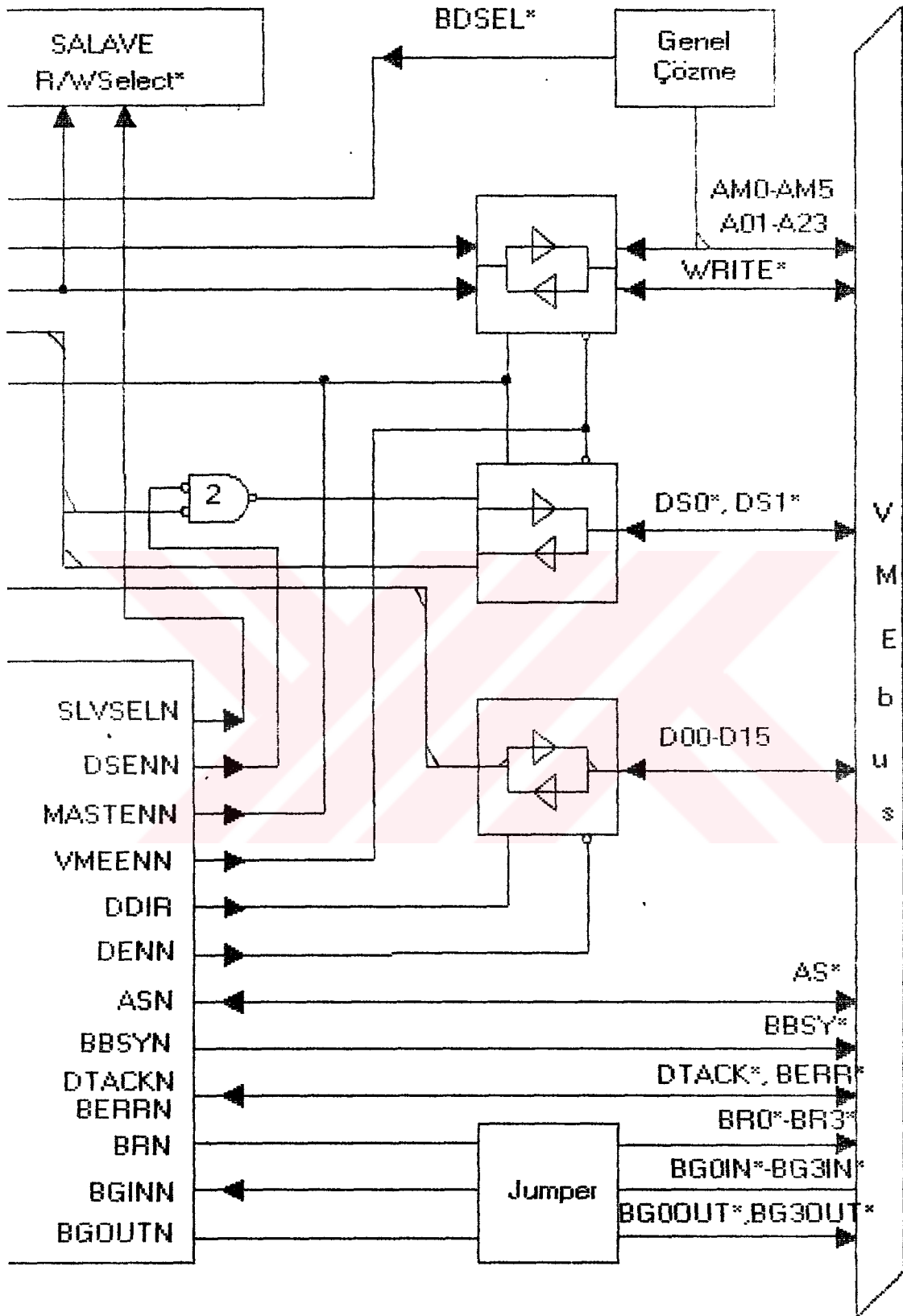
2.3 SCB68172 Hat kontrol Entegresi İle Bir Devre Tasarımı

SCB68172 Signetics VMEbus modülleri için ürettiği bir arabirim entegresidir. Bu birim bir VMEbus masterı, slave'i veya her ikisinin bileşkesi olarak tanımlanabilir. Şekil 2-10 'da bellek paylaşımı veya slave uygulamaları için tanımlanmış birim görülmektedir.

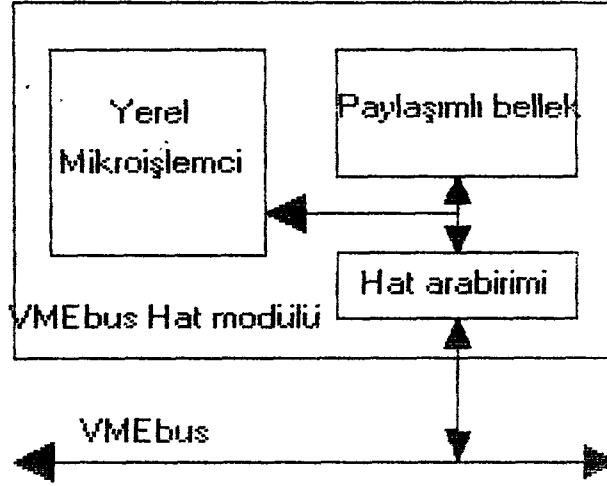
Şekil 2-11'de görüldüğü gibi yerel paylaşılmış bellek hem lokal hemde VMEbus masterlardan ulaşma olarak tanır. Paylaşımlı bellek genelde çoklu işlemcili sistemlerde kullanılır. Lokal bellek paylaşımı olmayan çoklu işlemcili sistemler hattın akan mesaj trafiği ile yığılmasına sebep olabilirler. Bellek paylaşımı genelde yazılımda kolaylaştırılır. SCB68172 master, slave ve bellek paylaşımlı hat arabirimlerinde gerekli parça sayısını azaltır ve tüm VMEbus zamanlama parametrelerini karşılamasını sağlar.



Şekil 2-10 (a)



Şekil 2-10 (b)



Şekil 2-11 Bellek paylaşımlı CPU modülü.

2.4. Konum İzleyiciler.

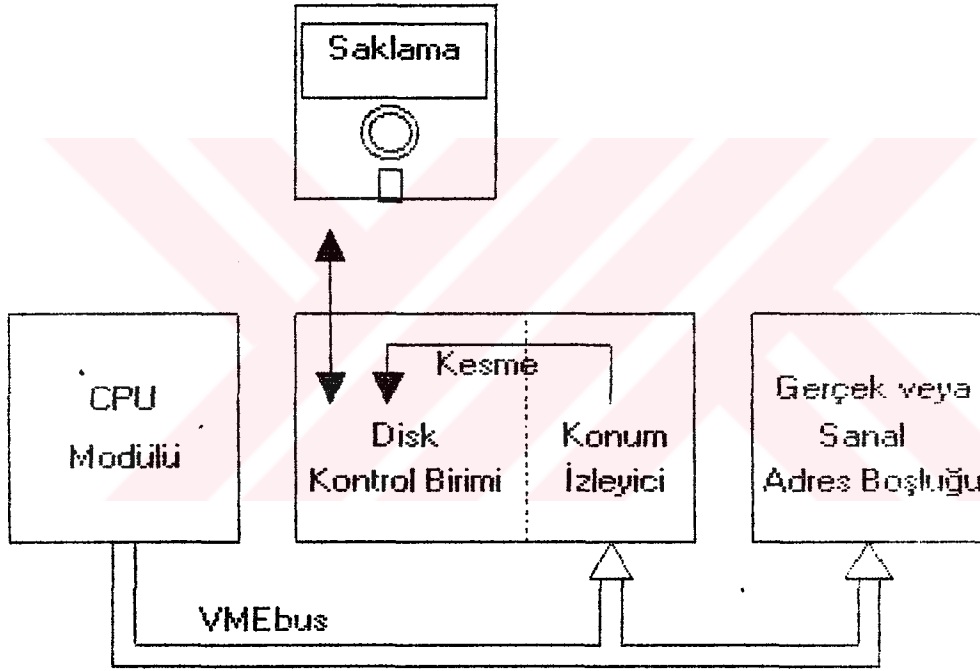
Konum izleyiciler (Location Monitors) masterlardan yayılan veriyi alırlar. Seçimlidirler ve herhangi bir sayıdaki master veya slave'de bulunabilirler.

Konum izleyicileri kullanmak için herhangi bir büyüklükteki veya gerçek adres boşluğu atanır. Bu bölge belleğe sahip olmak zorunda değildir fakat DTACK* veya BERR* içeren hat devirlerine cevap vermek zorundadır. Bir master bu bölgeye ulaştığında bir hat devri yayınlar. Konum izleyici devri yorumlar ve bazı işlemler yapar. Akıllı slave modüller kart üzerindeki işlemcilerini belirli bir sanal adrese erişebildiğinde kesebilirler.

Konum izleyiciler standart yazılımlara olanak tanır. Bilgisayar endüstrisinin önemli bir amacı farklı üreticilerden birbiriyle uyumlu arabirimle yapabilmesidir.

Şekil 2-12'de bir CPU ve disk kontrol ünitesi görülmektedir. Disk kontrol birimini XYZ firması üretmiş ve bazı donanımdan bağımsız yazılım türetilmiştir. Eğer XYZ firmasından ABC firmasına geçecek olursak modül yeni şasede elektriksel olarak çalışacaktır fakat yazılım arabirimi çalışmayacaktır. Bunun sebebi XYZ firmasının disk kontrol ünitesinin işletim sistemine bağlandığı yazılımdaki farklı yazılım bağlantılandırır.

Konum izleyiciler standart çengeller kullanılabilir. Eğer XYZ ve ABC firmaları aynı çengelleri kullanırsa her iki modülde bağımsız üretilen yazılımla çalışacaktır. CPU modülü disk okuması istediğinde sanal bir bellek konumuna erişecektir. Disk kontrol birimindeki konum izleyici bu erişimi görecektir ve birimin kendi işlemcisine bu isteği bildirecektir. Bu protokolün avantajı disk kontrol biriminin tüm yazılım ve donanımın standardize edilmiş protokolü kabul edecek şekilde hazırlanabilmesi ve modüllerin "tak ve kullan" basitliğinde olacaktır.



Şekil 2-12 Konum İzleyiciyi disk kontrol biriminde kullanmak.

Konum izleyiciler sadece disk kontrol birimleri ile sınırlı değildirler. Aynı zamanda sayısal işaret işleme sistemlerinde analog-digital çevirici modüllerini çoğullamak amacıyla tetikleme darbesi yayınlamakta kullanılırlar. Bu uygulamada tek konum izleyici yeterlidir.

Slaveler için geçerli olan mnemonikler konum izleyiciler içinde geçerlidir. Tek istisna D08(0) konum izleyicilere izin verilmemesidir.

2.5 Hat Zamanlayıcı

Normal bir devirde master devri durdurmadan önce slave'in DTACK* yayınlamasını bekler. BERR* de DTACK* gibi çalışır. Tek fark devrin bir hata sebebiyle durdurulması gerektiği anlamına gelmesidir. BERR* alınmasıyla master genelde bir hata yürütme rutinine girer, kullanıcıyı uyarır, sorunu giderir veya sistemi kapatır.

Hat zamanlayıcı (Bus Timer) adı verilen bir fonksiyonel modül de BERR* yayınlatabilir. Eğer bir hata meydana gelirse BERR* yayınlar. Bu hatalar genelde yazılım hataları, otorizasyonsuz erişim, yanlış kesmeler ve hatalı bellek boyutlandırma'dan kaynaklanır. Hat zamanlayıcı basitçe DS0* ve DS1*i izler ve eğer her ikisinde belli bir süre düşük seviyede kalırsa BERR* yayınlar.

DTACK* ve BERR* farklı fonksiyonlar yarına getirmelerine rağmen zamanlama söz konusu olduğundan VMEbus karakteristiği her ikisini benzer olarak kullanır. Örneğin bir master, slave tarafından DTACK* veya BERR* kaldırılmadan DS0* veya DS1*i süremez.

DTACK* ve BERR* süren modüller hiçbir zaman her ikiside aynı anda tetiklememelidir.

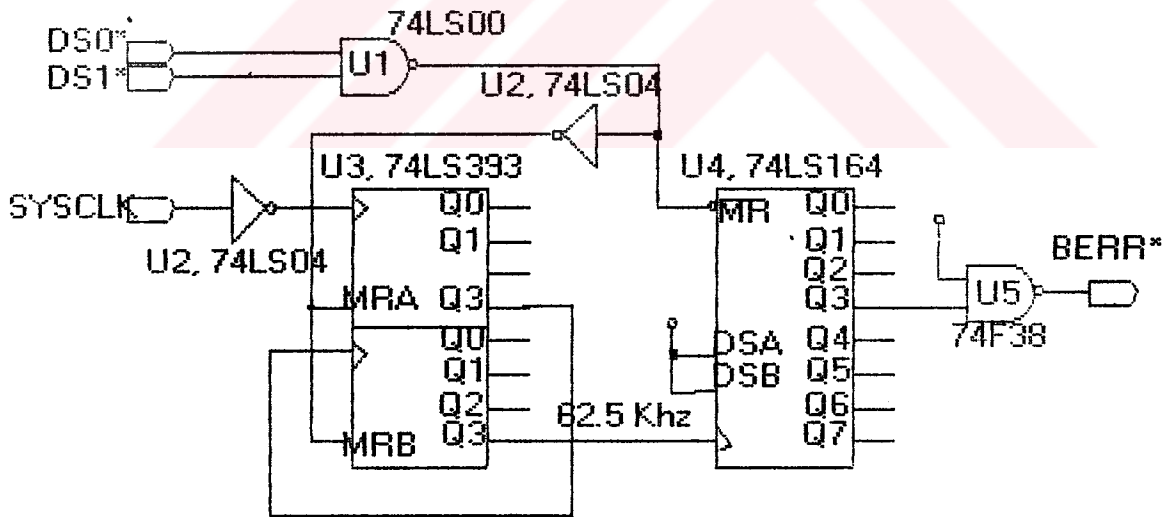
Hat zamanlayıcı en yaygın olarak bellek boyutlandırmada kullanılır. Bunu yapmanın standart yolu bir adrese erişmek ve dolu olup olmadığına bakmaktır. Normal devirler sadece DTACK* tarafından bitirilebildiğinden eğer arka panelde bellek modüllerinin olmadığı gibi boş bir bellek konumuna erişildiyse hat biltilenecektir. Benzer bir durum yazılım hangi kartların sistemde olacağını belirtmediği durumlarda (kart sayımı) meydana gelir. Eğer sistem bellek boyutlandırma veya kart sayımı yapmak zorundaysa bir hat zamanlayıcıya sahip olmalıdır. Aksi halde sistem çöker.

Hat zamanlayıcı şase üzerinde herhangi bir yerde olabilmekle beraber genellikle 01. yuvada yer alır. BTO(x) denilen mnmonik hat zamanlayıcının mümkün olduğunu gösterir. "x" genelde 64 milisaniye olarak alınır. Kısa

olduğunda zamanlayıcının normal hat devirleri tarafından aldatılmasına, uzun olduğunda da açılışta gecikmelere sebep olur.

2.6. Bir Hat Zamanlayıcı Örneği

Şekil 2-13'de gösterilen basit hat zamanlayıcı devre bir slave modülde veya 01 yuvasındaki sistem kontrol biriminde kullanmak için uygundur. DS0* ve DS1*'i izleyerek herhangi bir 56 mikrosaniyeden uzun süre düşük kaldığında BERR*'i tetikler. Bu işlem için 74LS00 NAND kapısı (U1) kullanılır. Bu çıkış 74LS393 sayıcısı U3 ile 74LS164 "Shift Register" U4'ün master reset girişlerine bağlanmıştır. İki veri strobe da yüksekse, sayıcı ve shifter temizlenir, BERR* kaldırılır. Herhangi bir veri strobe tetiklendiğinde hem sayıcı hemde shifterin master reset girişleri kaldırılarak, 16MHz SYSCLK'u 16'ya bölüp 62.5 KHz 'e indiren sayıcıyı çalıştırır. Bu U4'ün Q0-Q7 çıkışlarını her clock'un çıkan kenarında yüksek seviyeye çıkmasına sebep olur. Eğer veri strobe 56 mikrosaniyeden uzun süre (4 pozitif clock kenarı) tetiklenirse Q4 yüksek seviyeye çıkacak ve BERR* tetiklenecektir. Master BERR*'i aldığı anda her iki veri strobunu kaldıracak buda BERR*'in kalkmasına sebep olacaktır.



Şekil 2-13 Basit hat zamanlayıcı devre

Bu hat zamanlayıcının mnemoniği BTO(56)'dır ki buda 56 mikrosaniyede BERR*'in tetiklendiğini gösterir. Bu süre U4'ün clock frekansını değiştirerek veya farklı bir çıkışı kullanarak değiştirebilir.

2.7 VMEbus ve 680XX Hat Protokolü Farklılıkları

VMEbus'ın* arabirimlemeye en önemli sorunları zamanlamanın 680XX ile aynı olduğu düşünülendiğinde çıkar. Bu benzetmeninde sebebi birçok kişinin VMEbus'u 680XX'in özel bir hattı olarak düşünmesidir.

680XX çevrebirimlerinin aksine VMEbus slave modülleri DTACK* sürüldükten sonra veri ve adres hatlarının sabitliğini garanti etmez. Bu genelde yazma devirlerinde problem çıkarır.

İki çeşit VMEbus devri mevcuttur: Kenetlenmiş (Interlocked) ve Yayılmış (Broadcast). Bir kenetlenmiş devir iki belirli modül arasında yer alır. Devri alan modül değerlendirir ve sadece bu iki modül devirde yer alır. Bu devire örnek okuma/yazma devridir.

Yayılmış devir açık sonlu devirdir ve birden fazla alıcı (slave) bulunabilir. Buna örnek "sadece adres"i verebiliriz.

680XX veri transfer devirleri ise tam olarak kenetlenmiş değildir. İki protokolün zamanlama parametreleri oldukça farklıdır. Bu durumda veri ve adres strobe'ları tasarlanırken dikkatli olunmalıdır.

VMbus'ta, 68020 ve 68030 gibi 8,16,32 bit veri işlemi yürütebilir. Ancak yöntem farklıdır. 68020 her seferinde mümkün olduğunca büyük byte transfer etmek ister (Örneğin 32). Eğer karşı taraf daha küçük byte alabiliyorsa (örneğin 16) DSACK ve DSACK1* ile ne kadarını alabileceğini bildirir. Eğer karşı taraf tek veri transfer değerlendirme sinyaline (DTACK*) sahipse problem çıkar. Bu durumda bir tek sinyalden DSACK0* ve DSACK1* üretecek bir ek devre tasarlanmalıdır.

Ayrıca genelde 68020, 68030 ile VMEbus arasındaki bağlantılarda tutma işlemi gerekebilir, çünkü 680XX'ler genelde okuma düzenleme yazma sırasında adres değişikliği yaparlar.

Bölüm 3

Multiproses

Bir bilgisayarın hızını arttırmanın bir yolu işlemci sayısını arttırmaktır. Bu tip sistemlere multiişlemcili sistem tabir edilir. Tek işlemcili sistemlerden hızlıdırılar çünkü bilgisayarın iş yükü sistemin çeşitli kısımları arasında paylaştırılmıştır. Sistemi bir ev yaparken 10 kişinin bir kişiden çok daha hızlı işi bitirmesine benzetebiliriz.

Paralellik kullanıldığında bu sistemler daha hızlı çalışırlar. Paralellik bilgisayarın birçok işlevi aynı anda yapabilmesidir. Buna karşın bugün kullanılan birçok bilgisayarın sequansel zamanlama tabiatı sebebiyle oluşturması çok zordur.

Sequansel bilgisayarlar her seferinde bir işlemi yerine getirmelerine rağmen çok hızlıdırılar. Bunun sebebi Von Neuman mimarisi tabir edilen yapılandır. Bu yapıda bilgiler bellekten alınır ve bir merkezi işlemci birimi (CPU) tarafından çeşitli işlemler gerçekleştirilmek üzere kullanılırlar. Ancak ne yazıkki bu mimarinin merkezi işlemci ve bellek arasındaki hız dengesizliğinden doğan önemli bir sorunu vardır. Eğer merkezi işlemci bellekten daha hızlı ise program bilgilerini almakta başarılı olamaz ve gerekli işlevi yerine getiremez. Mainframe tasarımcıları bu problemle uzun süre uğraştılar. Mikrobilgisayar tasarımcıları ise 32 bit mikroişlemcilerin bulunmasıyla yüzleştiler.

Paralel operasyonlarda işlemler eşit gerçekleştirilebilir kısımlara bölünür ve çeşitli CPU'lara dağıtılır. Her CPU işlemi tamamlar ve sonucu merkez CPU'ya gönderir. Merkez CPU verileri koordine eder ve bir sonuç oluşturur.

Seri operasyonlarda da işlemler eşit kısımlara bölünür, fakat kısımlar arası veri akışı devam eder. Bunlar aynı zamanda pipeline veya veri akış mimarileri olarakta bilinirler. Bunun tipk bir uygulaması UNIX gibi bir işletim sistemiyle çalışan tek CPU ve akıllı disk kontrol birimine sahip bir bilgisayar

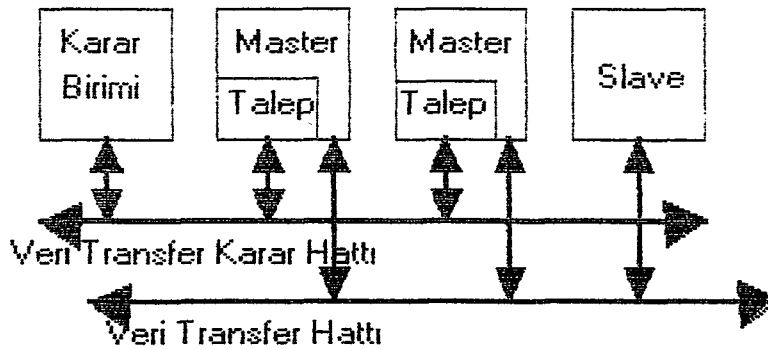
olabilir. Kontrol ünitesi diskten ard arda I/O işlemleri yaparken CPU'da programları çalıştırır. Multiproses yapabilen sistemler ayrıca matematik işlemci veya yardımcı işlemci adıyla bilinen işlemcileri de yaygın olarak kullanmaktadırlar.

3.1. Veri Transferi Karar Hattı

VMEbus birçok masterın veri transfer hattını paylaşmasına olanak verdiği için çok işlemcili sistemdir. Her master veri hattını kullanabilir. Veri transfer karar hattı denilen bir alt hat karşılığı önlemek üzere kullanılır. Hat masterları, veri transfer hattına sahip olabilmek için işlemden önce kullanırlar. Bir master'ın CPU olması gerekmez. DMA kontrol birimine sahip özel I/O modülleri ve kesme yürütücüleri de master olabilir.

Şekil 3-1 de de görüldüğü gibi veri transfer karar hattı, talep ünitesi (requester) ve karar ünitesi (arbiter) olmak üzere iki fonksiyonel modül kullanır.

Hattı alabilmek için master önce kendi talep ünitesine bunu bildirir. Bu birim karar ünitesiyle haberleşir ve master'ı hat serbest kaldığında uyarır.



Şekil 3-1

3.1.1. Hattı Elde Etmek

Hattı alabilmek için, talep ünitesi dört hat talep sinyalinin BR0*, BR1*, BR2* veya BR3*'ten birisini tetikler. Her zaman 01 yuvasına yerleştirilen karar ünitesi biri aktif olana kadar bu hatları izler. Hat boş olduğunda da hattı bekleyen master'a verir.

Bekleyen master'a hat BG0IN*/BG0OUT*, BG1IN*/BG1OUT*, BG2IN*/BG2OUT* ve BG3IN*/BG3OUT* kullanılarak verilir. Tablo 3-1 de görüldüğü gibi bunların herbiri bir hat talep seviyesine karşı gelir. Karar biriminden çıkan hat verme sinyalleri modülden modüle gider. Sistemdeki her master bu girişleri izler ve çıkışları sürer.

Hat Talep Seviyesi	İlgili Zincir
BR3*	BG3IN*/BG3OUT
BR2*	BG2IN*/BG2OUT
BR1*	BG1IN*/BG1OUT
BR0*	BG0IN*/BG0OUT

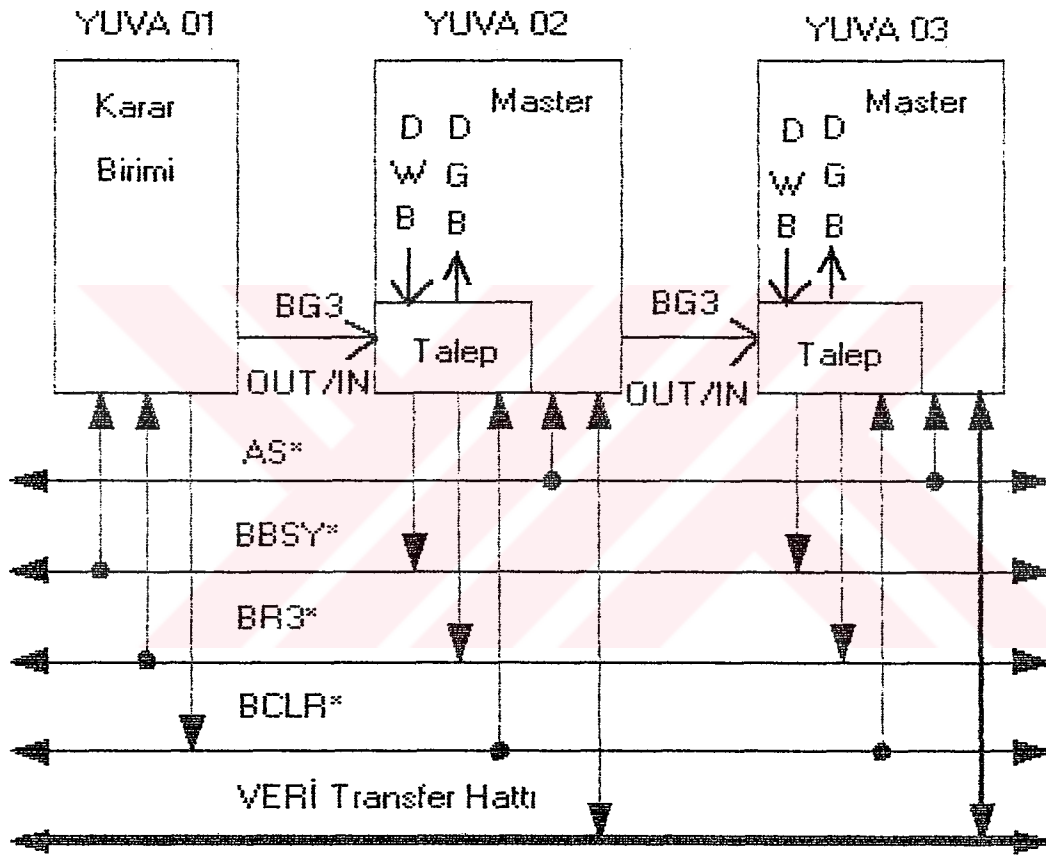
Tablo 3-1

Bir talep birimi hat vermeyi aldığı anda bunu kabul edebilir veya diğer modüle aktarabilir. Eğer kabul ederse BBSY* sinyali göndererek hattın meşgul olduğunu bildirir.

Bu sistemin nasıl çalıştığını göstermek için Şekil 3-2 yi inceleyelim. Burada 01 yuvasında bir hat karar birimi ve BR3* talep seviyesinde 02 ve 03 yuvalarında iki master vardır. Eğer 03 yuvasındaki hattı isterse talep ünitesi BR3* yayımlar. Karar verici BR3*'ü hat aktif olmadığında (BBSY* yok) izler ve BG3OUT* yayımlar. 01 yuvasının BG3OUT*'u 02 yuvasının BG3IN* ucuna bağlanmıştır. 02 yuvasındaki master BG3IN*'in tetiklendiğini izler ve hattı istemediğinden BG3OUT* ucunu tetikler. 03 yuvasındaki talep ünitesi BG3IN* ucunun tetiklendiğini farkedince BBSY* yayınlayarak hattı alır ve master'a bildirir. Master AS*'ı kaldırılana kadar bekler ve veri transfer hattını

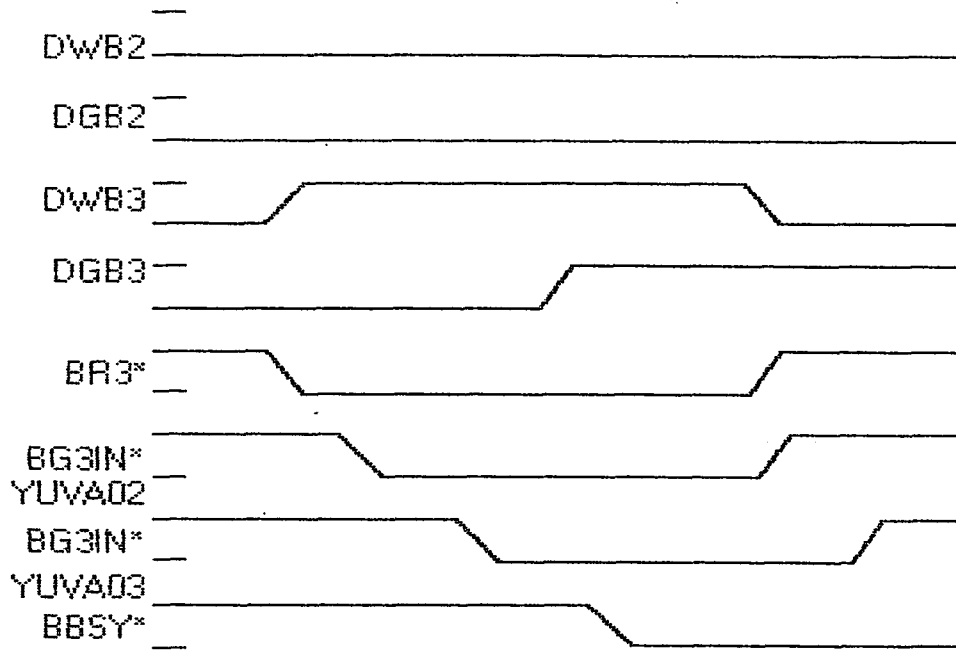
sürer. Karar birimi BBSY* sinyalini alınca BG3OUT*'u kaldırır. Bu işlemin dalga şekli Şekil 3-3 'de görüldüğü gibidir.

Master hattı bir kere aldığı anda istediği kadar tutabilir. Bazı mekanizmalar kullanarak bu önlenabilir. Bunlardan biri hattı her devir sonunda geri almaktır. Ek olarak merkezi kontrol ünitesi BCLR*(Bus Clear) sinyali vasıtasıyla bir hat bırakma tetikleyebilir.



Şekil 3-2

Burada anlatılan zincir sistemle sonsuz sayıda işlemci sürülebilir ancak zincir sistemi ne yazık ki bir miktar yayılma zamanı almaktadır. Eğer çok fazla işlemci varsa mekanizma çok yavaşlayabilir. Ek olarak 01'e en yakın olan masterlar hatta peş peşe sahip olma kolaylığı ile hattı kontrol altında tutabilirler. Bu problemleri azaltmak için VMEbus'ta dört seviyeden karar verme işlemi yapılmaktadır.



Şekil 3-3

Eğer sistemde boş yuvalar varsa zincirin devam edebilmesi için bazı bağlantıların yapılması gereklidir. Ayrıca sistem tasarlanırken buna benzer tüm zincir sinyaller için gerekli bağlantılarda boş yuvalarda bulunmalıdır. Eğer tek seviyeden zincir işlemi yapılıyorsa sadece BG3IN* ve BG3OUT* uçlarının bağlantılarının yapılması yeterlidir.

3.1.2. Hat Karar Birimi

Hat karar birimine tüm VMEbus sistemlerinde ihtiyaç vardır. Bu fonksiyonel modül her seferinde birden fazla master'ın veri transfer hattını kullanmasını önler. Ayrıca çok master'lı sistemlerde hat sahipliğini düzenler. Daima 01 yuvasında bulunmalıdır. Sistem kontrol birimi olarakta adlandırılır. Minimum konfigürasyonda sistem kontrol birimi bir hat karar ünitesi, sistem clock sürücü, sistem sıfırlama devresi ve IACK* sürücü olmalıdır. Birçok üretici bu modülü CPU modülünün içine koymaktadırlar.

Karar üniteleri kullandıkları algoritmalara göre sınıflandırılırlar. Bunların en popülerleri olanları "tek seviyeli", "öncelikli" ve "round robin" tipleridir.

3.1.2.1. Tek seviyeli Karar Ünitesi

En basit tipi oluşturmaktadır. Sadece bir hat talep seviyesini izler ve hattı tek bir zincir kullanarak verir. Genel olarak BR3*'ü kullanır. Merkezi bir karar birimine ihtiyaç duymaz. Küçük sistemlerde hızlı ve ucuz olduğu için tercih edilir. En büyük dezavantajı hattı en yakın yuvaya yüksek sıklıkta vermesidir. Tanımlamak için SGL mnemoniği kullanılır.

3.1.2.2. Basit VMEbus Sistem Kontrol Birimi Örnek Devresi

Devre şekil 3-4'te verilmiştir. Devre SGL, sistem sıfırlama üretici, sistem clock sürücü, IACK* zincir sürücü ve hat zamanlayıcı içermektedir.

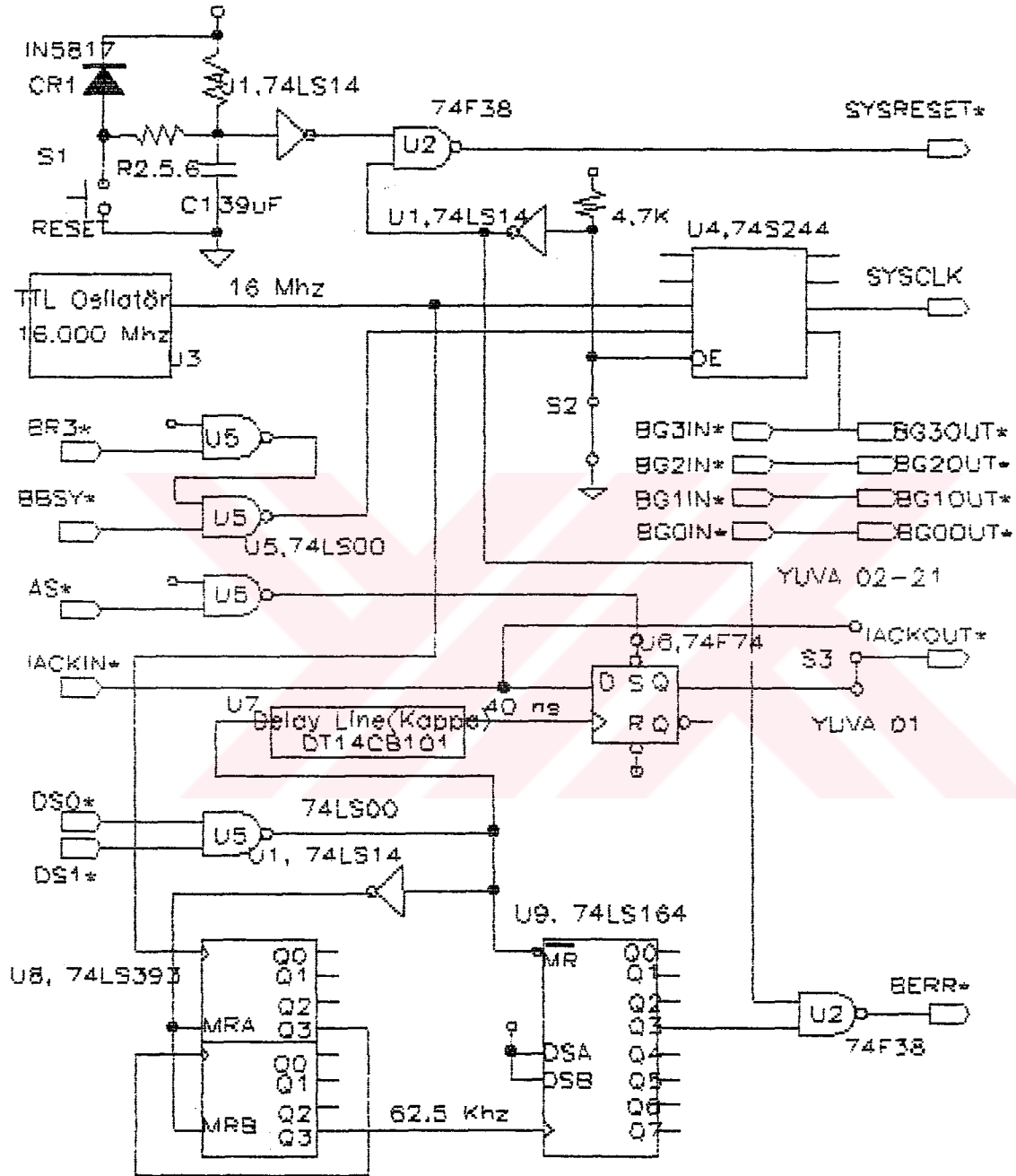
Sistem sıfırlama R1 & C1 ve Schmidt triger U1 den oluşan bir düzenle üretilmektedir. Güç ilk açıldığında kondensatör C1 boşalır ve SYSRESET* açık kollektör NAND kapısı U2 vasıtasıyla sürülür. Ardından 1.6 megaohm direnç üzerinden U1'in threshold gerilimi (yaklaşık 1.6V) ulaşılan kadar dolar ve sistem açıldıktan yaklaşık 300-400 milisaniye sonra SYSRESET* kaldırılır.

Eğer sıfırlama tuşu S1'e basılırsa C1 R2 üzerinden boşalır. Buda SYSRESET*'i tuş bırakıldıktan yaklaşık 200 milisaniye sonra sürer. CR1 Diodu sistem gücü hızla kapatılıp açılırsa C1'i boşaltır. 5.6 ohm direnç R2, tuş ve diod üzerindeki akımı yaklaşık 1 Amper'de (tepe değer) sınırlar.

16 MHz sistem clock TTL osilatör U3 ile sürülmektedir. Bu osilatör SYSCCLK* devri için gerekli frekansı sağlar. SYSCCLK* yüksek akımlı totempole çıkışa sahip U4'le sürülür.

İki NAND kapısı (U5) SGL karar birimini oluşturur. BBSY* kaldırılıp, BR3* sürüldüğünde BG3OUT* U4 tarafından sürülür.

U5, U6, U7 IACK* zincir sürücüyü oluşturur. Bu fonksiyonel modül kesme değerlendirme devirleri sırasında IACK*'i kaldırır.



Şekil 3-4

BTD (56) sistem kilitlenmelerinde Berr* üretir DSO* veya DS1* üretildiğinde U8 ve U9'un sıfırlama girişleri açılır. 4 bit sayıcı olan U8, 16 MHz'i 6.25 KHz'e düşürerek U9 shift register'ı tarafından kullanılmasını sağlar. U9'un çıkışı 56 mikrosaniye yüksekte kalır. Eğer DSO* veya DS1* hala mevcudsa BERR* U2 tarafından sürülür.

Bu devre sistemin herhangi bir yuvasına yerleştirilebilir. Eğer 01'de kullanılıyorsa S2 ve S3 anahtarları şekildeki gibi olmalıdır. Diğer konumlarda S2 açık, S3'te IACKIN*'i IACKOUT*"a bağlamalıdır.

3.1.2.3 Öncelikli Karar Birimi

Bu birim her hat talep seviyesine ve mastera bir öncelik seviyesi atar. BR3* en öncelikliken BR0* en az önceliklidir. İki veya daha fazla talep geldiğinde öncelik seviyelerine göre değerlendirilir.

Öncelikli karar birimi hatta sahip olandan daha öncelikli bir master talep gönderdiğinde BCLR* sürer. Bu sebeple hat verme uçlarını karar verme sırasında tutarlar. Bir talep varsa ve BBSY* sürülmüşse ve talep eden hattı kullandıktan daha öncelikliyse karar birimi BCLR* sürer.

Bu sistemin tipik bir uygulaması akıllı disk kontrol birimi ve bir CPU'ya sahip sistemdir. CPU BR2* ve disk kontrol birimi BR3*'e atanabilir. Disk kontrol birimleri genelde CPU modüllerinden daha yüksek öncelik gerektirdiklerinden buradada CPU dan önce hatta sahip olacaklardır. Ayrıca CPU hatları BCLR* kullanılarak kaldırılabilir.

Öncelikli karar birimini tanımlamak için PRI mnemoniği kullanılmaktadır.

3.1.2.4. Round-Robin Karar Birimi

Bu sistemde tüm talep üniteleri ve masterlar eşit önceliklidir. Hat sırayla kullanılır. Talep kalktığında sıradakine geçilir ve böylelikle hat tüm talep birimlerince eşit kullanılır.

Round-Robin karar birimi akıllı çevre birimlerine sahip ve verinin paylaşılmış bellekte toplanıp yerleştirildiği veri işleme sistemlerinde kullanılır.

Round-Robin karar birimini tanılamak için RRS mnemoniği kullanılır.

3.1.2.5. Karar Süre Aşımı

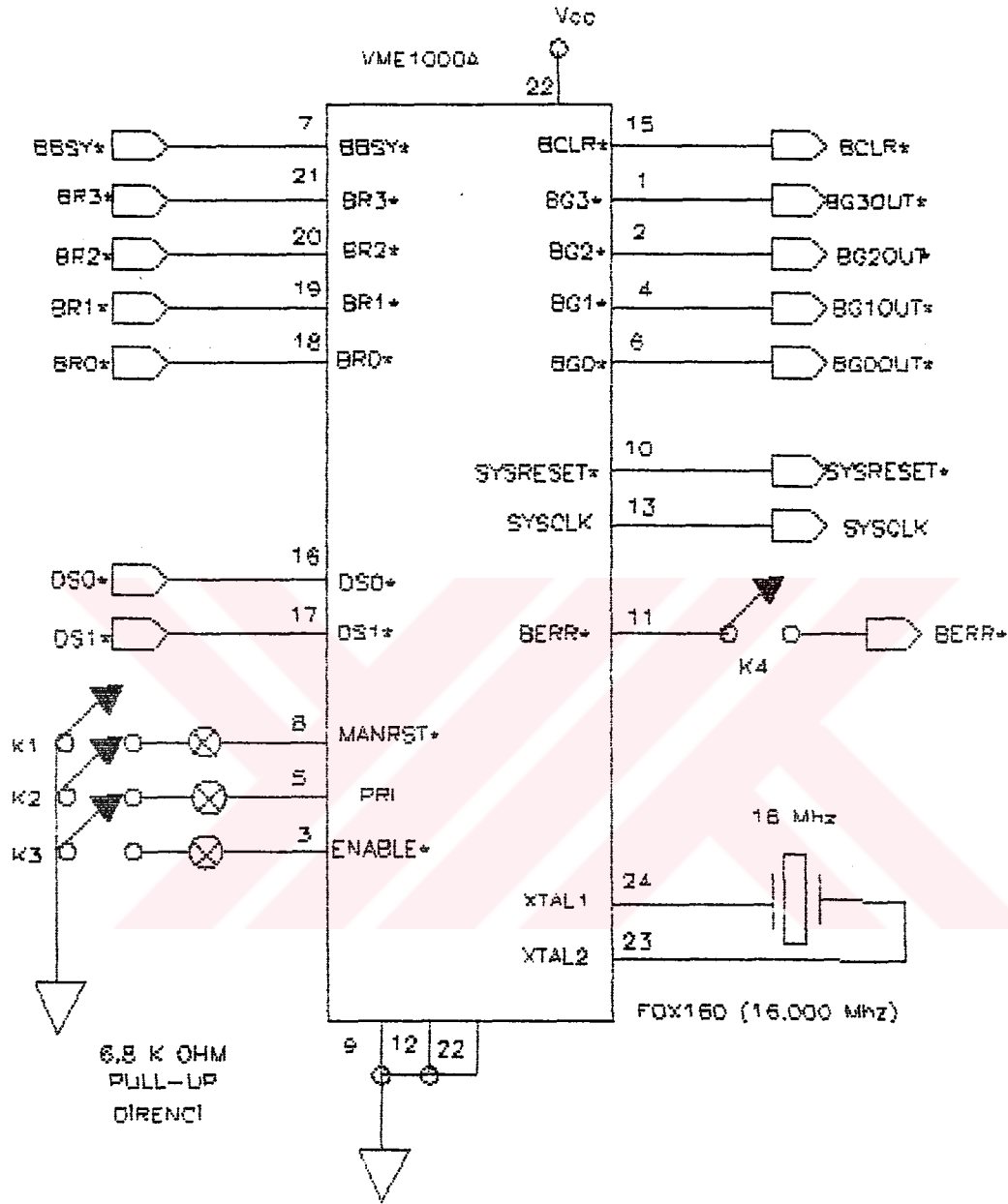
Eğer talep birimi hat sahipliğinden sonra BBSY* sürmezse karar birimi hattı geri alabilir. Sistem kilitlemelerini önler ve süre aşımı olarak adlandırılır. Karar süresi, hattaki zincir yayınının alabileceği maksimum zamana en yavaş masterin BBSY* sürebilmek için gerek duyduğu sürenin eklenmesiyle bulunabilir.

3.1.2.6. VME1000 Sistem Kontrol Entegresi

Mizar Incorporated firmasının ürettiği bir entegre olup sistem kontrol fonksiyonlarının birçoğunu bünyesinde bulundurur. VME1000 adı verilen entegre SGL, PRI ve RRS karar birimlerine 16 MHz clock frekansına, sıfırlama ve hat zamanlayıcı devrelerine sahiptir. IACK* zincir sürücüsü yoktur. 24 pin bir pakete yerleştirilmiştir. Tüm arabirim mantığı hiçbir dış parça gerektirmeyacak şekilde dahil edilmiştir.

Bağlantıları şekil 3-5'te gösterilmiştir. Sistem clock sürücü tüm VMEbus modüllerine sahip 16 MHz sinyal sağlar ve bunu XTAL1 ve XTAL2 girişlerine bağlanacak kristal ile gerçekleştirir. Açılışta minimum 400ms SYSRESET sürer. Ayrıca bir anahtar MANRST* girişine bağlanırsa istendiğinde yine 400mslik SYSRESET elde edilir.

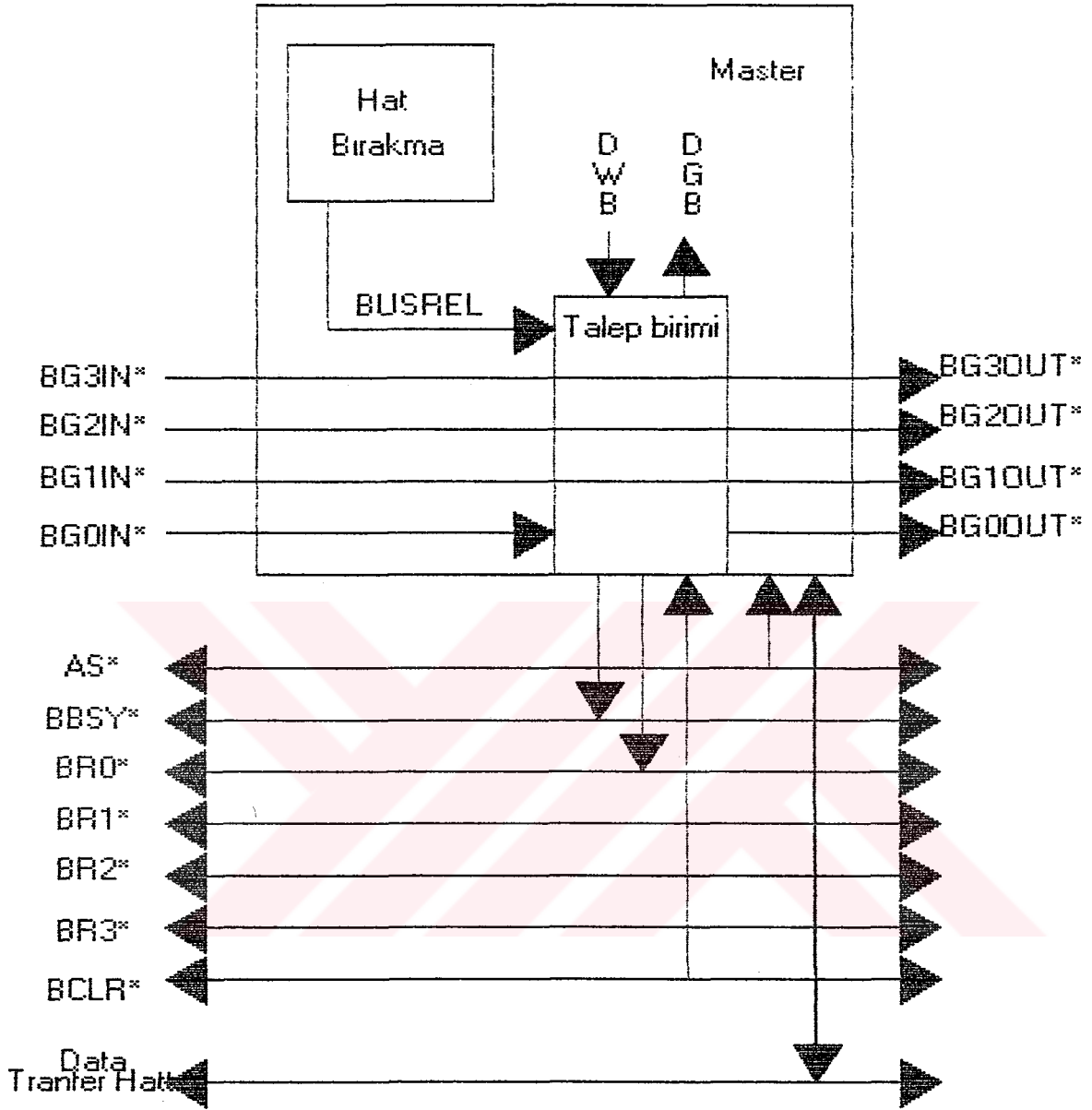
Eğer tek karar seviyesi BRS* kullanıldıysa SGL otomatik olarak seçilir. BCLR* hem PRI, hem RRS metodları kullanılarak üretilir. Ayrıca eğer bir master 15 mikrosaniye BBSY* üretemezse hat verme otomatik kaldırılır. Eğer DS0* veya DS1*'dan biri 64 mikrosaniyeden daha uzun süre düşük kalırsa BERR* sürülür. Zamanlayıcının kaldırılabilceği seçenekli bir anahtar K4'te kullanılmıştır.



Şekil 3-5

3.1.3. Taleb Birimi

Veri transfer hattının sahipliğini alabilmek için master ve kesme yürütücülerin kullandığı fonksiyonel bir modüldür. Şekil 3-6'te bir masterin talep birimini nasıl kullandığı anlatılmaktadır.



Şekil 3-6

Master hattı istediğinde DWB ile bunu birime bildirir. Talep birimi bu isteği karar birimine bildirir. Hattı alıncada DGB ile bunu master'a bildirir. AS* kaldırıldıktan sonrada master hattı kullanabilir.

Sık olmamasına rağmen masterların birden fazla talep birimine sahip olmasına izin verilir. Bu masterın farklı öncelik seviyelerine sahip olmasını sağlar.

VMEbus ta genel olarak üç tip talep birimi kullanılmaktadır. "Bitir-Bırak", "İstekle Bırak" ve "FAIR" talep birimi. Bunların dışındada pek yaygın olmamakla birlikte kullanılabilecek bazı küçük farklılıklara sahip çeşitli hat talep birimleri mevcuttur.

3.1.3.1 Bitir-Bırak Taleb Birimi

Transfer bitince hattı bırakma esasına dayanır. İşlem tasarıma göre değişir. Her hat deviri sonunda, blok transferi sonunda veya yazılım kontrollü olarak kullanılabilir.

Blok transferi sonunda bırakma, genelde "DMA kullanan disk kontrol birimleri" gibi uygulamalarda kulanılır. MC68450 entegresinde olduğu gibi bazı DMA entegrelerinde bulunan DONE* ucunun kullanım amacı blok transferi sonunda bırakmadır.

Her devir sonunda bırakma kesme işletici modüller gibi uygulamalarda kullanılmakla birlikte yaygın değildir.

Yazılım kontrollü bırakma ise genelde CPU modülleri gibi uygulamalarda kullanılır. Genelde hattı belirli bir adrese erişildiğinde bırakılır. Tanımlamak için RWD mnemoniği kullanılır.

3.1.3.2. İstekle Bırak Taleb Birimi

Başka bir modül istediğinde veri transfer hattını bırakmak esasına dayanır. Eğer bir veya daha fazla hat talep ucu tetiklenirse BUSREL hat bırakma ucu da tetiklenir. Kullanıcıya açık, hızlı ve en popüler uygulamalarla sorunsuz olarak çalışabildiğinden çok kullanılır. ROR mnemoniği ile tanımlanır.

Diğer bırakma mekanizmaları RWD ve ROR'un birleşiminden meydana gelebilir.

3.1.3.3. FAIR Talep birimi

Karar sırasında konum dolayısıyla, öncelik sebebiyle veya çeşitli sebeplerle bazı masterlar hatta daha uzun süre sahip olabilirler. Tüm masterlar'a eşit öncelik sağlayan talep birimine FAIR adı verilir. Buna göre talep ünitesi hat talep seviyesini izler ve hat tamamen boşalıp kaldırılmadan talep üretmez. Buda tüm masterlarla hatta eşit sahip olma hakkı verir. Talep kalktığı anda talep etme esasına dayanır.

3.1.3.4. Asenkron Hat Taleb Birimi Örneği

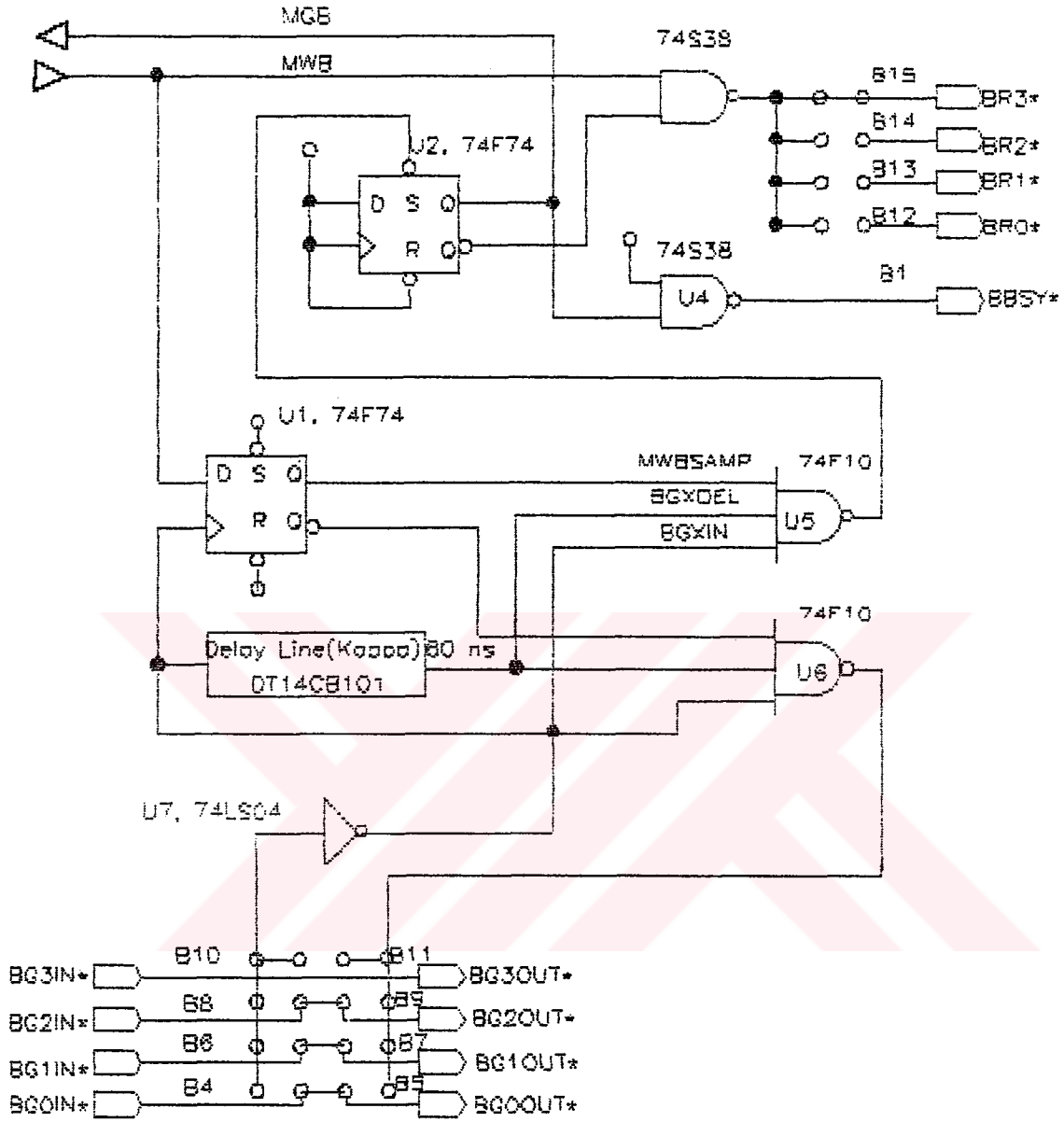
Şekil 3-8'de asenkron hat talep birimi devresi görülmektedir. Master MWB ürettiğinde BRX* sinyali tetiklenir. Modülün BGXIN* girişi tetiklendiğinde U1,U5 ve U6 dan oluşan karar ünitesiyle hattı kabul edip etmemeye karar verir.

Eğer BGXIN* sürüldüğünde MWB yüksekse U1 flip-flop'unun Q çıkışı set edilecektir. 60 ns'lik bir gecikmeden sonra talep ünitesi BRX*'i kaldırır, BBSY* sürer ve U2 flip flopunu kullanıp MGB yayınlayarak hattı aldığını belirtir. Eğer BGXIN* sürüldüğünde MWB düşükse U1 flip-flopunun Q çıkışı temizlenecek ve U6 zinciri devam ettirilecektir.

Devredeki geciktirici U1 flip flopunu gürültü üretmekten korur. D tipi flip floplar D girişindeki sinyal değiştiğinde bir clock kenarı alırsa gürültü üretirler.

Devre de RWD, ROR veya FAIR gibi bir bırakma mekanizması içermemektedir çünkü hangisinin kullanılacağı tasarımcının tercihiine bağlıdır.

Hat bırakma mekanizması tasarlanırken BGXIN* kaldırılmadan,BBSY*'nin kaldırılmaz. BRX*'in kaldırılmasıyla, BGXIN*'in kaldırılması arasında bir gecikme olmalıdır.



Şekil 3-8

3-2. Karar Güvenirliliği

Gürültü tüm elektronik sistemlerde olduğu gibi VMEbus sistemler de de mevcuttur. Özellikle veri transfer karar hattında önemli bir sorundur. Tüm sistem tasarımlarında dikkatle üzerinde durulmalıdır. Özellikle BBSY* sinyalinin güvenirliliği bir problem oluşturmaktadır. En belirgin sebebi toprağın gerçek sıfırda olmayışıdır.

Bölüm 4

Kesmeler

Kesmeler işlemcinin dikkatini çekmek için kullanılır. Bir çevre birim kesme ürettikten sonra işlemci o anki konumunu sağlamak amacıyla kesme servis rutini denilen bir programa atlar. Çevre biriminin ihtiyacını giderdikten sonra geri dönüp kaldığı işe devam eder.

Çeşitli seviyelerde kesme mümkündür. Bunlar belirli bazı olaylar diğerlerinden daha önce servis alacak şekilde protokol sırasına konmuştur. Bu aynı zamanda bazı kesme kaynaklarını reddetme (maskeleme) olanağın da beraberinde getirir.

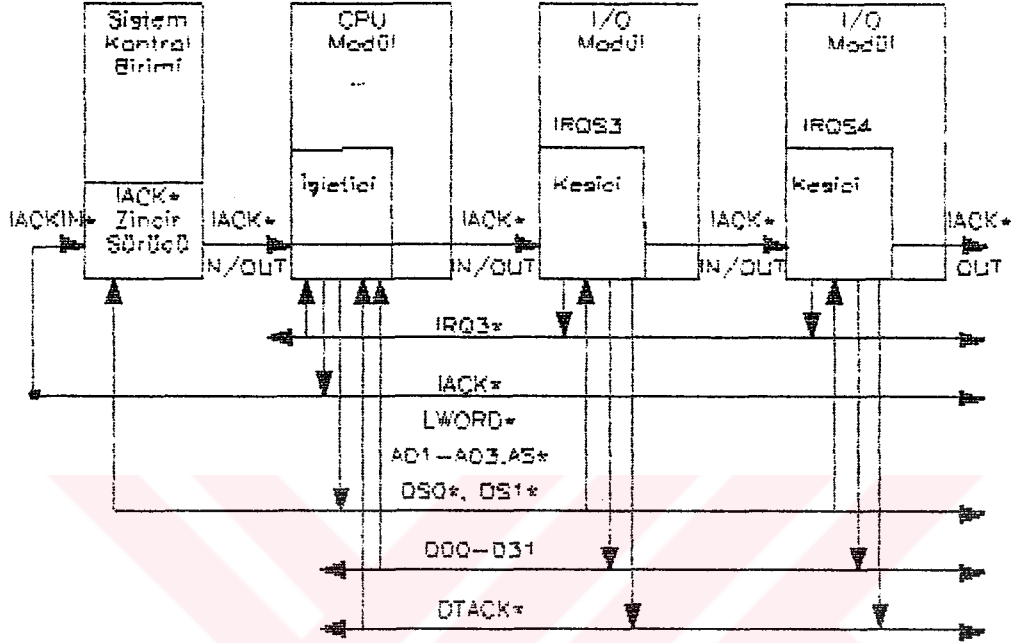
4.1. VMEbus Kesmeleri

VMEbus'ın yedi seviyeye ayrılmış öncelikli kesme protokolü vardır. Bunlar IRQ7* nin en öncelikli olduğu IRQ1*~IRQ7* kesmeleridir. Kesme üreten modüller "Kesme Birimleri" olarak adlandırılır. Bu işlem ise "Kesme İşletici" olarak adlandırılır.

Bir kesme başlatmak için kesme birimi yedi kesme isteği hatlarından birisini sürer. Kesme işleticileri bu sinyalleri izler ve talebe karşın bir kesme tanıma devri başlatırlar. Sadece bir kesme yürütücü bir kesme isteği hattını izleyebilir.

Kesme tanıma hattı ile önemli fonksiyona sahiptir. Bunlar kesme kararlaşırma ve STATUS/ID okuma devridir. Bir kesme tanıma devri üretebilmek için işletici önce veri transfer hattını elde edip kesme biriminden bir STATUS/ID almalıdır. Tüm kesme işleticileri veri transfer hattını alabilmek için bir talep birimine sahip olmalıdır.

Hat alındıktan sonra işletici A01-A03, IZACK* ve AS* hatlarını sürer. Burada IACK* hattaki devrin kesme tanıma devri olduğunu tüm modüllere bildirmek içindir. Öncelikli kasma hattının şeması Şekil 4-1'de görülmektedir



Şekil 4-1

A01-A03 öncelik seviyesini bildirirler. Tablo 4-1'de kod çözümü verilmiştir.

	3 Bit kod		
Kesme hattı	A03	A02	A01
IRQ7*	1	1	1
IRQ6*	1	1	0
IRQ5*	1	0	1
IRQ4*	1	0	0
IRQ3*	0	1	1
IRQ2*	0	1	0
IRQ1*	0	0	1

Tablo 4-1

IACK* zinciri 01 yuvasından sürülür ve modülden modüle kesme isteyen kesme birimine ulaşınca kadar yayılır. Bu birim daha sonra 8, 16 veya 32 bit STATUS/ID vektörünü veri hatları D==D31'e yerleştirir ve DTACK* ile devri başlatır.

Şekil 4-1'de 04 yuvasındaki kesme biriminin kesme üretmek istediğini düşünelim. Burada IRQ3* seviyesi kullanılacaktır. IRQ3*'ün sürüldüğünü farkettiğinde veri transfer hattını ister. HAttı aldığı anda IACK* sürer ve A01-A03'e tanımladığı kesme seviyesini yerleştirir. (tablo 4-1).

İşletici AS* ve DS0 veya DS1'i tetikler. Bu geçerli bir devrin işletimde bulunduğunu gösterir.

4.1.1. IACK* Zinciri

DS0* veya DS1* ile IACK*'ın 01 yuvasından sürülmesiyle IACKIN*/IACKOUT* zinciri başlar. Bu zincir modülden modüle, tanımlanan seviyede kesme üreten modüle ulaşınca kadar yayılır. Bu modül IACKIN* aldığı anda veri hattına STATUS/ID yerleştirir ve DTACK* ile devri durdurur.

Her VMEbus modülündeki IACKIN*/IACKOUT*, AS* kaldırıldıktan belli bir süre sonra DS0* veya DS1*'e bakılmaksızın kaldırılmalıdır. Aksi takdirde yeni devir eskisiyle çıkışabilir.

Boş yuvalardan zincirin devam edebilmesi için IACKIN ve IACKOUT uçları birbirlerine bağlanmalıdır. Aksi takdirde zincir kesilir. Son modülden sonra bu işlemin yapılması gerekmez.

4.1.2. Kesme Tanıma Devri

Genelde kesme tanıma devri ile okuma/yazma devirlerinin zamanlama kuralları aynıdır. Kesme birimi DTACK*'ı sürdüğünde işletici AS*, IACK* ve A01-A03'ü bırakabilir (şart değil). Kesme birimi buna karşın işletici DS0*, DS1*'i kaldırıncaya kadar geçerli STATUS/ID'i veri hattına sürmeye devam etmelidir.

4.2. Kesme Birimi

Kesme birimi fonksiyonel modülü işleticiler için kesme üretir. Seviyeler $I(x)$ ve $I(x-y)$ mnemonikleri ile gösterilir.

İki tip kesme birimi vardır. Bunlar tanımada bırak. register ulaşımında bırak. RDAK (Release On Acknowledge) ve RORA (Release On Register Access) mnemonikleri ile tanımlanır. RDAK kesme birimleri kesme isteği hattını kesme tanıma devrini takiben kaldırır. Tüm işleticilerle çalışabilecek bir mekanizmadır.

RORA kesme birimleri talebini, bir kesme servis rutini sırasında işletici kendi registerine ulaştığında bırakır. İşleticinin okuma/yazma devirlerini yürütemediği tasarımlarda kullanılamaz.

4.2.1. Kesme Birimi Örnek Devresi

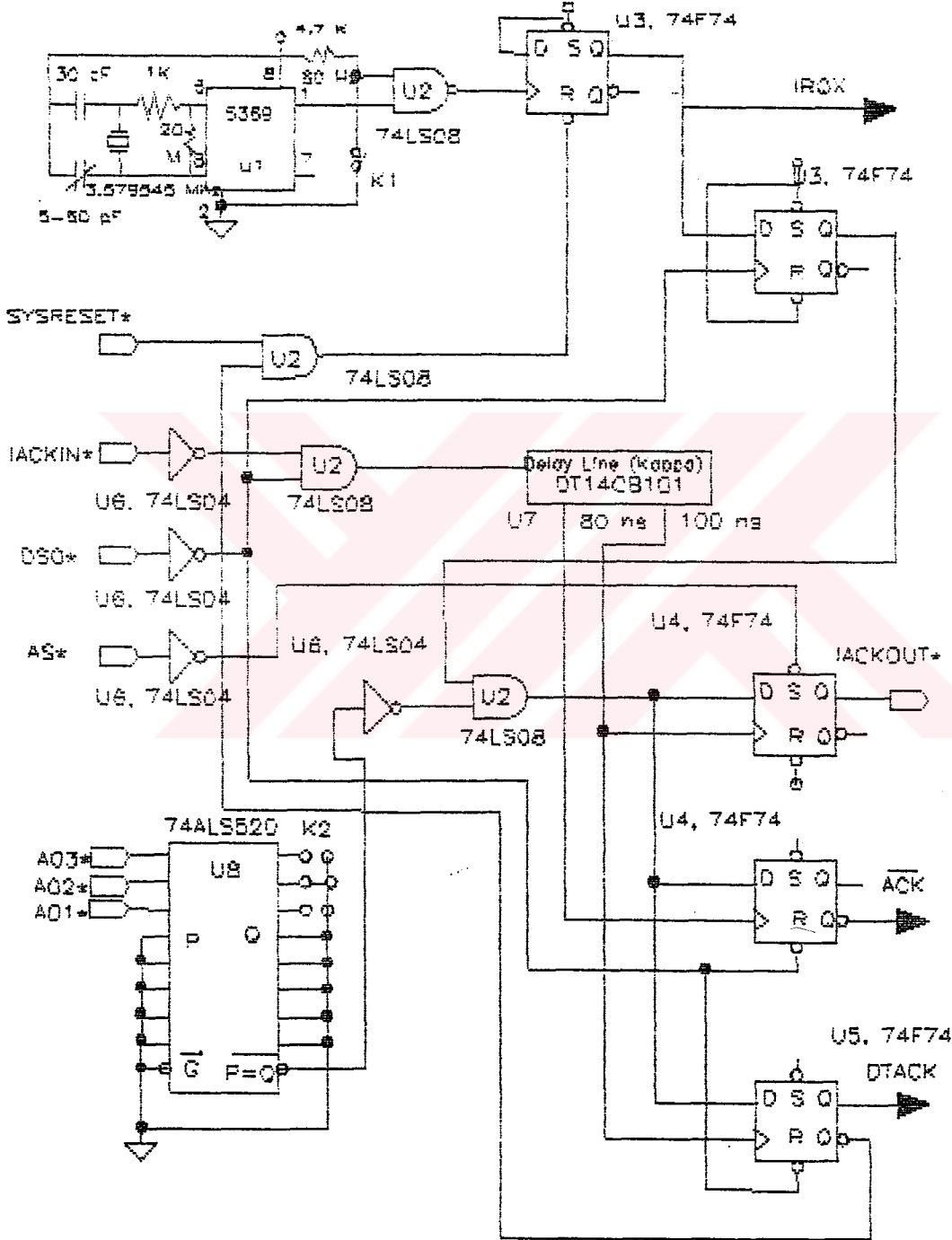
Şekil 4-2'te örnek bir RDAK kesme birimi devresi bulunmaktadır. Bu devre her saniyede 100 kesme üreten bir clock üreticidir. Gerçek zaman saati gibi bir zamanlama amaçlı olarakta kullanılabilir.

100Hz MM5369 zamanlayıcısı U1 ile 3.57 MHz kristal ile üretilir. U1'in kare dalga çıkışı U3 flip flop'u ile K1 açık olduğunda tutulur. U3, K3 anahtarının konumuna göre yedi kesme hattından birini sürer. Kesme hatları VMEbus karakteristiğinin gerektirdiği gibi 48 mA'e kadar akım verebilen açık kollektör çıkışlı 74F38 entegresi (U9) ile sürülür.

Kesme birimi bir kesme ürettikten sonra işletici bir kesme tanıma devri ile cevap verir. İşletici bu devri A01-A03'e kesme seviyesini yerleştirip IACK*, AS*, DS0*/DS1*'i sürerek başlatır. IACKIN*/IACKOUT* modlden module dolaşmaya başlayarak kesme birimine ulaşır. Her birim IACKIN* ucu uyanıldığında bir karşılaştırma yapar ve ya kabul eder, ya aktarır.

U8 74ALS520 komparatörü ve U2 74LS08 AND kapısı ne zaman geçerli bir

kesme tanımının var olduğunu farkeder. Her devirde DS0*'ın düşen kenarında IRQX U3 flip flop kullanılarak örneklenir. IACKIN* ve DS0* sürüldüklerinde U7 geciktiricisi yoluyla çıkan kenar yayılır.

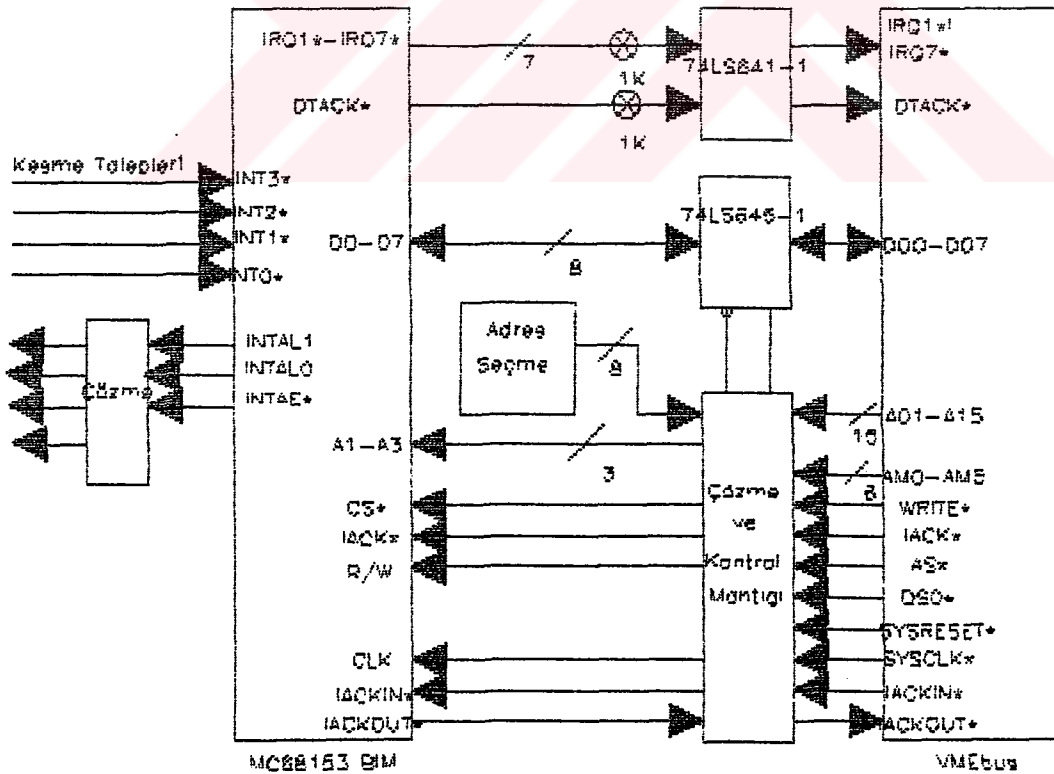


Şekil 4-2

Eğer bu kesme birimi bir kesme başlattıysa ve işletici de aynı seviyede bir kesme tanıma devri yürütmekteyse U2'nin çıkışı yükselir. U4 ve U5 flip flopları U2'nin durumunu U7'nin 80 ve 100 ns çıkan kenarlarında tutarlar. Eğer kesme birimi devirde yer alıyorsa STATUS/ID byte veri hattına yerleştirilir ve DTACK* sürülür. Eğer devirde yer alıyorsa IACKOUT* sürülür. U7'nin sağladığı 100 ns gecikme, modül IACKOUT* veya DTACK* sürmeden oluşacak kararsız durumun dengelenmesini sağlar.

Her kesme tanıma devri sonunda işletici DSO*'ı kaldırdıktan sonra DTACK* kaldırılır. IACKOUT*, AS* kaldırıldıktan sonra en geç 30 ns içinde kaldırılmalıdır.

4.2.2. MC68153 Hat kesme Birim Modülü



Şekil 4-3

Gelişmiş bir kesme birimine ihtiyaç duyulduğunda Motorola firmasının ürettiği MC68153 Bus Interrupter Modul (BIM) kullanılabilir. Birim VMEbus için 4 kanal kesme birimidir. VMEbus masterları birimi Şekil 4-4'de gösterilen registerları kullanarak programlıyabilir.

MC68153 Register Set			
Adres			
A3	A2	A1	Tanım
0	0	0	Kanal 0 kontrol
0	0	1	Kanal 1 kontrol
0	1	0	Kanal 2 kontrol
0	1	1	Kanal 3 kontrol
1	0	0	Kanal 0 Vektör
1	0	1	Kanal 1 Vektör
1	1	0	Kanal 2 Vektör
1	1	1	Kanal 3 Vektör

Şekil 4-4

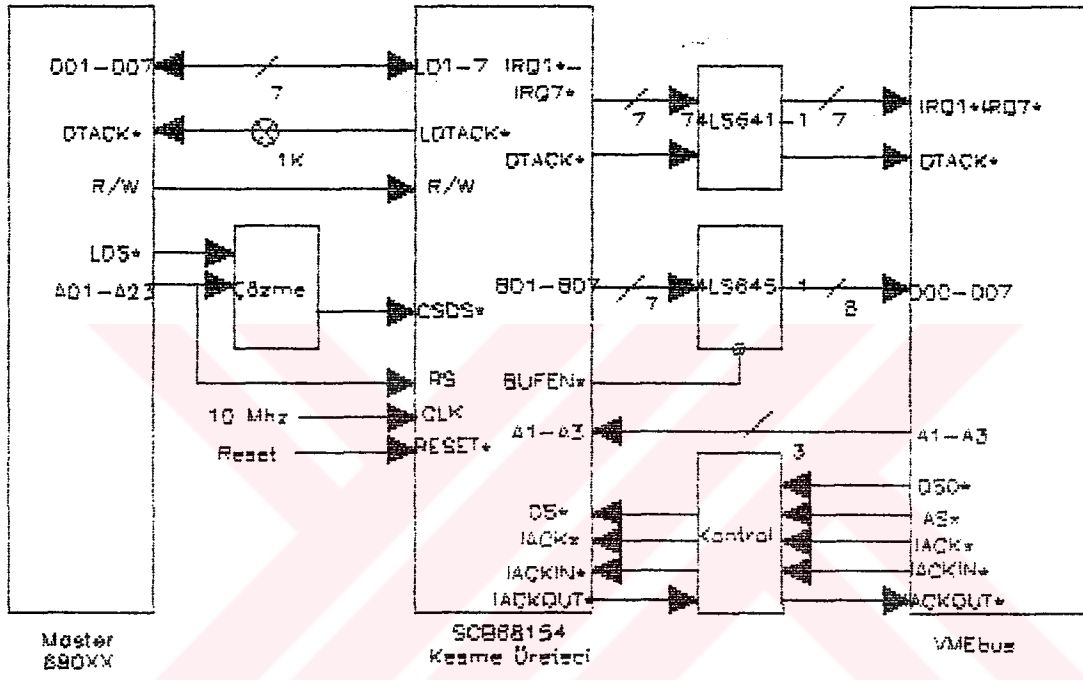
Kesmeler, INT0* INT3*'i yerel bir taleple tetikleyerek üretilir. MC68153 bunları izler ve IRQ1*IRQ7* da bir VMEbus kesme talebi tetikler. Seviyeye D0-D2 kontrol registerlarına göre karar verilir. İlgili kontrol registerın D4 biti temizlenerek herhangi bir kesme kaldırılabilir.

MC68153 bir kesme tanıma devri izlediğinde IACKOUT* zincirini diğer modüle geçirerek veya 8 bit bir STATUS/ID üreterek cevap verir. Devire nasıl katılacağına XIN biti D5 karar verir. Eğer harici STSTATUS/ID için programlandıysa INTAL0-INTAL1'e bir birim numarası (0-3) yerleştirir ve INTAE* sürer. Bu kesmedeki çevre birimine kendi STSTATUS/ID byte'ını bulması için baskı yapar. Eğer dahili STATUS/ID için programlandıysa byte'ı veri hattına yerleştirir.

MC68153 RQAK kesme birimi olduğundan otomatik olarak kesme taleplerini temizler.

4.2.3. SCB68154 Kesme Üretici

Bu entegre yerel masterların VMEbus kesmeleri üretebilmelerine olanak tanır. Örnek olarak 68000 gibi bir işlemci ile bir devre tasarımı şekil 4-5'da gösterilmiştir.



Şekil 4-5

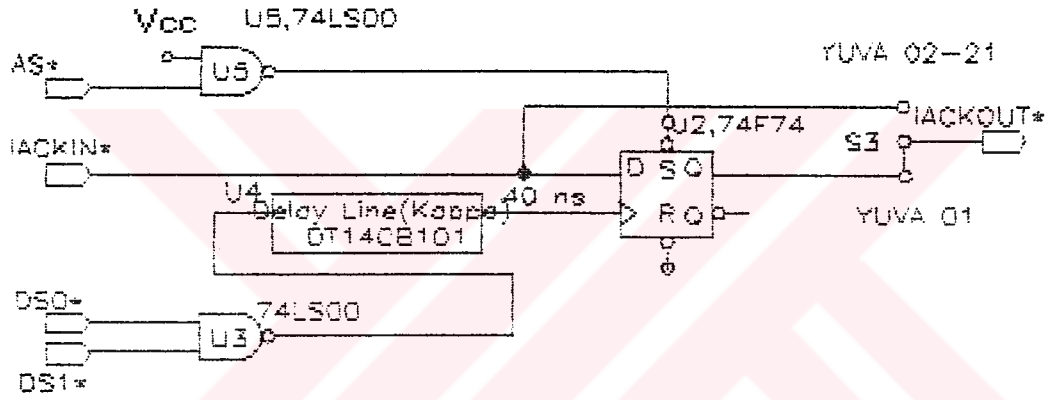
Bir kesme üretmeden önce master registerları set eder. Bu register STATUS/ID'yi tutmal ve kesmeleri mümkün kılmak için kullanılır. D2 ve D1 bitleri A02 ve A01 adres hatlarının seviyesine set edilir. D0 biti SCB68154 dışındaki donanım tarafından sürülür.

SCB68154 kesme tanıma devri sırasında otomatik olarak kesme talebini temizler ve ROAK kesme birimi sınıfına girer. SCB68154 ile tasarım yapımında en önemli konunun IACK+ zamanlamaları olduğuna dikkat edilmelidir.

4.3.IACK* Zincir Sürücü Devresi

IACK* zinciri için bir sürücü devre örneği şekil 4-6'de görülmektedir. DS* ve/veya DS1* sürüldükten 40ns sonra U2 flip flobu IACKIN*'i tutar. Eğer devir kesme tanıma devri ise IACKOUT* AS* kaldırıla kadar sürülür. Eğer değilse IACKOUT* sürülmez.

S1 anahtarı devrenin hattın herhangi bir yuvasında kullanılacak modülün parçası olmasını sağlar. Eğer modül 01 yuvasında ise S1 şeklindeki gibi, eğer farklı bir yuvadaysa IACKIN*/IACKOUT*'u sürececek şekilde olmalıdır. Bu devre Şekil 3-4'teki devre içindede yer almaktadır.



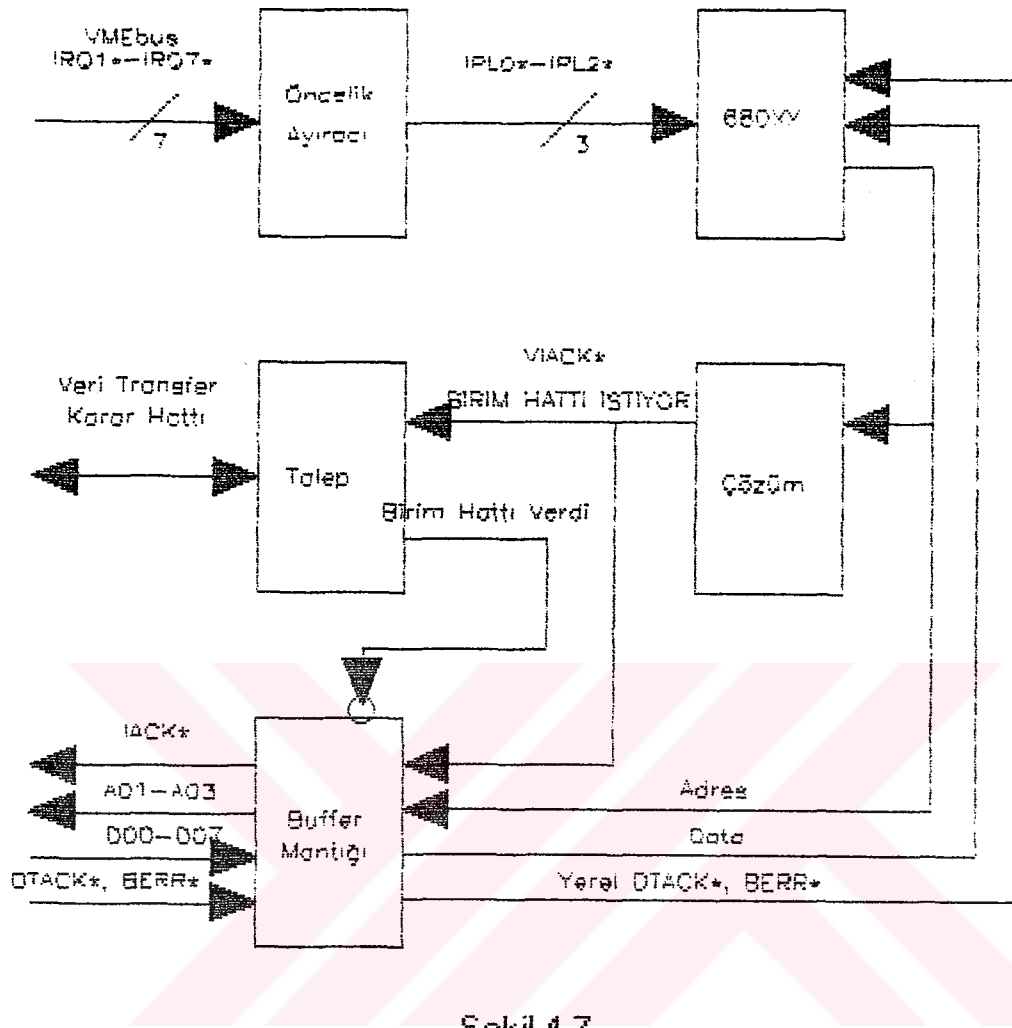
Şekil 4-6

4.4. İşletici

Kesme işleticileri kesmeleri 0-7 arasındaki seviyelerde almak üzere tasarlanabilir. Çeşitli seviyelerden farklı kesmeler bulunabileceğinden her seviyeyi bir işletici izleyebilir. Bazı özel modüller farklı seviyelerden kesmeleri de izleyebilir ki bunlar IH(x-y) ile gösterilir ve sadece x ile y arasındakileri izleyebilir.

4.4.1. MC680XX CPU Modülü İçin İşletici Devresi

VMEbus kesme işleticisi için bir örnek devre şekil 4-7'da verilmiştir. Kesmeler IRQ1*-IRQ7*, MC680XX mikroişlemci tarafından kullanılmak üzere 3 bitlik koda çevrilir (IPL0*-IPL2*). MC680XX bu girişlerde bir kesme izlerse bir kesme tanıma devri başlatır.



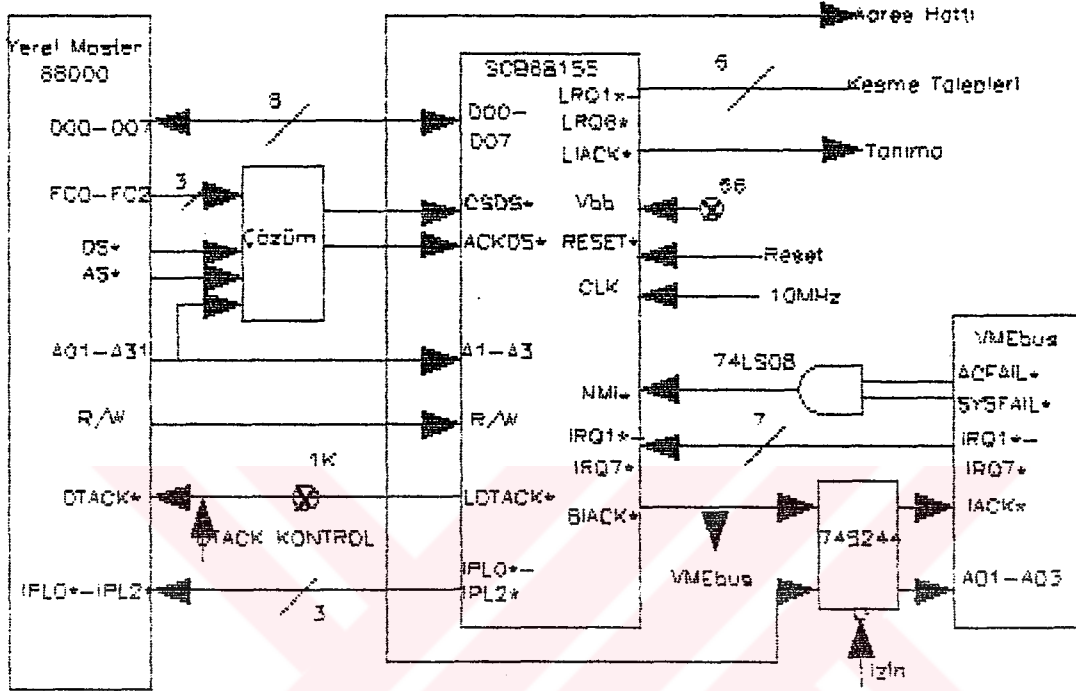
Şekil 4-7

Kesme tanıma devri sırasında $VIACK^*$ çözücü tarafından sürülür. Bundan sonra MC680XX işlemci VMEbustan bir STATUS/ID byte'ı tutmayı kabul eder. Tabiki bundan önce hattın kazanılması gereklidir. Kesme tanıma devri sırasında master $IACK^*$ sürer A01-A03'e tanınan seviyeyi yükler ve AS^* ile $DS0^*$ sürer. Kesme birimi bundan sonra STATUS/ID byte'ı hatla yerleştirip $DTACK^*$ sürer. İşlemci byte'ı okur ve devri başlatır.

4.4.2. SCB68155 Kesme İşleticisi

VMEbus işletici devreleri SCB68155 Kesme işletici entegre kullanılarak basitleştirilebilir. Bu birim bir mikroişlemci tarafından yürütülmek üzere yediye

kadar VMEbus, altı yerel ve bir maskelenemez kesmeye olanak verir. Şekil 4-8'da SCB68155 kullanmanın bir yolu görülmektedir. Tablo 4-2 da kesme girişlerinin protokolü görülmektedir.



Şekil 4-8

Kesme Talep Seviyesi	Kesme Öncelik Seviye Çıktıları			Masterin Tanıdığı Seviye		
	IPL2*	IPL1*	IPL0*	A03	A02	A01
NMI*, IRQ7*	0	0	0	1	1	1
LQ6*, IRQ6*	0	0	1	1	1	0
LQ5*, IRQ5*	0	1	0	1	0	1
LQ4*, IRQ4*	0	1	1	1	0	0
LQ3*, IRQ3*	1	0	0	0	1	1
LQ2*, IRQ2*	1	0	1	0	1	0
LQ1*, IRQ1*	1	1	0	0	0	1

Tablo 4-2

Şekil 4-8 de 68000 master'a bağlı bir SCB68155 görülmektedir. SCB68155 D00-D07 yi kullanan 8 bit I/O arabirimle kontrol edilmektedir. 68000 birimi dahili registerları kullanarak tanımlar. IRQ1*-IRQ07*, LRQ1*-LRQ06* ve VMI* bu dahili registerlar aracılığıyla tanımlar.

Yerel kesmeler LRQ1*-LRQ6* kenar veya seviye tetiklemeli olarak programlanabilir, aktif yüksek veya aktif düşük olabilirler. Ek olarak her giriş dahili veya harici STATUS/ID byte'a cevap verebilir. Maskelenemeyen kesme NMI* en yüksek önceliğe sahiptir.

IRQ1*-IRQ7* aktif düşük, seviye tetiklemelidir ve harici STATUS/ID'ye cevap verir.

Yerel veya VMEbus kesmesi üretildiğinde SCB68155 yerel masteri IPC0*-IPC2* yi kullanarak protokollandırılır. Bu sinyaller tüm MC680XX birimlerle uyumludur. Kesme talebine cevap olarak yerel master kesme tanıma devri üretir. SCB68155'e IACKDS* sürer ve A01-A03'e cevap verdiği kesme seviyesini yerleştirir. Eğer o andaki tanıma devri yerel kesmeye karşılıksa birim LIACK* (yerel kesme tanıma) sürer. Ardından yerel kesme birimleri A01-A03'ü çözmelidirler. Eğer kısmi kesme talebi programlandıysa SCB68155 8 bit STATUS/ID byte'ı veri hatları D00-D07'ye koyacak ve DTACK*'ı sürecektir. Bu yerel master'a STATUS/ID'i tutup servis işlemine devam etmesini söyleyacaktır. Eğer birim harici STATUS/ID için programlandıysa yerel kesme birimi STATUS/ID'yi D00-D07'e yerleştirip DTACK* sürecektir.

Eğer tanıma devri VMEbus kesmesine karşılıksa SCB68155 BLACK (Bus Interrupt ACKnowledge) sürerek cevap verecektir. Şekil 4-8'da BLACK* yerel hat talep birimine gitmektedir çünkü modül önce VMEbus'ın sahipliğini almalıdır.

SCB 68155 registerlar kullanarak programlanır. Yerel kesme talepleri R0-R4 registerları tarafından kontrol edilir. İlk önce R0-R2 tanımlanmalıdır.

Bölüm 5

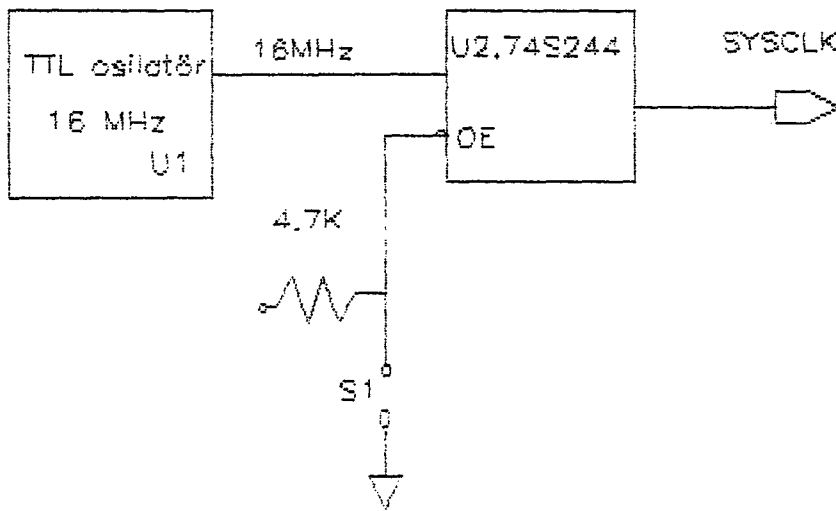
Hizmet Fonksiyonları

Hizmet hattı, sistem açılışı ilk değerlerin atanması, periyodik zamanlama, güç bozulması gibi işlemlere sinyal sağlar. Gerçekte bir hat olmayıp VMEbus'ın diğer kısımlarını destekleyecek sinyallerin bir toplamıdır.

5.1. Sistem Clock

SYSCLK 16 MHz'lik genel amaçlı bir clock sinyalidir. Diğer hat zamanlamalarıyla hiçbir ilgisi yoktur ve herhangi bir amaçla kullanılabilir. Genelde DTACK*üreticileri, hat zamanlayıcıları, bellek tanımlama devreleri, seri I/O zaman tabanı gibi kısımlarda kullanılır. % 50 oranlı bir dalga olmakla birlikte %40-60'a da izin verilir.

Örnek bir SYSCLK sürücü devre şekil 5-1 de görülmektedir. Bir TTL kristal osilatör U1 16 MHz clock üretir. Ancak doğrudan VMEbus'a süremez. Bir 74S244(U2) sinyale tampon görevi görür. Sinyal S1 anahtarını kapatarak durdurulabilir. Bu sayede devre herhangi bir yuvada bulunabilir. 01'deyken S1 kapatılacaktır.



Şekil 5-1

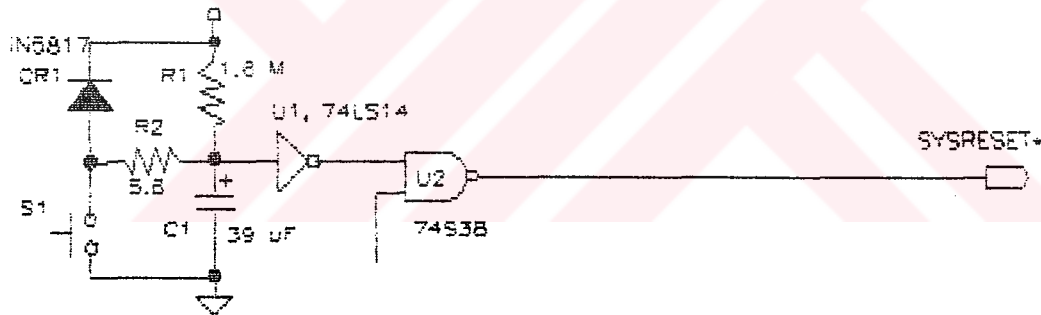
5.2. Sistem Açılışı ve Kapanışı

Mikrobilgisayar hatları bilgisayar sisteminin düzenli açılıp kapanmasını sağlayacak şekilde olmalıdır. Bu SYSRESET*, ACFAIL* ve SYSFAIL* sinyallerini kullanarak sağlanır.

SYSRESET* sinyali VMEbus sistemi sıfırlamak için kullanılır. Açılışta SYSRESET* en az 200ms sürülür. Bu durumda hat modülleri kendilerini bilinen bir konuma alır ve masterlar devir üretmez. SYSRESET* ten sonra master ve kesme işleticiler 5mikrosaniye AS*, DS0* veya DS1*, 20 mikrosaniye IACK*, LWORD*, AM0-AM5, A01-A31, WRITE*, D00-D31'i sürmemelidirler. Slave, kesme birimleri, hat zamanlayıcıları ve talep birimleri 30 mikrosaniye BERR*, D00-D31, DTACK*, IRQ1*IRQ7*, IACKOUT*, BBSY*, BGXOUT*u, karar birimide 5 mikrosaniye BG0IN*-BG3IN*'i sürmemelidir.

5.2.1. RESET Devresi Örneği

SYSRESET* üretmek için bir örnek şekil 5-2'de görülmektedir:



Şekil 5-2

Açılışta +5 VDC güç kaynağı sabitleştikten 200ms sonra SYSRESET tetiklenir. C1, R1 üzerinden U1 için gerekli olan 1.6 V'a ulaşana kadar dolar. Ulaştığında SYSRESET* kaldırılır. S1 anahtarıyla da aynı işlem gerçekleştirilebilir. S1 kapatıldığında, C1 R2 üzerinden boşalır. Anahtar açıldığında C1 yine R1 üzerinden dolar ve buda SYSRESET üretir.

U1 için 74LS14 gibi bir SCHMITT TRIGGER kullanılmalıdır, çünkü standart TTL girişlerde bazı gürültü etkileri oluşabilir.

Eğer güç kapatılıp tekrar açılırsa C1, CR1 Diodu üzerinden boşalacaktır. Buradaki IN5817 SCHOTKY diod olup 0.2 V gerilim düşmesi vardır. Vcc 0 olduğunda CR1 iletir. CR1 olmadan C1 boşalana kadar beklemek gerekecektir. RC zaman sabiti 200ms sebebiyle R1 çok büyüktür. C1'in tüm

akımı R1'den gelmez. U1 bir TTL olduğundan düşük olduğunda akım girişinden beslenir. Açılıştan sonra U1, C1'in akımının büyük kısmını sağlar. Giriş voltajı arttıkça U1 daha az akım sağlar. CR1'inde C1'i dolduracak bir ters akımı vardır. Bu sebeplerden dolayı 300-400 ms kadar uzayabilirki bunun bir mahsuru yoktur.

Akıllı VMEbus modüllerinin kendi resetlerinin olması tavsiye edilir. Böylece tüm sistem sıfırlanmadan tek modül tekrar çalıştırılabilir.

5.2.2. Diagnostik Yeteneği

VMEbus'ın diagnostik yeteneği ve sistem hatası özelliği vardır. Sistem açılışı sırasında her modül test edilebilir. Bu amaçla SYSFAIL* kullanılabilir.

Açılıştan SYSFAIL* herhangi bir modül tarafından sürülebilir. Eğer modül taramadan geçerse SYSFAIL* çıkışı kaldırılır. Modüllerin üzerine konacak kırmızı ve yeşil gibi iki LED ile taramadan başarıyla geçen modülün yeşil LED'i yakılabilirki buda kullanıcıya kolaylık sağlar.

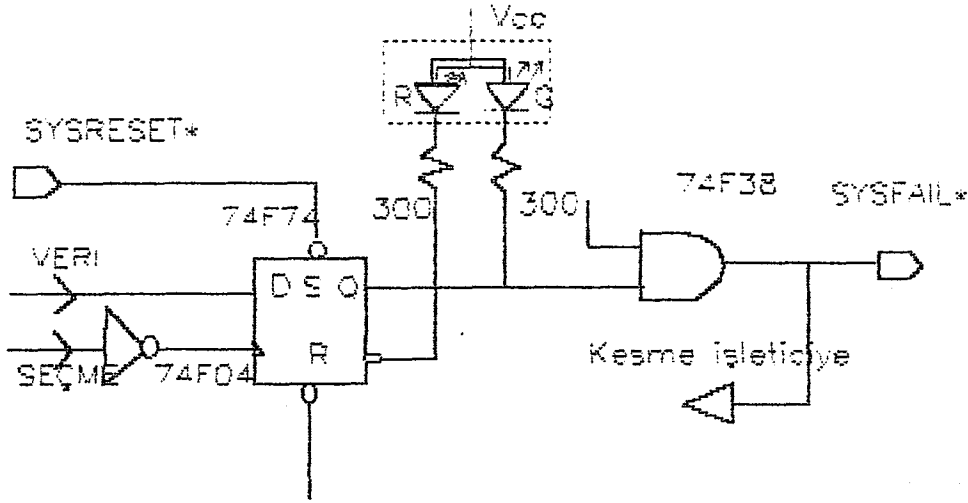
SYSFAIL* sinyali normal operasyon sırasında herhangi bir anda sürülebilir. Bu büyük felaketlerin erken uyarısını sağlar. Örneğin robotlaşmış bir fabrikada harici bir alarm sistemine bağlı SYAFAIL* ucu ile arıza durumunda mal ve can kaybı önlenabilir.

En çok rastlanan sistem hataları şunlardır:

- Sistem Reset'e tanınmamış karşılık
- Güç hataları
- Donanım birimleri hatası
- Tesbit edilmiş yazılım hatası
- Tesbit edilmemiş yazılım hatası

5.2.3. SYSFAIL* Sürücü

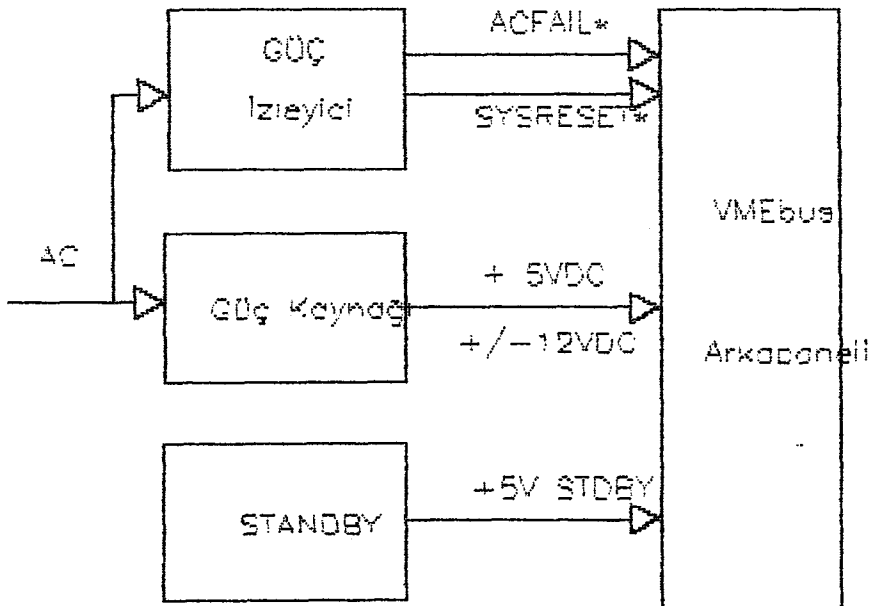
Açılıştan SYSFAIL* zamanlaması yapan devre şekil 5-3'de görülmektedir. Bu devre SYSRESET* sürüldüğünde SYSFAIL* sürer ve kırmızı LED yanar. İlk değerlerin atanmasının ardından 74F74 flip flop'u yerel veya VMEbus işlemcisi tarafından temizlenir ve SYSFAIL* kaldırılıp LED yeşile dönüştürülür.



Şekil 5-3

5.3. Güç İzleyici

Bazı bilgisayar sistemleri veri kaybı, mal veya can kaybını önlemek için düzenli kapanmak zorundadır. Güç izleyici bu işlevi, bir güç problemi olduğunda tüm modülleri uyararak yerine getirir. Şekil 5-4'teki örnekte güç izleyici ACFAIL*'i AC hat gerilimi kesildiğinde sürer. Bu durumda gerilim en az 4 ms sistemi beslemelidir. Harici bir güç kaynağında bu durumda süreyi uzatmak için kullanılabilir.



Şekil 5-4

Eğer operatör, sistem kapama emri verdiyse ACFAIL* tüm modülleri uyarıp gerekli işlemleri yaptırabilir. Ancak kontrolsüz bir güç kesilmesinde bu olanak yoktur. Birçok sistemde +5 VDC güç AC güç kaynağından sağlanır ve bir güç regülatörü ile DC'ye çevrilir.

Bu kaynaktaki kondansatörler vasıtasıyla AC gerilim kesildiğinde bir süre daha sisteme güç verebilirki bu da en 4 ms dir. AC güç kesildiğinde ACFAIL* güç izleyiciden sürülür +5VDC kesilmeden SYSRESET* sürmelidir. Birçok uygulamada AC kesilmesi ile SYSRESET sürülmesi arasında bir süre beklenir. Sisteme eklenen modül sayısı arttıkça zaman sabitini etkileyen kondansatör daha kolay boşalacağından gecikme kısalmır.

5.3.1. ACFAIL* Tesbiti

VMEbus karakteristiği güç hatasının sebebini belirlemez. Akıllı modüller ACFAIL*'i yerel işlemcilerine NMI üretmekte kullanırlar. Kesme işlemindede acil kapama işlemi uygulanır.

Bölüm 6

Hat Arabirimi Elektriksel Karakteristikleri

VMEbus modüllerinin maksimum hızı arabirim entegrelerinin hızlarıyla sınırlandırılmıştır. Bu hat arabirimi zamanlama karakteristiği ile sınırlanan diğer hatların tam tersidir. Bu sebeple arka panel empedansı kontrolü önem kazanmaktadır. Her modülün akım kapasiteside VMEbus karakteristiğinde tanımlanmıştır.

6.1 Güç Dağıtımı

Güç modüller J1/P1 ve J2,P2 konnektörleri aracılığıyla dağıtılır. +5VDC, +12VDC ve -12VDC gerilimleri mevcuttur. (Tablo 6-1). Tümü ortak bir toprağı paylaşırlar.

Gerilim	Tolerans	
+5V	4.875V	5.25V
+12V	11.64V	12.60V
-12V	-11.64V	-12.60V
+5VSTDBY	4.875V	5.25V
GND	--	--

Tablo 6-1

+/-12VDC çeşitli amaçlarla kullanılabilir. En yaygın olanı RS232C alıcı ve göndericileridir. Diğer kullanım alanları, op-amplar, D/A ve A/D çeviricilerdir.

+5VDC STDBY kesintisiz güç kaynağı olarak önerilir. Kullanım alanları genelde +5VD kapalı olduğunda gerçek zaman saati ve statik bellektir. Kullanımı isteğe bağlıdır ve yaygın değildir.

+/- 12 VDC ve +5 VDC STDBY sadece bir konnektör ucuna sahiptirler. Buna karşın +5 VDC altı uca sahiptir. Hem P1/J1 hemde P2/J2 arkapanellerinde uçları vardır. Burada sadece P1/J1 kullanıldığında dikkatli olunmalıdır ve 3.6A'dan fazla akım çekilmemelidir. Tablo 6-2'de akım gereksinimleri yer almaktadır.

Nominal Gerilim	Uç sayısı P1/J1	Uç sayısı P2/J2	1 panel Akım kapasitesi	2 panel Akım kapasitesi
+5 V	3	3	3.6 (4.5)	7.2 (9.0)
+12 V	1	-	1.5	1.5
-12 V	1	-	1.5	1.5
+5 V STDBY	1	-	1.5	1.5
GND	7	4	10.5	16.5

Tablo 6-2

+/- 12VDC ve +5 VDC STDBY uçları çoğu uygulama için gerekli akımı sağlar. Ancak yeterli olmadığı durumlarda farklı kısımları farklı güç kaynakları ile belemek çözüm olabilir. Ancak bu durumda gürültü problemine özellikle dikkat edilmelidir.

6.2. Hat Arabirim Entegreleri Karakteristikleri

VMEbus modülleri arasında sinyaller TTL gerilim kullanılarak iletilir. TTL (Transistor Transistor Logic) seçilmesinin sebebi yüksek akım, yüksek hız, yüksek güvenilirlik ve düşük maliyettir. Ancak tasarımlarda TTL'in sunduğu avantaj ve dezavantajlar da dikkat edilmelidir.

Veri ideal olarak 0 ve 1 olarak iletilmektedir. Ancak uygulamada ikisinin arasında değerler kullanılır. Bu sebeple gürültü ögesi çok etkilidir ve entegrelerin belirsiz konumlara girmelerine sebep olabilir.

Ayrıca sistemdeki sinyallerin çıkış tiplerine dikkat edilmeli, elemanlar dikkatli seçilmelidir. Özellikle threestate tipi çok kullanılır, çünkü çeşitli VMEbus modüllerinin aynı hattı paylaşmasına olanak tanır.

Zincir sürücü entegreler seçilirken buffer çıkışlı flip floplar kullanılmalıdır. Aksi takdirde gürültü problem çıkaracaktır.

6.3. VMEbus yolları

Gürültü sistemde önemli problemlere yol açabileceğinden baskılı devre hazırlanırken dikkatli olunmalıdır. VMEbus modül ve arkapanellerinde genelde kullanılan iki tür yol vardır; mikrostrip ve strip yol

6.3.1. Mikrostrip Yol

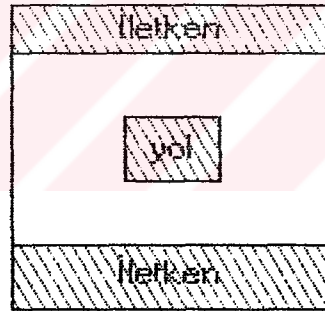
Bu tip yol bir güç veya toprak satırı üzerine yerleştirilir. Kesiti Şekil 6-1'deki gibidir.



Şekil 6-1

6.3.2. Strip Yol

Bu tip yollar genellikle çok kartlı devrelerde kullanılır. Yolları güç ve şase arasına koymak gürültü açısından oldukça etkilidir. Kesiti şekil 6-2 de görülmektedir.



Şekil 6-2

Referanslar

- PHILLIPS Data Handbook -1986
- XYCOM VMEbus product manuel -1989
- VME, VXL, Futurebus+Compatible Products Directory -1990. VITA
- VMEbus Revision D -1990. VITA
- VXL Products Dictionary -1990 VFEA
- VMXbus Specification Manual -1984 VITA
- VMEbus Handbook -1990 Wade D. Peterson
- VMEbus Systems Magazine -1991 VMEbus Community

Özgeçmiş

1967 yılında İstanbul'da doğdum. İlköğretimimin ardından Kadıköy Anadolu Lisesini bitirdim. 1985 yılında Yıldız Üniversitesi Mühendislik Fakültesi Elektronik ve Haberleşme Mühendisliği Bölümüne girdim ve 1989 yılında mezun oldum. Aynı yıl yine Yıldız Üniversitesi 'nin açtığı Yüksek Lisans sınavlarını kazandım. 8 bit osiloskop olarak kullanmak ve Motorola mikroişlemcisi ile güvenlik kontrolü olmak üzere iki tez hazırladım. .

Mezun olduğum 1989 yılından beri bilgisayar sektöründe çalışmaktayım. Bu süre içerisinde yurt dışında bir firmanın IBM AT Kart tamir ve bakımı konusunda eğitim gördüm. 1992 Temmuzunda evlendim ve halen iş, ev ve okulu birlikte yürütmeye çalışmaktayım.

SCB68154
Interrupt Generator

Preliminary Specification

Microprocessor Products

DESCRIPTION

The Signetics SCB68154/8X825 Interrupt Generator provides an interface between an interrupting device and a system bus such as the VMEbus or VERSAbus®. Figure 1 shows a typical configuration of the SCB68154/8X825. The SCB68154/8X825 has three primary functions:

- 1. Generates bus interrupt requests.
- 2. Resides in the interrupt acknowledge daisy-chain.
- 3. Allows a status/ID byte (interrupt vector) to be supplied to the system if needed.

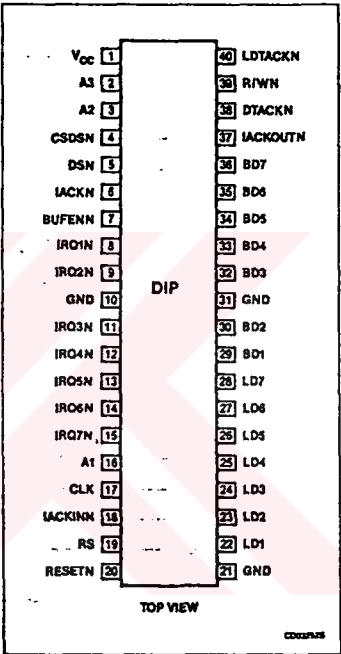
The SCB68154/8X825 has seven interrupt request levels, IRQ7N – IRQ1N, which are selected by using the interrupt request register. The local master writes to the interrupt request register to generate an interrupt request on any interrupt request level. The interrupt request register may be read to determine if an interrupt has been acknowledged. If a level with an interrupt request pending is acknowledged, the SCB68154/8X825 will allow a status/ID byte to be supplied to the system. Seven bits of the status/ID byte come from the interrupt vector register with the user externally supplying the LSB. If the SCB68154/8X825 does not have an interrupt on the level acknowledged, the SCB68154/8X825 will pass the interrupt acknowledge on via the interrupt acknowledge daisy-chain output. The user can enable all interrupt request levels and clear all interrupt request levels by setting specific bits in the interrupt vector register.

The SCB68154/8X825 was designed primarily for interface to the VMEbus. For more information regarding the protocol definitions, proper use, and application of this device, refer to the VMEbus Specification Manual.

FEATURES

- Interrupts generator for VMEbus and VERSAbus systems
- Generates 7 bus interrupt requests
- Two internal registers for system control
- Interrupt enable and interrupt clear bits
- Allows status/ID byte to be supplied during interrupt acknowledge
- High-speed bipolar technology
- Single +5V supply

PIN CONFIGURATION



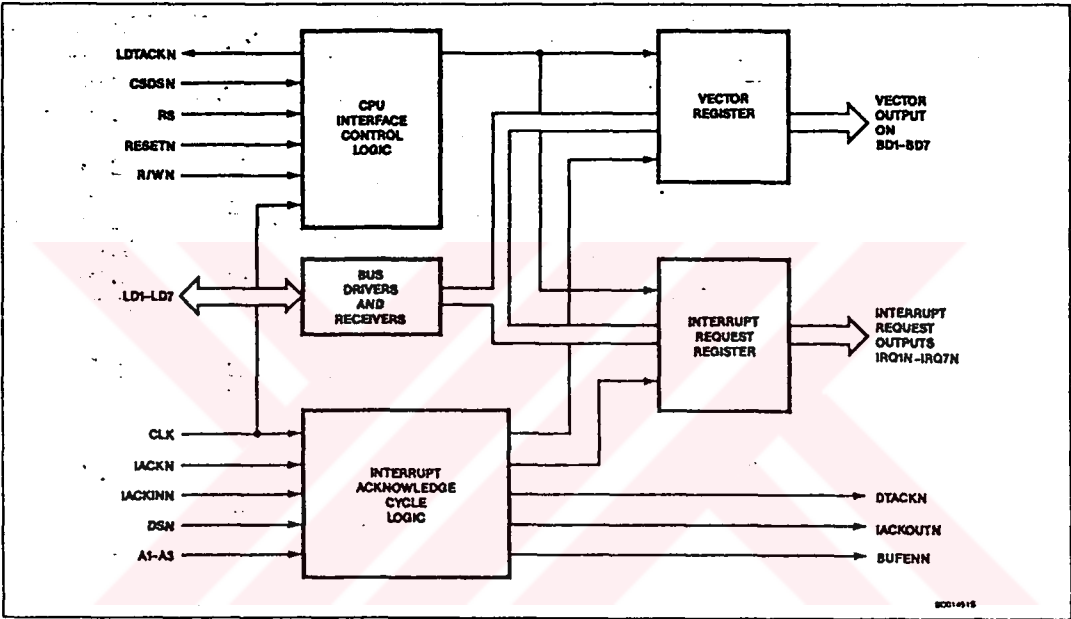
Interrupt Generator

SCB68154

ORDERING CODE

PACKAGES	$V_{CC} = +5V \pm 5\%$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$
Ceramic DIP	SCB68154C2I40
Plastic DIP	SCB68154C2N40

BLOCK DIAGRAM



Interrupt Generator

SCB68154

PIN DESCRIPTION

MNEMONIC	PIN NO.	TYPE	NAME AND FUNCTION
V _{CC}	1	I	Supply Voltage: +5V power supply
A1 - A3	16, 3, 2	I	Address Lines: Address inputs from system bus. The internal level being acknowledged is encoded on these inputs. A1 is LSB (least significant bit).
CSDSN	4	I	Chip Select: Active low chip select input for register I/O. This input must be qualified by the local master's data strobe prior to input (see Figure 1).
DSN	5	I	Data Strobe: Active low data strobe input from the system used to enable interrupt vector output.
IACKN	6	I	Interrupt Acknowledge: Active low interrupt acknowledge input from the system bus.
BUFENN	7	O	Buffer Enable: Active low totem pole output to enable the data buffer required to drive the outputs of the bus data pins (BD1 - BD7).
IRQ1N - IRQ7N	8, 9, 11 - 15	O	Interrupt Request: Active low totem pole system interrupt request output.
GND	10, 21, 31	I	Ground
CLK	17	I	Clock: Clock input (typically CPU clock).
IACKINN	18	I	Interrupt Acknowledge In: Active low interrupt acknowledge daisy-chain input.
RS	19	I	Register Select: Register select input.
RESETN	20	I	Reset: Active low input resets all internal registers, IACKOUTN, and IRQnN.
LD1 - LD7	22 - 28	I/O	Local Data: Three-state local data bus.
BD1 - BD7	29, 30, 32 - 36	O	Bus Data: Three-state data pins used for vector output.
IACKOUTN	37	O	Interrupt Acknowledge Out: Active low totem pole interrupt acknowledge daisy-chain output.
DTACKN	38	O	Data Transfer Acknowledge: Active low, totem pole output. This signal indicates that valid data is available on the bus during interrupt acknowledge cycle.
R/WN	39	I	Read/Write: Register read/write input. This signal specifies the data transfer cycle in process is to be either read or write.
LDTACKN	40	O	Local Data Transfer Acknowledge: Active low, open collector, data transfer acknowledge output to the local bus.

FUNCTIONAL DESCRIPTION

Typical Configuration

The SCB68154/8X825 provides a vehicle for interprocessor communications on an intelligent peripheral controller board, or a CPU board as shown in Figure 1. The local data pins (LD1 - LD7) serve as a local data bus. This allows the local master to access the Interrupt Generator's two internal registers. During an interrupt acknowledge, the SCB68154/8X825 will allow for a status/ID byte to be supplied to the system. The SCB68154/8X825 supplies seven of the eight needed status/ID bits. The user is allowed to externally supply the least significant bit (LSB), typically the system address line A1 of the status/ID byte. The IRQ1N - IRQ7N, DTACKN, and BD1 - BD7 outputs require external buffers to provide adequate drive to the system bus. BUFENN provides the output enable control for the data buffer that is required for BD1 - BD7.

Register Selection

The SCB68154/8X825 has two internal registers which can be programmed for system control. They are the interrupt vector register and the interrupt request register. Figure 2 shows the programming model. Both registers can be read from as well as written to. The interrupt vector register (register R0) is selected by the register select (RS) input equal to 0. Setting bit 1 of register R0 enables all interrupt levels for the SCB68154/8X825. Writing a 1 to bit 2 of register R0 resets all interrupt levels in the interrupt request register as well as the IRQnN outputs. Subsequent interrupt requests will be honored. Bit 2 of R0 will always be read as 0. The high order bits, bits 7 - 3, of register R0 are the high order bits of the status/ID byte. The seven bit output of the status/ID byte are formed by concatenating the high order bits (bits 7 - 3) of register R0 with system bus address lines A3 and A2. Bus address lines A3 and A2 are output on BD2 and BD1 respectively.

The interrupt request register (R1) is selected by RS input equal to 1. Setting bit "n" in R1 will generate an interrupt on interrupt request level IRQnN. Any number (up to the maximum of seven) interrupt requests can be generated in a single access of R1.

The state of only those levels, which a 1 has been written to, is affected. Writing a 0 to any level does not change the current state of that level. For example, if IRQ1N is currently asserted, writing a 0 to bit 1 of R1 does not de-assert IRQ1N, nor clear bit 1 in R1.

Note that interrupt requests on the same level are not stackable. To generate another interrupt request on a level currently asserted, the user must wait until that level has been acknowledged, before generating another interrupt request on that level.

Since interrupts are acknowledged independently of the local CPU, the interrupt vector register should not be modified while interrupts are pending. Any attempt to modify the interrupt vector register, while interrupts are

Interrupt Generator

SCB68154

ABSOLUTE MAXIMUM RATINGS¹

PARAMETER	RATING	UNIT
Operating ambient temperature ²	0 to +70	°C
Storage temperature	-65 to +150	°C
Supply voltage ³	-0.5 to +7.0	V
Input voltage ³	-0.5 to +5.5	V
Voltage applied to output in off-state ³	-0.5 to +5.5	V

DC ELECTRICAL CHARACTERISTICS T_A = 0°C to +70°C, V_{CC} = +5.0V ± 5%^{4, 5}

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS		UNIT
			Min	Max	
V _{CC}	Supply voltage		4.75	5.25	V
V _{IL}	Input low voltage			0.8	V
V _{IH}	Input high voltage		2.0		V
I _{IL}	Input low current	V _{CC} = 5.25V, V _{IL} = 0.4V		-410	μA
I _{IH}	Input high current	V _{CC} = 5.25V, V _{IH} = 2.7V		20	μA
I _{OS}	Short circuit output current	V _{CC} = 5.25V, V _{OUT} = 0V Other outputs not grounded	-15	-100	mA
I _{OZL}	High-Z low output current BD1 - BD7	V _{CC} = 5.25V, V _{OL} = 0.5V		-20	μA
I _{OZH}	High-Z high output current BD1 - BD7	V _{CC} = 5.25V, V _{OH} = 2.5V		20	μA
V _{OL}	Output low voltage LDTACKN	V _{CC} = 4.75V, I _{OL} = 20mA		0.5	V
V _{OH}	All other outputs	V _{CC} = 4.75V, I _{OL} = 8mA			
	Output high voltage	V _{CC} = 4.75V, I _{OH} = -400μA	2.5		V
I _{CEX}	Open collector leakage current LDTACKN	V _{CC} = 4.75V, V _{OUT} = 4.75V		100	μA
I _I	Input leakage current	V _{CC} = 5.25V, V _{IN} = 5.25V		100	μA
V _{IC}	Input clamp voltage	V _{CC} = 4.75V, I _{IN} = -10mA	-1.2		V
I _{CC}	Supply current	V _{CC} = 5.25V, V _{IN} = 0V		130	mA

- NOTES:
- Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is stress rating only and functional operation of the device at these or at any other condition above those indicated in the operation section of this specification is not implied.
 - For operating at elevated temperatures, the device must be derated based on +150°C maximum junction temperature and thermal resistance of 60°C/W junction to ambient for ceramic package (116°C/W for plastic package).
 - This product includes circuitry specifically designed for the protection of its internal devices from damaging effects of excessive static charge. Nonetheless, it is suggested that conventional precautions be taken to avoid applying any voltages larger than the rated maxima.
 - Parameters are valid over specified temperature range.
 - All voltage measurements are referenced to ground (GND). For testing, all inputs swing between 0.4V and 2.4V with a transition time of 3ns maximum and output voltages are checked at 0.8V and 2.0V.
 - If the falling edge of IACKINN occurs last, then t_{ADK} is valid. If the falling edge of DSN occurs last, then t_{ADDS} is valid. If the falling edges of IACKINN and DSN occur simultaneously then either t_{ADDS} or t_{ADK} is valid.
 - If the falling edge of IACKINN occurs last, then t_{KBF} is valid. If the falling edge of DSN occurs last, then t_{OSBF} is valid. If the falling edges of IACKINN and DSN occur simultaneously then either t_{KBF} or t_{OSBF} is valid.
 - If the falling edge of IACKINN occurs last, then t_{RA1} is valid. If DSN occurs last, then t_{RA2} is valid. If the falling edges of both IACKINN and DSN occur simultaneously then either t_{RA1} or t_{RA2} is valid.
 - True only if no request pending on levels being acknowledged. If the falling edge of IACKINN occurs last, then t_{QV01} is valid. If the falling edge of DSN occurs last then t_{QV02} is valid. If the falling edges of both IACKINN and DSN occur simultaneously then either t_{QV01} or t_{QV02} is valid.
 - If the rising edge of IACKN occurs first, then t_{QDT} is valid. If the rising edge of DSN occurs first then t_{QSDT} is valid. If the rising edges of both IACKN and DSN occur simultaneously, then either t_{QDT} or t_{QSDT} is valid.
 - If the rising edge of IACKN occurs first then t_{TST} is valid. If the rising edge of DSN occurs first then t_{QST} is valid. If the rising edges of both IACKN and DSN occur simultaneously then either t_{TST} or t_{QST} is valid.
 - If the rising edge of IACKN occurs first, then t_{BF} is valid. If the rising edge of DSN occurs first then t_{OSBF} is valid. If the rising edges of both IACKN and DSN occur simultaneously, then either t_{BF} or t_{OSBF} is valid.
 - If the rising edge of IACKN occurs first then t_{QTK} is valid. If the rising edge of DSN occurs first then t_{QOTK} is valid. If the rising edges of both IACKN and DSN occur simultaneously, then either t_{QTK} or t_{QOTK} is valid.
 - True only if no request pending on level being acknowledged. If the rising edge of IACKN occurs first then t_{QOUT} is valid. If the rising edge of DSN occurs first then t_{QOUT} is valid. If the rising edge of both IACKN and DSN occur simultaneously then either t_{QOUT} or t_{QOUT} is valid.
 - t_{TST} is always greater than or equal to t_{QTH}.

Interrupt Generator

SCB68154

AC ELECTRICAL CHARACTERISTICS $T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = +5.0\text{V} \pm 5\%$ ^{4, 5}

SYMBOL	PARAMETER	TENTATIVE LIMITS		UNIT
		Min	Max	
Register read (see Figure 3)				
t _{RSS}	RS valid to CSDSN low set-up time	0		ns
t _{RWS}	R/WN to CSDSN low set-up time	0		ns
t _{DTV}	LDTACKN low to LD1 – 7 valid	5.4	19.4	ns
t _{DTC}	LDTACKN low to CSDSN high	0		ns
t _{RSH}	CSDSN high to RS valid hold time	0		ns
t _{RWH}	CSDSN high to R/WN high hold time	0		ns
t _{DTH}	CSDSN high to LD1 – 7 valid hold time	11.5	33.5	ns
t _{TST} ¹⁵	CSDSN high to LD1 – 7 three state	11.5	34.5	ns
t _{CSDT}	CSDSN high to LDTACKN high	9.2	27.2	ns
t _{CSH}	CSDSN high time	20		ns
t _{ACCR}	CSDSN low to LDTACKN low read access time	t _{CKPD} ÷ 2 + 12.5	3t _{CKPD} ÷ 2 + 40.3	ns
Register write (see Figure 4)				
t _{RSS}	RS valid to CSDSN low set-up time	0		ns
t _{RWS2}	R/WN low to CSDSN low set-up time	0		ns
t _{DS}	LD1 – LD7 valid to CSDSN low set-up time	0		ns
t _{RSH}	CSDSN high to RS valid hold time	0		ns
t _{RWH2}	CSDSN high to R/WN low hold time	0		ns
t _{DH}	CSDSN high to LD1 – LD7 valid	0		ns
t _{CSDT}	CSDSN high to LDTACKN high	9.2	27.2	ns
t _{DTC}	LDTACKN low to CSDSN high	0		ns
t _{IRQ}	LDTACKN low to IRQnN low	1.2	8.2	ns
t _{ACCW}	CSDSN low to LDTACKN low write access time	t _{CKPD} ÷ 2 + 13.3	3t _{CKPD} ÷ 2 + 40.3	ns
t _{CSH}	CSDSN high time	20		ns
Interrupt acknowledge (see Figure 5)				
t _{KDS}	IACKN low to DSN low	0		ns
t _{ADDS} ⁶	A1 – A3 valid to DSN low set-up	0		ns
t _{ADIK} ⁶	A1 – A3 valid to IACKINN low set-up	0		ns
t _{KBF} ⁷	IACKINN low to BUFENN low	t _{CKPD} + 18.3	3t _{CKPD} ÷ 2 + 29.2	ns
t _{DSBF} ⁷	DSN low to BUFENN low	t _{CKPD} + 18.3	3t _{CKPD} ÷ 2 + 29.2	ns
t _{IRA1} ⁸	IACKINN low to IRQnN high	t _{CKPD} + 12.5	3t _{CKPD} ÷ 2 + 29.2	ns
t _{IRA2} ⁸	DSN low to IRQnN high	t _{CKPD} + 29.2	3t _{CKPD} ÷ 2 + 29.2	ns
t _{DY01} ⁹	IACKINN low to IACKOUTN	t _{CKPD} + 11.2	3t _{CKPD} ÷ 2 + 29.2	ns
t _{DY02} ⁹	DSN low to IACKOUTN low	t _{CKPD} + 11.2	3t _{CKPD} ÷ 2 + 29.2	ns

Interrupt Generator

SCB68154

AC ELECTRICAL CHARACTERISTICS (Continued)

SYMBOL	PARAMETER	TENTATIVE LIMITS		UNIT
		Min	Max	
t _{BFBD}	BUFENN low to BD1 – BD7 valid	3.2	38.2	ns
t _{BFDT}	BUFENN low to DTACKN low	38.2	50	ns
t _{ADRH}	DTACKN low to A1 – A3 valid hold time	0		ns
t _{DTDS}	DTACKN low to DSN high	0		ns
t _{DTIK}	DTACKN low to IACKN high	0		ns
t _{DT} ¹⁰	IACKN high to BD1 – BD7 valid hold time	3.0	8.4	ns
t _{DSDT} ¹⁰	DSN high to BD1 – BD7 valid hold time	3.0	8.4	ns
t _{ITST} ¹¹	IACKN high to BD1 – BD7 three state	3.0	9.1	ns
t _{DTST} ¹¹	DSN high to BD1 – BD7 three state	3.0	9.1	ns
t _{DSF} ¹²	DSN high to BUFENN high	12.2	32.2	ns
t _{BF} ¹²	IACKN high to BUFENN high	12.2	32.2	ns
t _{DDTK} ¹³	DSN high to DTACKN high	12.2	32.2	ns
t _{IDTK} ¹³	IACKN high to DTACKN high	12.2	32.2	ns
t _{IOUT} ¹⁴	IACKN high to IACKOUTN high	6.2	17.2	ns
t _{DOUT} ¹⁴	DSN high to IACKOUTN high	6.2	17.2	ns
t _{IAKH}	IACKN high time	20		ns
t _{IINH}	IACKN high to IACKINN high	0		ns
t _{IKN}	IACKN low to IACKINN low	0		ns
Reset timing (see Figure 6)				
t _{RST}	RESETN low time	51		ns
Clock timing (see Figure 7)				
t _{CKH}	Clock high	45		ns
t _{CKPD}	Clock period	90		ns



SCB68155 Interrupt Handler

Preliminary Specification

Microprocessor Products

DESCRIPTION

The Signetics SCB68155/8X824 is an asynchronous interrupt handler for VMEbus and VERSAbus® systems. Up to 14 interrupts are prioritized by the SCB68155/8X824 to one of seven levels and are output on the interrupt priority level lines (IPL0N – IPL2N). The SCB68155/8X824 prioritizes the interrupts in the following manner: local bus requests over system bus requests with the non-maskable interrupt (NMIN) considered the highest priority local interrupt (NMIN over IRQ7N, then LRQ6N – LRQ1N over IRQ6N – IRQ1N).

The local interrupt requests can be programmed to be either active high or low, and either edge or level sensitive. The system bus interrupt requests are always active low and level sensitive. The non-maskable interrupt is always negative edge-triggered.

During a local interrupt acknowledge sequence, two modes of response are available: vectored mode or device-supplies-the vector mode.

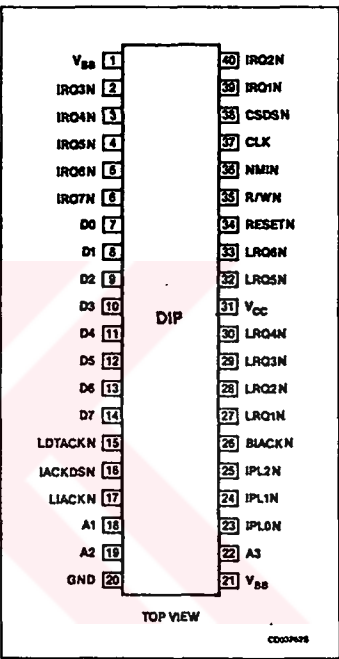
For system bus responses, the SCB68155/8X824 works with a bus requester (for example, the Signetics SCB68175/8X821 Bus Master or SCB68172 VMEbus Controller), to acquire a status/ID byte (interrupt vector) from the system.

The SCB68155/8X824 was designed primarily for interface to the VMEbus. For more information regarding the protocol definitions, proper use, and application of this device, refer to the VMEbus Specification Manual.

FEATURES

- Asynchronous interrupt handler for VMEbus and VERSAbus systems
- Receives and prioritizes non-maskable, six local and seven system bus interrupts
- Interrupts may be polled in lieu of real-time operation
- Programmable local interrupt response
- Works with the SCB68175/8X821 to acquire status/ID byte (vector) during bus interrupt acknowledge
- Complete device status, including last interrupt acknowledged
- High-speed bipolar technology

PIN CONFIGURATION



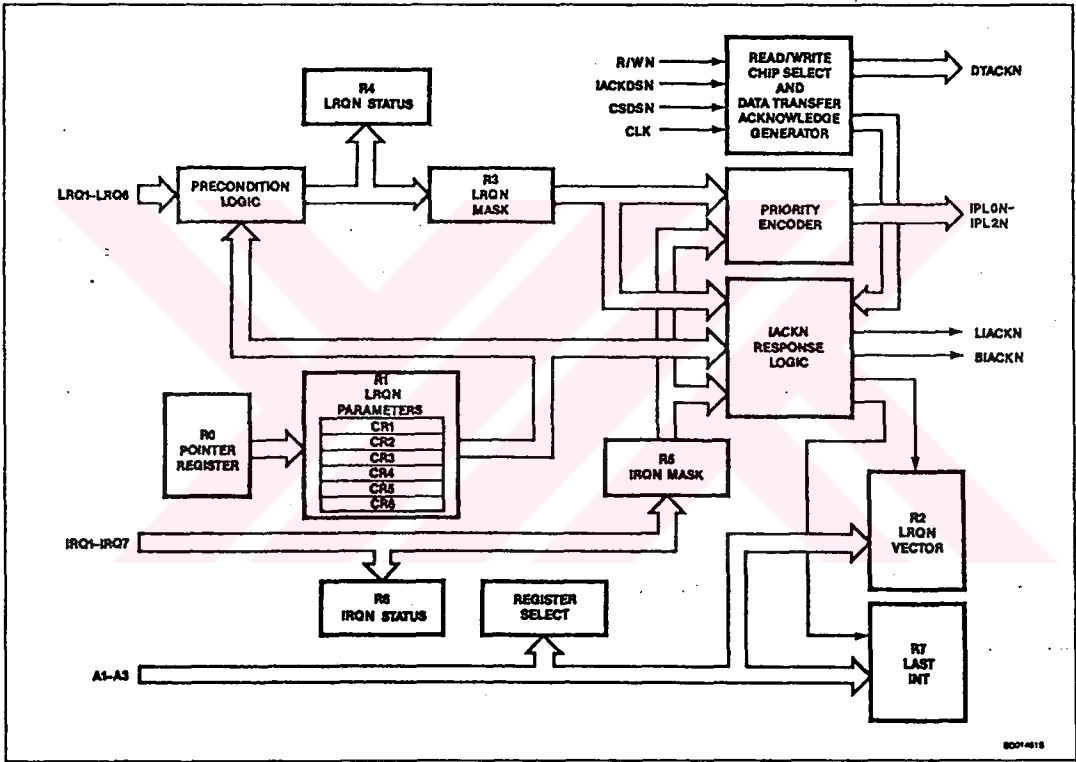
Interrupt Handler

SCB68155

ORDERING CODE

PACKAGES	$V_{CC} = +5V \pm 5\%$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$
Ceramic DIP	SCB68155CAI40
Plastic DIP	SCB68155CAN40

BLOCK DIAGRAM



Interrupt Handler

SCB68155

PIN DESCRIPTION

MNEMONIC	PIN NO.	TYPE	NAME AND FUNCTION
V _{BB}	1, 21	I	Supply Voltage: Supply voltage for internal gates.
IRQ1N – IRQ7N	39, 40, 2 – 6	I	Bus Interrupt Request: Active low inputs for bus generated interrupts.
D0 – D7	7 – 14	I/O	Bus Data: Three-state local data bus.
LDTACKN	15	O	Local Data Transfer Acknowledge: Active low, open collector output. Indicates that valid data is available on the local data bus during interrupt acknowledge cycle or data transfer cycle.
IACKDSN	16	I	Interrupt Acknowledge: Active low interrupt acknowledge input from the local master. This signal must be qualified by the local master's data strobe prior to input.
LIACKN	17	O	Local Interrupt Acknowledge: Active low interrupt acknowledge totem pole output to the local interrupting devices.
A1 – A3	18, 19, 22	I	Address Lines: Address inputs from local master.
GND	20	I	Ground
IPL0N – IPL2N	23 – 25	O	Interrupt Priority Level: Active low totem-pole outputs to the local master. The priority level of the interrupt request is encoded on these outputs.
BIACKN	26	O	Bus Interrupt Acknowledge: Active low interrupt acknowledge totem-pole output to the system bus.
LRO1N – LRO6N	27 – 30, 32, 33	I	Local Interrupt Request: User can define the active state of these inputs.
V _{CC}	31	I	Supply Voltage: +5V power supply.
RESETN	34	I	Reset: Active low input reset.
R/WN	35	I	Read/Write: This signal specifies the data transfer cycle to be either read or write.
NMIN	36	I	Non-Maskable Interrupt: Active low highest priority interrupt.
CLK	37	I	Clock: Clock input (typically CPU clock).
CSDSN	38	I	Chip Select: Active low chip select input for register I/O. This input must be qualified by the local master's data strobe prior to input.

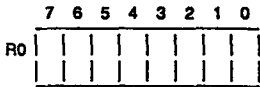
REGISTERS

The SCB68155/8X824 contains eight internal registers (R0 – R7) accessible to the local master. There are also six sub-registers contained in register R1. Register R0 specifies which sub-register is to be accessed in R1. Register R2 stores the interrupt vector for

vectored mode responses. Register R3 and R5 are the interrupt mask registers for the local and system bus interrupts respectively. Registers R4 and R6 are the status registers for local and bus interrupts respectively, allowing all interrupts to be polled. Register R7 can be read by the local master to determine the last interrupt acknowledged.

All data transfers between the SCB68155/8X824 and the local master are done using the local data bus (D0 – D7), address bus (A1 – A3), a chip select (CSDSN) and a read/write (R/WN) input.

Register R0 — A3A2A1 = 000



Pointer register (write only).
Bit 0 – 2 of R0 specify which control sub-register CR1 – CR6 during an access of R1. During register I/O, bits 7 – 3 will read as 0.

- B2 – B1 – B0
- 000 – none

001 – CR1

010 – CR2

011 – CR3

100 – CR4

101 – CR5

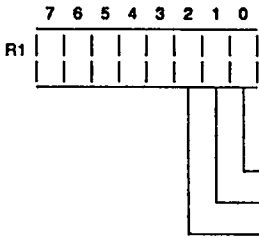
110 – CR6

111 none

Interrupt Handler

SCB68155

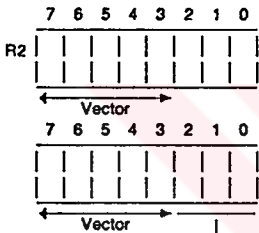
Register R1 — A3A2A1 = 001



Control registers CR1 – CR6 (read or write). These six registers program the function of the local interrupt requests (LRQ1N – LRQ6N). (CR1 programs LRQ1N, CR2 programs LRQ2N, etc). During register I/O, bits 7 – 3 will be read as 0.

- LRQnN active state (high/low) (1 = active high)
- LRQnN edge/level sensitive (1 = edge sensitive)
- LRQnN vector enable (1 = enabled)

Register R2 — A3A2A1 = 010

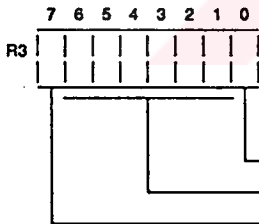


LRQ vector (read or write). Bits 7 – 3 of this register are the top five bits of the local interrupt vector. During register I/O, bits 2 – 0 will be read as zeros.

LRQ vector output during local interrupt acknowledge (If vector enable = 1).

- 001 – LRQ1N
- 010 – LRQ2N
- 011 – LRQ3N
- 100 – LRQ4N
- 101 – LRQ5N
- 110 – LRQ6N
- 111 – NMIN

Register R3 — A3A2A1 = 011



LRQ mask (read or write). This register allows the user to mask local interrupts. It also enables vectored response for NMIN.

- NMIN Vector enable (1 = active high)
- LRQn 1 – 6 mask (1 = interrupt enabled)
- NMIN mask (1 = NMIN enabled)
- Bit 1 = LRQ1N
- Bit 2 = LRQ2N
- Bit 3 = LRQ3N
- Bit 5 = LRQ5N
- Bit 6 = LRQ6N
- Bit 7 = NMIN

Interrupt Handler

SCB68155³

Register R4 — A3A2A1 = 100

	7	6	5	4	3	2	1	0
R4								

LRQ mask* (read only).

Local interrupts can be polled through this register. During register I/O, bit 0 will be read as a 0.

Bit 1 = LRQ1N
 Bit 2 = LRQ2N
 Bit 3 = LRQ3N
 Bit 4 = LRQ4N

Bit 5 = LRQ5N
 Bit 6 = LRQ6N
 Bit 7 = NMIN

LRQn status (1 = interrupt pending)

NMIN status (1 = interrupt pending)

Register R5 — A3A2A1 = 101

	7	6	5	4	3	2	1	0
R5								

IRQ mask (read or write).

This register allows the user to mask system bus interrupts. During register I/O, bit 0 will be read as a 0.

Bit 1 = IRQ1N
 Bit 2 = IRQ2N
 Bit 3 = IRQ3N
 Bit 4 = IRQ4N

Bit 5 = IRQ5N
 Bit 6 = IRQ6N
 Bit 7 = IRQ7N

(1 = interrupt enabled)

Register R6 — A3A2A1 = 110

	7	6	5	4	3	2	1	0
R6								

IRQ status (read only).

System bus interrupts can be polled through this register. During register I/O, bit 0 will be read as 0.

Bit 1 = IRQ1N
 Bit 2 = IRQ2N
 Bit 3 = IRQ3N

Bit 5 = IRQ5N
 Bit 6 = IRQ6N
 Bit 7 = IRQ7N

IRQn status (1 = interrupt pending)

Register R7 — A3A2A1 = 111

	7	6	5	4	3	2	1	0
R7								

Last interrupt acknowledged (read only).

This register can be read by the local CPU to determine the last interrupt acknowledged. During register I/O, bits 7-4 will be read as 0.

0000 - none
 0001 - IRQ1N
 0010 - IRQ2N
 0011 - IRQ3N
 0100 - IRQ4N
 0101 - IRQ5N
 0110 - IRQ6N
 0111 - IRQ7N

1000 - none
 1001 - LRQ1N
 1010 - LRQ2N
 1011 - LRQ3N
 1100 - LRQ4N
 1101 - LRQ5N
 1110 - LRQ6N
 1111 - NMIN

Interrupt Handler

SCB68155¹

ABSOLUTE MAXIMUM RATINGS¹

PARAMETER	RATING	UNIT
Operating ambient temperature ²	0 to +70	°C
Storage temperature	-65 to +150	°C
Supply voltage ³	-0.5 to +7.0	V
Input voltage ³	-0.5 to +5.5	V
Voltage applied to output in off-state ³	-0.5 to +5.5	V

DC ELECTRICAL CHARACTERISTICS $T_A = 0^{\circ}\text{C}$ to $+70^{\circ}\text{C}$, $V_{CC} = 5.0\text{V} \pm 5\%$ ^{4, 5, 6}

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS		UNIT
			Min	Max	
V_{CC} V_{BB}	Supply voltage Supply voltage		4.75 1.35	5.25 1.65	V V
I_{CC} I_{BB} I_{IL} I_{IH} I_{OS}	V_{CC} supply current V_{BB} supply current Input low current Input high current Short circuit output current except LDTACKN	$V_{CC} = 5.25\text{V}$ $V_{BB} = 1.65\text{V}$ $V_{CC} = 5.25\text{V}$, $V_{BB} = 1.65\text{V}$, $V_{IL} = 0.4\text{V}$ $V_{CC} = 5.25\text{V}$, $V_{BB} = 1.65\text{V}$, $V_{IH} = 2.7\text{V}$ $V_{CC} = 5.25\text{V}$, $V_{OUT} = 0\text{V}$ ⁸		65 190 -20 20 -15	mA mA μA μA mA
V_{OL} V_{OH}	Output low voltage Output high voltage except LDTACKN	$V_{CC} = 4.75\text{V}$, $V_{BB} = 1.35\text{V}$, $I_{OL} = 8\text{mA}$ $V_{CC} = 4.75\text{V}$, $V_{BB} = 1.35\text{V}$, $I_{OH} = -3\text{mA}$		0.6 2.5	V V
I_I I_{CEX}	Input leakage current Open collector leakage current LDTACKN	$V_{CC} = 5.25\text{V}$, $V_{IN} = 5.25\text{V}$ $V_{CC} = 4.75\text{V}$, $V_{OUT} = 4.25\text{V}$		100 100	μA μA
V_{IC} V_{IL} V_{IH}	Input clamp voltage Input low voltage Input high voltage	$V_{CC} = 4.75\text{V}$, $I_{IN} = -10\text{mA}$	-1.5 2.0	0.8	V V V

NOTES:

- Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is stress rating only and functional operation of the device at these or at any other condition above those indicated in the operation section of this specification is not implied.
- For operating at elevated temperatures, the device must be derated based on $+150^{\circ}\text{C}$ maximum junction temperature and thermal resistance of $60^{\circ}\text{C}/\text{W}$ junction to ambient for ceramic package ($118^{\circ}\text{C}/\text{W}$ for plastic package).
- This product includes circuitry specifically designed for the protection of its internal devices from damaging effects of excessive static charge. Nonetheless, it is suggested that conventional precautions be taken to avoid applying any voltages larger than the rated maxima.
- Parameters are valid over specified temperature range.
- All voltage measurements are referenced to ground (GND). For testing, all inputs swing between 0.4V and 2.4V with a transition time of 3ns maximum and output voltages are checked at 0.8V and 2.0V.
- At any time, no more than one output should be connected to ground.
- t_{RST} is always greater than or equal to t_{OTM} .
- t_{TRST} is always greater than or equal to t_{OAH} .

Interrupt Handler

SCB68155

AC ELECTRICAL CHARACTERISTICS $T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = 5.0\text{V} \pm 5\%^{4, 5}$

SYMBOL	PARAMETER	TENTATIVE LIMITS		UNIT
		Min	Max	
Register read (see Figure 3)				
t_{RWS}	R/WN to CSDSN low set-up time	10		ns
t_{IACS}	IACKDSN high to CSDSN low set-up time	10		ns
t_{ADRS}	A1 - A3 valid to CSDSN low set-up time	30		ns
t_{DTV}	CSDSN low to D0 - D7 set-up time		89	ns
t_{ACCR}	CSDSN low to LDTACKN low read access time		$2t_{CKPD} + 116^B$	ns
t_{RWH}	CSDSN high to R/WN high hold time	0		ns
t_{ADRH}	CSDSN high to A1 - A3 valid hold time	0		ns
t_{DTH}	CSDSN high to D0 - D7 valid hold time	0	79	ns
t_{TST}^7	CSDSN high to D0 - D7 three state	0	80	ns
t_{ACK}	CSDSN high to LDTACKN high time	0	66	ns
t_{CSH}	CSDSN high time	10		ns
t_{DTCS}	LDTACKN low to CSDSN high	0		ns
Register write (see Figure 4)				
t_{RWS2}	R/WN low to CSDSN low set-up time	10		ns
t_{IACS}	IACKDSN high to CSDSN low set-up time	10		ns
t_{ADRS}	A1 - A3 valid to CSDSN low set-up time	30		ns
t_{DS}	D0 - D7 valid to CSDSN low set-up time	0		ns
t_{ACCW}	CSDSN low to LDTACKN low write access time		$2t_{CKPD} + 116^B$	ns
t_{RWH2}	CSDSN high to R/WN low hold time	0		ns
t_{ADRH}	CSDSN high to A1 - A3 valid hold time	0		ns
t_{DH}	CSDSN high to D0 - D7 valid hold time	0		ns
t_{ACK}	CSDSN high to LDTACKN high time	0	66	ns
t_{CSH}	CSDSN high time	100		ns
t_{DTCS}	LDTACKN low to CSDSN high time	0		ns
Vector mode (see Figure 5)				
t_{CSS}	CSDSN high to IACKDSN low set-up time	10		ns
t_{POL}	IACKDSN low to IACKN low propagation time	t_{CKPD}	$2t_{CKPD} + 68$	ns
t_{DAV}	IACKDSN low to D0 - D7 vector valid		103	ns
t_{ACCV}	IACKDSN low to LDTACKN low (vector access time)	t_{AKPD}	$t_{AKPD} + 116^B$	ns
t_{IKH}	IACKDSN high time	100		ns
t_{DAH}	IACKDSN high to D0 - D7 valid hold time	0	111	ns
t_{TRST}^8	IACKDSN high to D0 - D7 three state	0	115	ns
t_{IKDT}	IACKDSN high to LDTACKN high	0	81	ns
t_{PDH}	IACKDSN high to IACKN high propagation delay	0	42	ns
t_{DTIK}	LDTACKN low to IACKDSN high time	0		ns
t_{ADRS}	A1 - A3 valid to IACKDSN low set-up time	0		ns
t_{ADH}	IACKDSN high to A1 - A3 valid hold time	0		ns
Device supplies the vector mode (see Figure 6)				
t_{CSS}	CSDSN high to IACKDSN low set-up time	10		ns

Interrupt Handler

SCB68155

AC ELECTRICAL CHARACTERISTICS (Continued)

SYMBOL	PARAMETER	TENTATIVE LIMITS		UNIT
		Min	Max	
t _{PDL}	IACKDSN low to LIACKN low propagation time delay	t _{CKPD}	2t _{CKPD} + 68	ns
t _{KH}	IACKDSN high time	100		ns
t _{PDH}	IACKDSN high to LIACKN high propagation delay	0	42	ns
t _{ADS}	A1 – A3 valid to IACKDSN low set-up time	0		ns
t _{ADH}	IACKDSN high to A1 – A3 valid hold time	0		ns
Bus interrupt acknowledge (see Figure 7)				
t _{CSS}	CSDSN high IACKDSN low set-up time	10		ns
t _{PDL2}	IACKDSN low to BIACK low propagation delay	t _{CKPD}	2t _{CKPD} + 68	ns
t _{KH}	IACKDSN high time	100		ns
t _{PDH2}	IACKDSN high to BIACK high propagation delay	0	50	ns
t _{ADS}	A1 – A3 valid to IACKDSN low set-up time	0		ns
t _{ADH}	IACKDSN high to A1 – A3 hold time	0		ns
Reset timing (see Figure 8)				
t _{RST}	RESET low time	120		ns
Clock timing (see Figure 9)				
t _{CKPD}	Clock period	100		ns
t _{CKH}	Clock high	50		ns

Signetics

Microprocessor Products

SCB68172 VMEbus Controller (BUSCON)

Objective Specification

DESCRIPTION

The Signetics SCB68172 VMEbus Controller (BUSCON) is an interface device for the VMEbus. It can be used in three different configurations: master-only, slave-only, and master/slave. The SCB68172 can be used with a processor-type interface or with a DMA controller-type interface. In all configurations, it handles the VMEbus signaling protocol in compliance with revisions B and C of the VMEbus Specification.

CONFIGURATION/VERSION

Applications of the BUSCON are identified as follows (see figures 1 through 4):

VERSION	APPLICATION
PMS	Processor-type master/slave
DMAC	DMA controller-type master/slave
MS	Either PMS or (DMAC)
M	Master-only
S	Slave-only

All of these applications are handled by the SCB68172, with unused pins tied to stated logic levels in some of the applications.

Figure 5 shows a functional model of the SCB68172 logic. The ASN, MASN, LBRN, BGINN, and RELSE inputs are internally synchronized to CLK before being presented to the state machine which determines the major functions of the device. The SLVN, ONBD, and VMEN signals are used directly in the state machine, although they are highly qualified to prevent metastable conditions on the state machine outputs. The BRN, BBSYN and LBGN signals are direct state machine outputs, while ASN, MASTENN, VMEENN, SLVSELN, and BGOUTN are derived from the state machine outputs plus some combinatorial qualification.

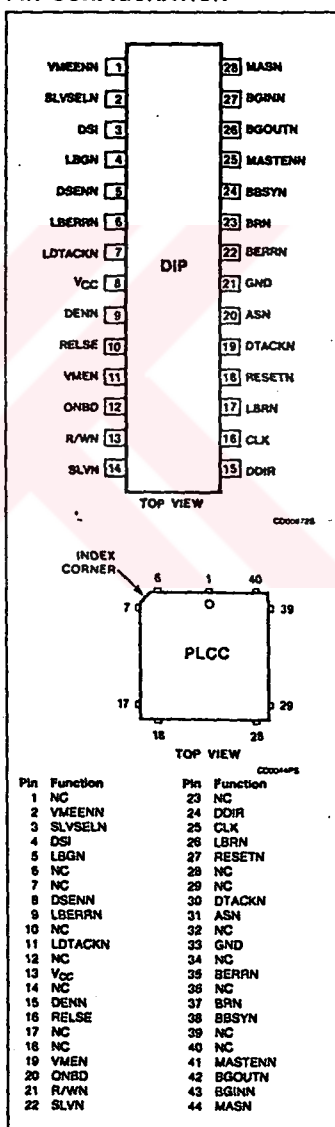
The DSI, R/WN, DTACKN, BERRN, LDTACKN, and LBERRN inputs function largely as direct combinatorial inputs. The DDIR, DTACKN, BERRN, LDTACKN, LBERRN, and (when applicable) MASN outputs are largely derived directly from these direct inputs, with some qualification from the state ma-

chine outputs. The DENN and DSENN outputs have complex multi-case logic which uses both the direct inputs and the state machine outputs.

FEATURES

- Master, slave, or master/slave (dual ported) applications
- Helps assure VMEbus compatibility
- Allows for address decoding time
- Processor or DMA controller interface for master/requester
- Master/requester logic allows release on request (ROR) or release when done (RWD) operation, early or intercycle release
- Supports and exploits address lookahead

PIN CONFIGURATION



VMEbus Controller (BUSCON)

SCB68172

ORDERING CODE

PACKAGES	$V_{CC} = 5V \pm 5\%$, $T_A = 0^\circ C$ to $70^\circ C$
Ceramic DIP	SCB68172AC25I28
Plastic DIP	SCB68172AC25N28
Plastic LCC	SCB68172AC25A44

PIN DESCRIPTION

MNEMONIC	PIN NO.		TYPE	CONFIG	NAME AND FUNCTION
	DIP	PLCC			
CLK	16	25	I	All	Clock: User-supplied clock signal.
SLVN	14	22	I	S,MS	Slave: Active-low decode of the VMEbus address and address modifier lines indicating that the current cycle is for this board. SLVN should not be qualified with ASN nor VMEENN. It is first sampled on the rising clock edge after the rising edge on which ASN is first detected. It must remain valid until after the next low-going edge on DTACKN or BERRN. In a master-only application, SLVN should be pulled up to V_{CC} .
ASN	20	31	I/O	M,MS S	Address Strobe: Direct connect to VMEbus ASN.
VMEN	11	19	I	M,MS	VME Decode: Active-low decode of the master's address lines, indicating that the master's current cycle is for a slave on the VMEbus. VMEN should not be qualified with MASN nor MASTENN. It is first sampled on the rising clock edge after the one on which MASN is first detected. Thereafter, it must remain valid until MASN goes false (high). In a slave-only configuration, VMEN should be pulled up to V_{CC} .
LBRN	17	26	I	M,MS	Local Bus Request: Connected to the low-active bus request output of a DMA controller. Typically tied to a high logic level in processor-type interfaces.
ONBD	12	20	I	MS	Onboard: Active-high decode of the master's address lines, indicating that the master's current cycle is for an onboard slave that is dual-ported with the VMEbus. ONBD should not be qualified with MASN or MASTENN. It is first sampled on the rising clock edge after the one on which MASN is first detected. Thereafter, it must remain valid until after MASN goes false (high). In a master-only or slave-only application, ONBD should be grounded. If a master/slave configuration does not contain "local slaves" as shown in figure 3, VMEN and ONBD should both be connected to an active-low "VME decode". A cycle between the onboard master and a local slave (VMEN high, ONBD low) is ignored by BUSCON, and can proceed concurrently with a cycle between another VMEbus master and an onboard dual-ported slave.
MASN	28	44	I/O	M,PMS DMAC	Master's Address Strobe: RMW and Sequential VMEbus master cycles are accomplished by holding MASN low across several data strobes. If LBGN is high at the end of the RESETN low time, the state of ASN is driven onto MASN whenever BUSCON does not have control of the VMEbus. In a slave-only application, MASN should be pulled up to V_{CC} .
MASTENN	25	41	O	MS	Master Enable: In a master/slave application, the low state of this signal enables the master onto the shared bus and enables shared-bus responses back to the master. MASTENN also provides the direction control for the VMEbus address transceivers.
VMEENN	1	2	O	M,MS	VME Enable: Active-low enable for the VMEbus address drivers (master-only) or transceivers (master/slave).
SLVSELN	2	3	O	S,MS	Slave Select: Active-low select for the onboard slave resources (the shared/dual ported slaves in a master/slave application). Derived from MASN and ONBD, or from ASN and SLVN. If necessary, MASTENN and VMEENN are cycled to provide address set-up time before SLVSELN is asserted.
BRN	23	37	O	M,MS	Bus Request: Active-low, open collector VMEbus request. Direct connect to the selected level among VMEbus BR0* - BR3*.
BGINN	27	43	I	M,MS	Bus Grant In: Direct connect to the selected level among VMEbus BG0IN* - BG3IN*.

VMEbus Controller (BUSCON)

SCB68172

PIN DESCRIPTION (Continued)

MNEMONIC	PIN NO.		TYPE	CONFIG	NAME AND FUNCTION
	DIP	PLCC			
BGOUTN	26	42	O	M,MS	Bus Grant Out: Direct connect to the selected level among VMEbus BG0OUT* - BG3OUT*.
BBSYN	24	38	O	M,MS	Bus Busy: Active-low, open collector direct connect to VMEbus BBSY*.
LBN	4	5	I/O	M,MS	Local Bus Grant: Active-low, open collector. Can be connected to the bus grant input of a DMA controller. Asserted when LBRN is low and the BUSCON has control of the VMEbus. Grounded, or driven low during RESET, to prevent the ASN state being driven onto MASN when the BUSCON is not in control of the VMEbus.
RELSE	10	16	I	M,MS	Release: Active-high signal indicating that the onboard logic wants to release control of the VMEbus. In DMA controller applications, the BGACKN output of the DMAC should be connected to (or positive-logic ANDed into) this signal.
DTACKN	19	30	I/O O	M,MS S	Data Transfer Acknowledge: Active-low, open collector. Direct connect to VMEbus DTACK*.
BERRN	22	35	I/O O	M,MS S	Bus Error: Active-low, open collector. Direct connect to VMEbus BERR*.
LDTACKN	7	11	O, I/O I	M, MS S	Local DTACK: Active-low, open collector. Output to onboard master and/or input from onboard slave.
LBERRN	6	9	O, I/O I	M, MS S	Local Bus Error: Onboard active-low, open collector. Output to onboard master and/or input from onboard slave.
DSI	3	4	I	All	Data Strobe: The high-active or of the onboard data strobes, which may be from the onboard master or VMEbus master.
DSENN	5	8	O	M,MS	Data Strobe Enable: Low-active, used to enable the onboard data strobes onto the VMEbus.
R/WN	13	21	I	All	Read/Write: Onboard R/W signal from the onboard master or VMEbus master.
DDIR	15	24	O	All	Data Direction Control: Direction control for VMEbus data transceivers. A high level indicates the "onboard-to-VMEbus" direction.
DENN	9	15	O	All	Data Enable: Low-active enable for VMEbus data transceivers.
RESETN	18	27	I	All	RESET: Low-active reset. Clears BUSCON logic.
Vcc	8	13	I	All	Power Supply: +5 volts.
GND	21	33	I	All	Ground: 0V reference.

ADDRESS DECODING

Both the VMEbus and current high-speed processors provide short address-to-strobe set-up times, such that with all but the most simple decode schemes, designers must provide for delaying the strobe until decoder outputs have become valid. However, BUSCON operates as a finite-state machine and must synchronize address strobes and other inputs before it can act on them. The BUSCON design allows this synchronization time to be overlapped with address decoding.

In general, most BUSCON inputs do not have critical timing parameters. Exceptions are the three address decode signals. Figure 8 shows a somewhat simplified model of the VMEbus slave selection logic in the SCB68172. The ASN signal is qualified and sampled by flip-flops A and B on each rising edge of CLK. Flip-flop C is set when ASN is high between cycles, and cleared by a falling edge on DTACKN or BERRN.

On the rising edge of CLK after flip-flop B samples ASN low, if C is still set and SLVN is low, flip-flop D is set, indicating slave selection. (In reality, there are more terms in the logic to set D.) Once D is set, it remains set until flip-flop A samples ASN high and a similar circuit (not shown) samples DSI low.

Since SLVN is a direct input to flip-flop D, it must meet a set-up time to the clock after ASN is sampled low. Viewed asynchronously, SLVN should be valid slightly less than one clock period after ASN goes low, through shortly after DTACKN goes low.

The onboard logic driven by MASN, VMEN, and ONBD is similar but not as complex. Neither flip-flop C nor a data-strobe-related signal are used, and there are separate flip-flops corresponding to D for each of the VMEN and ONBD signals. VMEN and ONBD should be valid slightly less than one clock period after MASN goes low, through shortly after MASN goes high.

Because ASN and MASN are used directly to clear the corresponding "flip-flop B", their minimum high times are relatively short. However, for consecutive cycles, the inactive time of "flip-flop D" (and signals derived from it) will be at least two clock periods because of the feedback path from "D" to "B".

VMEbus ARBITRATION

BUSCON begins VMEbus arbitration by driving BRN low if MASN, VMEN and ONBD indicate a VMEbus cycle (or if LBRN goes low) and the BUSCON does not have control of the bus.

After driving BRN, BUSCON waits for the BGINN input which is connected to the selected one among the four VMEbus arbitration levels. (During this time it can of course respond to cycles from other VMEbus masters.) When it receives BGINN low while holding BRN low, it drives BBSYN low and thereafter releases BRN. (If it receives

VMEbus Controller (BUSCON)

SCB68172

ABSOLUTE MAXIMUM RATINGS¹

PARAMETER	RATING	UNIT
Supply voltage	-0.5 to +7.0	V
Input voltage	-0.5 to +5.5	V
Operating temperature range ²	0 to +70	°C
Storage temperature	-65 to +150	°C

DC ELECTRICAL CHARACTERISTICS $V_{CC} = 5.0V \pm 5\%$, $T_A = 0^\circ C$ to $+70^\circ C$ ^{3,4}

PARAMETER	TEST CONDITIONS	LIMITS		UNIT
		Min	Max	
DSI, ONBD, SLVN, VMEN, LBRN, RELSE, RESETN I_{IL} Input low current I_{IH} Input high current V_{IL} Input low voltage V_{IH} Input high voltage	$V_{IN} = 0.4V$ $V_{IN} = 2.7V$		-400 20 0.8	μA μA V V
ASN, MASN, BGINN, DTACKN, BERRN, LDTACKN, LBERRN I_{IL} Input low current I_{IH} Input high current V_{TH+} High-going threshold voltage V_{TH-} Low-going threshold voltage $V_{TH+} - V_{TH-}$ Hysteresis	$V_{IN} = 0.4V$ $V_{IN} = 2.7V$		-400 20 1.65 1.15	μA μA V V V
R/WN, CLK I_{IL} Input low current I_{IH} Input high current V_{IL} Input low voltage V_{IH} Input high voltage	$V_{IN} = 0.4V$ $V_{IN} = 2.7V$		-800 40 0.8	μA μA V V
BGOUTN, VMEENN, SLYSELN, DSENN, DENN, DDIR (low current totem pole) V_{OL} Output low voltage V_{OH} Output high voltage I_{OS} Short-circuit output current	$I_{OL} = 8mA$ $V_{CC} = 4.75V$ $I_{OH} = -0.4mA$ $V_{CC} = 4.75V$ $V_{OUT} = 0V$		0.5	V V mA
MASTENN (high current totem pole) V_{OL} Output low voltage V_{OH} Output high voltage V_{OH} Output high voltage I_{OS} Short-circuit output current	$I_{OL} = 24mA$ $V_{CC} = 4.75V$ $I_{OH} = -2.6mA$ $V_{CC} = 4.75V$ $I_{OH} = -1mA$ $V_{CC} = 4.75V$ $V_{OUT} = 0V$		0.5 2.4 2.7 -40	V V V mA
MASN (low current tristate) V_{OL} Output low voltage V_{OH} Output high voltage I_{OS} Short-circuit output current I_{OZL} Three-state-off leakage current, low level I_{OZH} Three-state-off leakage current, high level	$I_{OL} = 8mA$ $V_{CC} = 4.75V$ $I_{OH} = -0.4mA$ $V_{CC} = 4.75V$ $V_{OUT} = 0V$ $V = 0.4V$ $V = 2.7V$		0.5 2.7 -15 -100 -21 20	V V mA μA μA
ASN (high current tristate) V_{OL} Output low voltage V_{OH} Output high voltage V_{OH} Output high voltage I_{OS} Short-circuit output current I_{OZL} Three-state-off leakage current, low level I_{OZH} Three-state-off leakage current, high level	$I_{OL} = 64mA$ $V_{CC} = 4.75V$ $I_{OH} = -7.8mA$ $V_{CC} = 4.75V$ $I_{OH} = -3mA$ $V_{CC} = 4.75V$ $V_{OUT} = 0V$ $V = 0.4V$ $V = 2.7V$		0.5 2.4 2.7 -120 -300 -60 60	V V V mA μA μA

VMEbus Controller (BUSCON)

SCB68172

DC ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER	TEST CONDITIONS	LIMITS		UNIT
		Min	Max	
LDTACKN, LBERRN, LBGN (low current open collector) V _{OL} Output low voltage	I _{OL} = 8mA, V _{CC} = 4.75V V = 5.5V		0.5	V
I _{OH} Output leakage current			100	μA
DTACKN, BERRN, BRN, BBSYN (high current open collector) V _{OL} Output low voltage	I _{OL} = 40mA, V _{CC} = min I _{OL} = 70mA, V _{CC} = min V = 2.7V V = 5.5V		0.4	V
V _{OL} Output low voltage			0.5	V
I _{OH} Output leakage current			60	μA
I _{OH} Output leakage current			250	μA
I _{CC} V _{CC} Supply current	V _{CC} = max		160	mA

NOTES:

- Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is stress rating only and functional operation of the device at these or at any other conditions other than those indicated in the Electrical Characteristics section of this data sheet is not implied.
- For operating at elevated temperatures, the device must be derated based on +150°C maximum junction temperature.
- Parameters are valid over specified temperature range.
- All voltage measurements are referenced to ground (V_{SS}). For testing, all signals swing between 0.4V and 2.4V with a transition time of 10ns maximum. All time measurements are referenced at input voltages of 0.8V and 2.0V as appropriate.

AC ELECTRICAL CHARACTERISTICS V_{CC} = 5.0V ± 5%, T_A = 0°C to +70°C^{3,4}

NO.	FIGURE	CHARACTERISTIC	TENTATIVE LIMITS		UNIT	NOTES
			Min	Max		
Clock and general parameters						
1	9-18, 20	CLK cycle time (clk)	55		ns	
2	9-18, 20	CLK low time	25		ns	
3	9-18, 20	CLK high time	20		ns	
Asynchronous input set-up time to CLK high						
4	9, 10, 11, 12, 13, 18, 20	ASN, MASN low	15		ns	5
5	9, 10, 11, 13	ASN, MASN high	14		ns	5
6	9, 10, 11, 12, 13, 20	SLVN, VMEN low	22		ns	6
7	11, 17, 18	SLVN, VMEN high	20		ns	6
8	9, 10, 13	ONBD low	22		ns	6
9	18	ONBD high	25		ns	6
10	13, 16, 20	LBRN, RELSE, BGINN low	9		ns	5
11	14, 15	LBRN, RELSE, BGINN high	11		ns	5
12	11, 12, 13	DSI low (end of slave cycle)	16		ns	5
Asynchronous input hold time from CLK high						
13		ASN, MASN, DSI	0		ns	7
14		ONBD, VMEN	0		ns	8
15		LBRN, RELSE, BGINN	2		ns	7
Propagation, CLK high to:						
16	16	BGOUTN low	12	27	ns	
17	20	LBGN low	12	30	ns	
18		LBGN high	16	41	ns	
19	13, 16, 20	BBSYN, BRN low	17	37	ns	
20	13, 20	BBSYN, BRN high (C _L = 50)	20	47	ns	
		(C _L = 300)	40	68	ns	
21	9, 10, 13	ASN low	15	37	ns	
22	9, 10	ASN high	13	31	ns	
23	11, 12, 13, 18, 20	SLVSELN, VMEENN low	14	35	ns	
24	13, 18, 20	MASTENN low	15	38	ns	
Miscellaneous						
25		RESETN width low	6clk		ns	9
26	16	BGINN low to BGOUTN low	clk+10	2clk+35	ns	
27	16	BGINN high to BGOUTN high	3	10	ns	
28	9, 11	R/WN high to DSI high (start of read cycle)	10		ns	
29	9, 12	DSI low to RWN low (end of read cycle)	10		ns	

VMEbus Controller (BUSCON)

SCB68172

AC ELECTRICAL CHARACTERISTICS (Continued)

NO.	FIGURE.	CHARACTERISTIC	TENTATIVE LIMITS		UNIT	NOTES
			Min	Max		
Address decoding						
30	11, 12, 13, 20	ASN low to SLVN valid		clk-5	ns	
31	9, 10, 13, 18	MASN low to VMEN valid		clk-5	ns	
32	9, 10, 13, 18	MASN low to ONBD valid		clk-7	ns	
33	17	SLVN high after DTACKN low	14		ns	
34	9, 10	VMEN, ONBD valid after MASN high	6		ns	
35	9, 10	MASN high	15		ns	10
36	9, 10, 11	DSI low	20		ns	
37	11	ASN high	20		ns	10
VMEbus acquisition						
38	13	MASN low to BRN low	clk+15	2clk+45	ns	11
38A	13, 20	ASN low to BGINN low (early release by other master)	10		ns	
39	13, 20	BGINN low to BBSYN low	clk+15	2clk+45	ns	
40	13, 20	BBSYN low to BRN high	clk	clk+50	ns	
41	13	BGINN low to VMEENN low, DENN low (write)	clk+12	2clk+40	ns	12
42	13	ASN high to VMEENN low, DENN low (write)	11	31	ns	12,13
43	13	VMEENN low to ASN low	2clk-10	2clk+15	ns	14
43A	13, 16, 20	BBSYN or BGOUTN low to BGINN high	10		ns	
VMEbus master cycles						
44	9, 10	ASN high (successive VMEbus master cycles)	2clk-15		ns	14
45	9, 10	MASN low to ASN low (subsequent cycle retaining VMEbus control)	clk+13	2clk+45	ns	14
46	9, 10	ASN low to DSEN low	-4	5	ns	17, 18
47	10, 13	R/WN low to DDIR high	6	15	ns	
48	10, 13	DDIR high to DENN low (write)	2	7	ns	15
49	10	DTACKN and BERRN high to DENN low (write, 1st bus cycle or preceded by read)	7	21	ns	15
50	10	DENN low to DSENN low (write)	clk+10	2clk+40	ns	17
51	9, 11, 13	R/WN high to DDIR low	6	16	ns	
52	9	DDIR low to DENN low (read)	5		ns	16
53	9	DSI high to DENN low (read)	8	18	ns	18
54	9	DSI high to DSENN low (read)	8	18	ns	18
55	9, 10	DTACKN and BERRN high to DSENN low	6	19	ns	17, 18
56	9, 10	DTACKN or BERRN low to LDTACKN or LBERRN low	6	17	ns	
57	9, 10	LDTACKN or LBERRN low to DSI low or MASN high	0		ns	
58	9, 10	DSI low to DSENN high	7	16	ns	19
59	9, 10	MASN high to DSENN high	13	28	ns	
60	10	R/WN high to DSENN high (after a write)	5	14	ns	20
61	9, 10	MASN high to ASN high (unless early release)	clk+11	2clk+38	ns	
62	9	MASN high to DENN high (read)	13	28	ns	21
63	9	DSI low to DENN high (read)	7	16	ns	21
64	10	R/WN high to DENN high (write)	5	14	ns	22
65	9, 10	DSENN high to LDTACKN and LBERRN high	7	24	ns	23
66	9, 10	DTACKN and BERRN high to LDTACKN and LBERRN high	7	23	ns	23
VMEbus release						
67	14	BBSYN low	2clk		ns	
68	14, 15	BGINN high to BBSYN high	clk+18	2clk+70	ns	24
69	14, 15	RELSE high to BBSYN high	clk+20	2clk+72	ns	24
70	14	ASN low to BBSYN high (early release)	clk-25		ns	
71	14	MASN high to VMEENN high (early release)	8	20	ns	
72	14	MASN high to DENN high (early release, write)	8	20	ns	
73	14	DENN (write) and VMEENN high to ASN high (early release)	5	15	ns	
74	14	ASN high to ASN released (early release)	5	20	ns	
75	15	ASN high to BBSYN high (intercycle release)	clk-10		ns	
76	15	DENN (write) and VMEENN high to BBSYN high (intercycle release)	5	30	ns	
77	14, 15	BBSYN high to RELSE low	0		ns	

VMEbus Controller (BUSCON)

SCB68172

AC ELECTRICAL CHARACTERISTICS (Continued)

NO.	FIGURE	CHARACTERISTIC	TENTATIVE LIMITS		UNIT	NOTES
			Min	Max		
Master to slave switching						
78	11, 13, 20	(External) ASN low to MASTENN high	10	28	ns	25
79	11, 13, 20	SLVN Low to MASTENN high	7	17	ns	25
80	11	SLVSELN high to MASTENN high	7		ns	25
81	11, 20	MASTENN high to VMEENN low	14	clk+36	ns	
81A	11, 13	VMEENN low to DDIR change	-5	+5	ns	
82	11, 13, 20	VMEENN low to SLVSELN low	clk-11	clk-5	ns	26
VMEbus slave cycles						
83	12	SLVSELN high (successive slave cycles)	2clk-5		ns	26
84	12	ASN low to SLVSELN low (already in slave state)	clk+12	2clk+40	ns	26
85	12, 13	R/WN low to DDIR low	6	14	ns	
86	12, 13	DDIR low to DENN low (write)	5	12	ns	27
87	12	LDTACKN and LBERRN high to DENN low (write)	7	20	ns	27
88	12, 13	R/WN high to DDIR high	5	14	ns	
89	11	DDIR high to DENN low (read)	2	7	ns	28
90	11	ASN low to DENN low (read)	clk+20	2clk+47	ns	28
91	11	DSI high to DENN low (read)	6	16	ns	28
92	11, 12, 13, 18	SLVSELN low and DSI high to LDTACKN or LBERRN low	0		ns	29
93	11, 12, 13, 18	LDTACKN or LBERRN low to DTACKN or BERRN low	10	20	ns	
94	12, 13	LDTACKN or LBERRN low to DENN high (write)	9	22	ns	
94A	11, 12, 13, 18	DTACKN or BERRN low to DSI low or ASN high	0		ns	
95	11	DSI low to DENN high (read)	7	16	ns	
96	11, 12, 18, 20	ASN high to SLVSELN high	13	28	ns	
97	11, 12, 13	DSI low to DTACKN and BERRN high (C _L = 50) (C _L = 300)	17 37	37 60	ns ns	
98	11, 12, 13, 20	DSI low to LDTACKN and LBERRN high	0	35	ns	30, 32
99	11, 12	LDTACKN and LBERRN high to (next) DSI high	0		ns	30
Slave to master switching						
100	18	MASN low to VMEENN, DENN (VMEbus slave write) high	18	clk+47	ns	31
101	18	ONBD high to VMEENN, DENN (VMEbus slave write) high	8	24	ns	31
102		VMEN low to VMEENN, DENN (VMEbus slave write) high	18	21	ns	31
103	13, 18, 20	SLVSELN high to VMEENN, DENN (VMEbus slave write) high	0		ns	31
104	13, 20	DSI low (selected) to VMEENN, DENN (VMEbus slave write) high	14	clk+40	ns	31
105	13, 18, 20	VMEENN high to MASTENN low	24	clk+20	ns	
107	13, 20	MASTENN low to VMEENN low, DENN low (write, if next cycle on VMEbus)	3		ns	12,15
108	18	MASTENN low to SLVSELN low (if next cycle on board)	clk-13	clk	ns	33
Onboard cycles						
109	18	SLVSELN high (successive onboard cycles)	3clk+4		ns	33
110	18	MASN low to SLVSELN low (MASTENN already low)	clk+17	2clk+42	ns	33
111	18	MASN high to SLVSELN high	12	26	ns	

Signetics

SMVME1000 VMEbus Monitor Board

Product Specification (Brief)

Microsystems Products

DESCRIPTION

The VMEbus Monitor Board is a low-cost diagnostic aid which provides a means of capturing specific bus transactions and displaying the bus signal activity relevant to the captured cycle. A single module, the Bus Monitor has been extended to allow convenient access to operator controls and displays. Address, address modifier, and data bus values are displayed as seven-segment hexadecimal characters. Light emitting diodes indicate other relevant bus conditions.

Comprised of operator controls, comparators, latches, display drivers and displays, the Signetics VMEbus Monitor Board provides an easily understood method of program tracing and hardware troubleshooting. A passive observer, the module is not capable of generating VMEbus signals other than SYSRESET. A reset push button is provided for convenience.

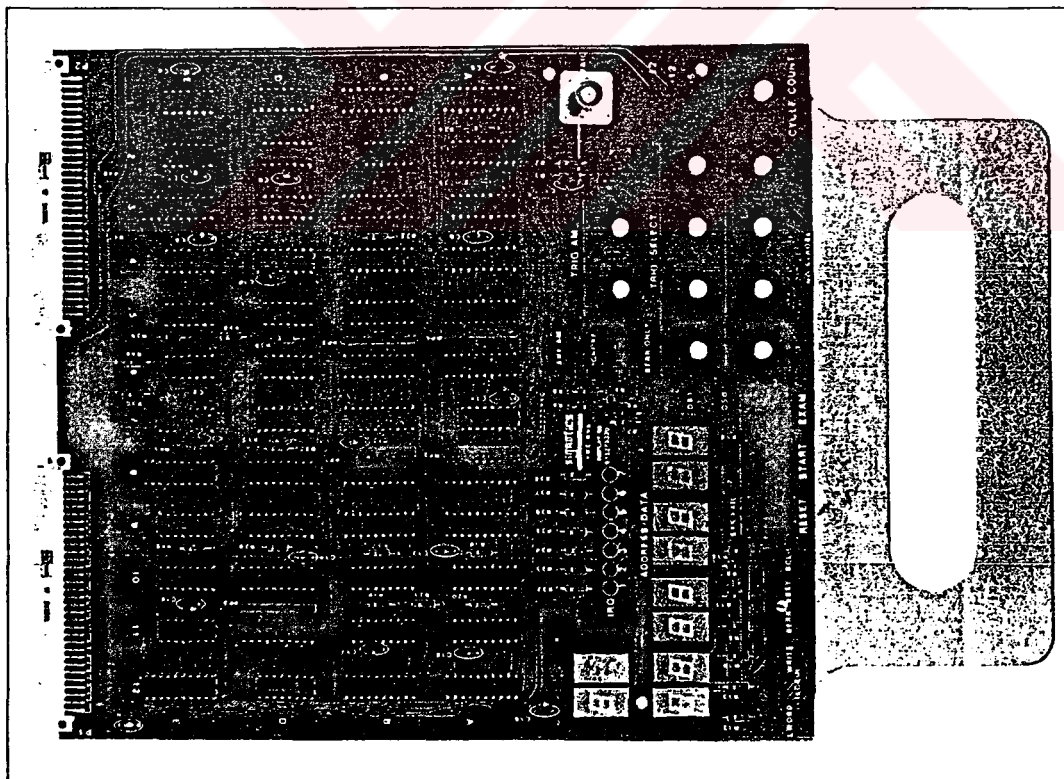
FEATURES

- Monitors and Displays VMEbus Transfers
 - Easy-to-read seven-segment displays

- LED display of relevant backplane signals

- Triggers on Address or Data Value
 - Hexadecimal rotary switches provide easy, accurate selection of trigger value
 - Trigger cycle may be qualified as READ ONLY, WRITE ONLY, or READ/WRITE
- Subsequent Cycle Capturing
- Operator Control of Bus Error Response
- Trigger Output for External Test Equipment

4



VMEbus Monitor Board

SMVME1000

OPERATOR CONTROLS

The Signetics VMEbus Monitor Board provides hexadecimal rotary switches for trigger value selection. Two of these switches allow address modifier selection. Address modifier values greater than '3F' are used to control the compare circuitry, the display, and the effect BERR has on the VMEbus Monitor Board.

A one-of-eight rotary switch controls which subsequent cycle is to be captured after reaching the trigger cycle.

A three-position slide switch provides a means of qualifying the trigger cycle as READ ONLY, WRITE ONLY, or READ/WRITE.

Controls include a RESET push button, a START push button, and a push button labeled "EXAM". Depressing the EXAM button causes data bus values to be enabled to the comparators and the displays. When released, the address bus values are displayed and compared.

LATCHES

Each address bus signal and data bus signal is connected to a latch input. These latches store the bus states of the cycle being captured and the contents are displayed as determined by the position of the EXAM push button. Latches are also provided for VMEbus signals which are displayed via light-emitting diodes.

COMPARATOR

The Signetics VMEbus Monitor Board is capable of comparing short, standard, and extended address combinations to values selected by the operator. Address modifiers may be compared to selected values or ignored. Data bus comparison may be performed on words or long words. The result of a successful comparison is an enable for immediate or subsequent cycle capture. If BERR is enabled and asserted, an immediate extended capture is performed regardless of the state of the comparator. It is also possible to ignore BERR.

DISPLAYS

The Signetics VMEbus Monitor Board provides a direct hexadecimal readout of captured values via common cathode seven-segment displays. A two-speed scan circuit reduces the power required for display illumination and increases character brightness when a trigger cycle is encountered.

SPECIFICATIONS

Dimensions

233.4mm X 248mm

Power

1.2A typical (2.1A max) @ +5VDC

20mA @ +12VDC

20mA @ -12VDC

Temperature

0°C to +55°C operating

Humidity

8% to 90% non-condensing

The Signetics VMEbus Monitor Board is a slave device.

