

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

85021

BİR KONİK KESİT FONKSİYONU AĞININ TÜMDEVRE OLARAK GERÇEKLENMESİ

ELEKTRONİK VE HAB. MÜHENDİSİ KEMAL HACIOĞLU

F.B.E. Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Elektronik programında
Hazırlanan

YÜKSEK LİSANS TEZİ

T.C. YÜKSEKÖĞRETİM KURULU
ULUSAL MERKEZİ

Tez Danışmanı: Prof. Dr. Atilla ATAMAN

Prof. Dr. Halit PASTACI

Prof. Şefik SARIKAYALAR

İSTANBUL, 1999

İÇİNDEKİLER

ÖNSÖZ.....	i
ÖZET.....	ii
ABSTARCT.....	iii
1. YAPAY SİNİR AĞLARI	1
1.1 Giriş.....	1
1.2 Gelişim Tarihi.....	2
1.3 Yapay Sinir Ağlarına Genel Bir Bakış.....	4
1.4 Persptron.....	5
1.5 MLP.....	6
1.5.1 MLP ile ilgili bazı temel kavramlar.....	8
1.6 RBF Ağı.....	9
1.6.1 RBF'in Fonksiyonel Kabiliyeti.....	10
1.6.2 RBF öğrenme algoritmaları.....	12
2. KONİK KESİT FONKSİYONU AĞI(CSFN)	13
2.1 Giriş.....	13
2.2 Konik Kesitler.....	14
2.3 Konik Kesit Fonksiyonu Ağı (CSFN)	16
3. MOS	19
3.1 Analog Tümdevrelerde MOS Teknolojisinin Yeri.....	19
3.2 MOS Transistorun Temel Bağlantıları.....	20
3.2 MOS Transistorda Eğrisellik.....	24
3.2.1 Kanal boyu modülasyonu.....	24
3.2.2 Gövde Etkisi.....	26
3.3.3 Mobilitenin Zayıflama Etkisi.....	27
4. ANALOG TÜMDEVRE YAPI BLOKLARI	28
4.1 Akım Aynaları.....	28
4.1.1 Basit Akım Aynası.....	28
4.1.2 Kaskod Akım Aynası.....	30
4.3 Geçiş İletkenliği Elemanı.....	31
4.4 Doğrusal Geçiş Çevrimli Vektörel Toplama Devresi.....	34
4.5 Çarpma Devresi.....	37
4.5.1 Basit Fark Kuvvetlendiricisi.....	38
4.5.2 Katlanmış Gilbert Hücresi.....	41
4.6 Zayıflatıcı Devre.....	44
4.6.1 Temel aktif zayıflatıcı.....	44
4.6.2 Lineerleştirilmiş aktif zayıflatıcı.....	45

5.	TÜMDEVRE OLARAK GERÇEKLENEN KONİK KESİT FONKSİYONU AĞININ TANITIMI.....	49
5.1	MLP Ağı.	49
5.2	Euklid Mesafesini Hesaplayan Devre.....	50
6.	SİMÜLASYON SONUÇLARI.....	51
6.1	Geçişiletkenliği Devresi ve Simülasyonu.....	51
6.2	Çarpıcı Devre ve Simülasyonu.....	52
6.3	Vektörel Toplama Devresi ve Simülasyonu.....	54
6.4	Aktif Direnç Elemanı.....	55
6.5	Euklid Mesafesi Hesaplama Devresi ve Simülasyonu.....	55
6.6	MLP Ağı ve Simülasyonu.....	58
6.7	Konik Kesit Fonksiyonu Ağı Simülasyon Sonuçları.....	59
7.	EKLER.....	61
Ek 1		62
Ek 2		63
Ek 3		66
Ek 4		68
Ek 5		69
Ek 6		72
Ek 7		73
Ek 8		75
KAYNAKLAR		76
ÖZGEÇMİŞ		77

Anneciğime ve sevgili nişanlıma...



ÖZET

İnsan, bilinmeyen ve karmaşık bir ortamdaki tanıdık bir yüzü 200ms gibi kısa bir sürede tanıyabilmektedir. Yine, bir kayakçı engebeli bir pistte, dengesini yitirmeden saatte 150 km'lik yüksek bir hız ile slalom yaparak dağdan aşağı inebilmektedir. Biri görüntü tanıma işinin diğeri robotik kontrolün en uç örnekleri. Bu iki mükemmel örneğin arkasındaki mükemmel yetenek... İnsan beyni...

Yapay sinir ağlarının ortaya çıkışı, insan beyninin karmaşık problemlerin çözümünde ortaya koyduğu yüksek hesaplama kabiliyetinin fark edilmesi ile başlar. Son yıllarda bu konuda birçok ağ modeli ve öğrenme algoritması sunulmuştur. Tümdevre teknolojisindeki ilerlemeler bu ağ modellerinin gerçekleştirilmesine imkan sağlamaktadır.

Bu tez, MLP ve RBF ağlarını içeren konik kesit fonksiyonu ağları ile ilgilidir. MLP'deki karar sınırları hiperdüzlemsel (açık) RBF'teki karar sınırları hiperküreseldir (kapalı). MLP ve RBF'teki karar sınırları konik kesit fonksiyonlarının özel bir durumudur. Konik kesit fonksiyonlar için bu karar sınırlarının dışında hiperbol, parabol, elips gibi arada kalan karar sınırları da vardır. Konik kesit fonksiyonu ağındaki temel fikir biri açık diğeri kapalı olan bu iki karar sınırını tek bir ağ modeli ile birlikte elde edebilmektedir.

Bu çalışmada, iki girişli ve tek katmanlı bir konik kesit fonksiyonu ağının analog CMOS tümdevre olarak tasarımı sunulmaktadır. Ağın girişler gerilimidir. Girişlerin -2V ile 2V arasındaki değişimi için devre istenilen performansı göstermektedir.

Devre iki temel bloktan oluşmaktadır. İlk kısım iki girişin ağırlıklı toplamını alır. İkinci kısım girişlerin bir merkeze göre euklid mesafesini hesaplar.

İlk kısım iki analog çarpıcıdan oluşur. İkinci kısım iki geçişiletkenliği elemanı, bir vektörel toplama elemanı, bir topraklanmış aktif direnç ve bir analog çarpıcıdan oluşur. Devrenin tasarımı Tübitak YİTAL 3µm Level 3 parametrelerine göre ve serimi 3µm proses kurallarına göre yapılmıştır.

ABSTRACT

Human being can recognize any acquaintance face in an unknown and complex environment in a short time as 200ms. Again, a skier can ski down a hill on a rough track without losing his balance in a velocity as 150km per hour. Those are two radical examples one from image recognition the other from robotic control. What is the capability behind those two miracle examples...? Human brain...

Work on artificial neural networks has been motivated right from its inception by the recognition of high computing capability that the brain offers for very complex problems. In recent years many neural algorithms and several neural networks have been proposed. The developments on VLSI let the implementation of that proposed networks.

This thesis is concerned with the conic section function networks that contains MLP and RBF nets. The decision boundaries are hyperplanar (open) and hyperspherical (closed) in MLP and in RBF, respectively. The decision boundaries of MLP and RBF are special cases of conic section functions. In conic section functions, there are intermediate types of decision boundaries such as hyperbolas, parabolas, ellipses. The main idea in conic section function networks is to obtain those open and closed decision boundaries in a single network model.

In this work, the analog CMOS design of a conic section function network that has two input and that is one layered is presented. The inputs of the network are voltage. The circuit can show the aimed performance for the variations of inputs between -2V and 2V.

The circuit is constructed by two main blocks. First block computes weighted sum of inputs. Second block computes euclidian distance of inputs relative to a center.

The first block is constructed by two analog multiplier. The second block is constructed by two transconductance element, one vectoral summation unit, one grounded resistance and one analog multiplier. Simulation of the circuit is performed by Tübitak YİTAL 3μm Level 3 parameters. Layout of the circuit is designed due to YİTAL 3μm process design rules

1. YAPAY SİNİR AĞLARI

1.1. Giriş

Yapay sinir ağları üzerindeki çalışmalar, insan beyninin sayısal bir bilgisayardan çok farklı bir şekilde çalıştığı fark edildikten sonra başlamıştır denebilir. Beynin çalışmasının ortaya çıkması yönünde yapılan çalışmalar Ramony Cajal (1911) ile başlamıştır. Cajal neronların beynin yapıtaşları olduğu fikrini ortaya atmıştır.

İnsan sinir sisteminde işaretlerin iletimi elektro-kimyasal yol ile gerçekleştiği için oldukça yavaştır. Bu hız milisaniyeler mertebesinde. Oysa silisyum bir lojik kapıda bu hız nano-saniyeler mertebesinde. İşaret iletim hızı, sayısal bir bilgisayarda insan beynine göre milyon kat mertebelerinde daha hızlı olmasına rağmen insan beyninin hesaplama kabiliyeti kıyaslanamayacak kadar üstündür. Bu üstünlük nereden geliyor? Yapılan araştırmalar neticesinde beyinde 100 milyar neron ve 60 trilyon bağlantı olduğu tahmin edilmektedir. Enerji etkinliği açısından beyin ile bir bilgisayar arasında şöyle bir kıyaslama yapılabilir: Beyinde saniyedeki işlem başına harcanan enerji 10^{-16} joule iken 1991'lerdeki iyi bir bilgisayarda 10^{-6} joule idi. Sonuç olarak beyin hesaplama açısından devasa etkinlikte bir yapı olduğu söylenebilir.

İnsan beyni karmaşık problemlerin çözümünde günümüzün en hızlı bilgisayarından kat kat daha süratlidir. Örneğin, insanın görme sistemini ele alalım. Görme, bir bilgi işleme işidir. İnsan görme sistemi çevremizdeki varlıkları ve çok daha önemlisi çevremizle ilişki içerisinde olabilmek için ihtiyaç duyduğumuz bilgiyi sağlar. Daha detaylı bir örnek verecek olursak beyin tanıdık olmayan bir görüntüdeki tanıdık bir yüzü 100-200ms arasındaki bir zaman diliminde tanıırken, bu işlem çok çok daha basit bir görüntü için bir bilgisayarda günler alabilmektedir.

Diğer bir örnek olarak bir yarasanın sonarını ele alalım. Sonar, yankı ile yer belirleme sistemidir. Yarasanın sonarı bir hedefin (örneğin, bir sinek) kendisinden uzaklığını kendisine göre bağlı hızını, hedefin büyüklüğünü, hedefin azimut ve elevasyon açılarını belirler. Gelen yankıdan bu bilgileri çıkaran karmaşık hesaplamalar yarasanın küçücük beyinde gerçekleşmektedir.

Peki beyin, bu karmaşık işlemleri nasıl yapar? Bu ve benzeri sorulara cevap bulma yönünde yapılan çalışmalar yapay sinir ağlarının ortaya çıkmasına neden olmuştur.

Bir yapay sinir ağı birbirine yoğun ve paralel olarak bağlanmış basit, genelde adaptif elemanlardan oluşmuş ve gerçek dünyadaki nesnelerle biyolojik sinir dizgelerinin yaptığı gibi aynı şekilde etkileşmek üzere hiyerarşik olarak düzenlenmiş bir yapıdır. Bu yapıdaki basit hesaplayıcılar *neron* olarak adlandırılır. Neronların birbirleriyle olan bu yoğun bağlantısı *ağ* olarak adlandırılır. Yapay sinir ağlarının çok karmaşık problemlerin çözümündeki yüksek hesaplama yeteneği, hesaplamaların neronların bu yoğun ve paralel bağlantısı içerisinde gerçekleşmesinden kaynaklanmaktadır.

Yapay sinir ağlarının kullanıldığı birçok uygulama şu alanlardadır.

- Görüntü tanıma
- Ses tanıma
- Örüntü tanıma
- Örüntü sınıflama
- Robotik, kontrol
- Uzman sistemler

Bu alanlar yerleşik bilgisayarların hesaplamada zayıf ve yavaş kaldığı alanlardır.

1.2. Gelişim Tarihi

Yapay sinir ağlarının modern çağının, McCulloch ve Pitts'in 1943'teki öncü çalışması ile başladığına inanılır. McCulloch ve Pitts bu çalışmalarında bir yapay sinir ağı ile lojik hesabın nasıl yapılabileceğini tarif etmişlerdi. Bu çalışmada, temel bir hesaplayıcı neronun ilk şekilsel modeli ortaya konmuştu. 1949'da Donald Hebb, sinaptik ağırlıklardaki değişimlere dayanan Hebbian öğrenme kuralının açıklandığı bir kitap yayınladı. 1954'te Minsky, Princeton Üniversitesinde "Theory of Neural-Analog Reinforcement Systems and Its Application to the Brain-Model Problem" başlığı adı altında bir doktora tezi hazırladı. Bu tezde ilk yapay sinir ağını gerçekledi ve test etti. 1958'de, 1957 yılında ölen von Neuman tarafından yazılan "The Computer and the Brain" isimli kitap yayınlandı. Yine 1958'de Rosenblatt tarafından, örüntü tanıma problemleri için ilk perseptron mimarisi ortaya kondu. 1960'da Bernard Widrow ve Marcian Hoff adaptif doğrusal eleman (Adaline) ve çoklu adaptif doğrusal elemanın (Madaline) eğitimi için least-mean-square (LMS) algoritmasını tanıttılar. 1961'de Marvin Minsky yapay sinir ağları ile ilgili ciddi tartışmaları içeren ve "Steps Toward Artificial

"Intelligence" isimli bir makale yayınladılar. 1969'da Marvin Minsky ve Seymour Papert tek katmanlı bir perseptronun, örüntü tanımada sahip olduğu temel sınırlamalarını detaylı bir matematik alt yapısı ile ortaya koyan kitaplarını yayınladılar. 1972'de James Anderson, Tuevo Kohonen ve Makano tarafından bağımsız olarak yapılan çalışmalar sonucunda çağrışımli bellek (associative memory) konusunda anahtar niteliğinde sayılabilecek neticeler elde edildi.

1973'te Christoph von der Maisburg öz-düzenlemeli (self-organizing) ağlar konusunda kapsamlı bilgisayar simülasyonları gerçekleştirdi. 1976'da Willshaw ve von der Maisburg, beyindeki sıralı haritalara (ordered maps) dayanan öz-düzenlemeli ağlar konusunda bir makale yayınladı. 1980'de Steve Grossberg ve Gail Carpenter, Adaptif Rezonans Teorisi (ART) ağlarını tanıttı. 1982'de John Hopfield, ağ dinamiklerini anlamak için enerji fonksiyonlarının kullanıldığı Hopfield ağlarını anlatan bir makale yayınladı. Hopfield ağları 1972'de Amari tarafından geliştirilen bir modelle benzetilmektedir. Aynı yıl Tuevo Kohonen öz-düzenlemeli ağlar ile ilgili bir çalışmasını yayınladı. 1983'de Cohen ve Grossberg içerik adreslenebilir bellek (content addressable memory) için tasarım prensiplerini geliştirdi. Yine aynı yıl Kirpatrick, Gellatt ve Vecchi global optimizasyon için simüle edilmiş annealing metodunu tanıttı. Barto, Sutton ve Anderson kuvvetlendirilmiş (reinforcement) öğrenme kuralını geliştirdiler. 1985'de Ackley, Hinton ve Sejnowski, Boltzman öğrenme kuralını tanıttılar. 1986'da Rumelhart, Hinton ve Williams, 1974'te Harvard Üniversitesinde Ph. D. tezi olarak Paul Werbos tarafından sunulan geriye yayılım algoritmasını bağımsız bir çalışmanın ürünü olarak tekrar keşfettiler. 1986'da Rumelhart ve McClelland, "Parallel Distributed Processing" iki ciltlik ünlü kitaplarını yayınladılar. 1988'de Broomhead ve Lowe Radyal Bazlı Fonksiyon (RBF) ağını geliştirdiler. 1990'da T.Poggio ve F.Girosi RBF ağıının kullanırlılığını ve anlaşılabilirliğini Tikhonov'un regülerizasyon (regularization) teorisi ile arttırdılar.

Yapay sinir ağı modüllerinin ve sistemlerinin VLSI teknolojisi ile gerçekleştirilmesi alanında yoğun çalışmalar 1980'lerin ortalarında başlar. 1989'da Carver Mead, silikon retina ve silikon cochlea yongaları ile ilgili bölümleri içeren ve "Analog VLSI ve Neural Systems" isimli kitabını yayınladı. Aynı yıl Carver Mead ve Muhammed İsmail birçok silikon gerçeklemeyi içeren bir kitap yayınladılar. 1990'da Steven Zornetzer, Joel Davis ve Clifford Lau elektronik yapay sinir ağlarını tanıtan bir kitap yayınladılar. 1991'de Bang Lee ve Bing Sheu Hopfield ağları için optimal çözümlerinin etkin taramaları hakkında bir kitap yayınladılar. Ulich Ramacher ve Ulich Ruckert yapay sinir ağlarının sayısal silikon yongalarla gerçeklemeleri konusunda bir kitap yayınladılar. 1992'de Clifford Lau yapay sinir ağlarının teorik temelleri

ile ilgili bir kitap yayınladılar. Edgar Sánchez-Sinencio ve Clifford Lau yapay sinir ağlarının paradigmaları, uygulamaları ve hardware gerçeklemeleri konusunda bir kitap yayınladılar. 1993'te Tamas Roska ve J.Wandewalle görüntü işleme ve örüntü tanıma konusunda hücrel yapay sinir ağları hakkında bir kitap yayınladılar.

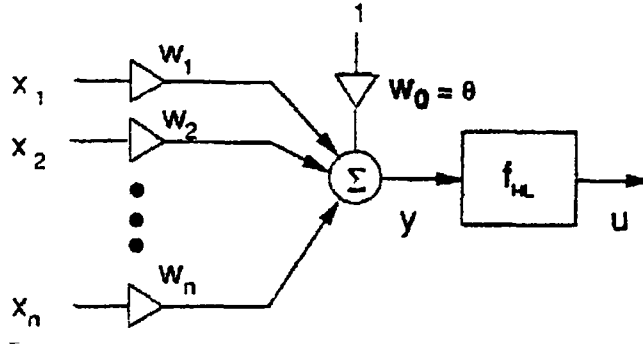
1.3. Yapay Sinir Ağ Yapılarına Genel Bir Bakış

Temelde iki çeşit ağ vardır. Bunlar, dinamik ağlar ve statik ağlardır. Statik ağlardan en çok kullanılanı MLP ağlarıdır. Burada düğüm eşitlikleri belleksizdir. Bu şu demektir: Çıkış fonksiyonları sadece o anki girişlere bağlıdır. Önceki ve sonraki girişlere ve çıkışlara bağlı değildir. Diğer bir statik ağ ise Radial Basis Function (RBF) ağıdır.

Dinamik ağlar, bellekli ağlardır. Düğüm eşitlikleri fark eşitlikleri yada diferansiyel eşitliklerle belirlenir. Dinamik ağlar üç farklı grupta incelenebilir. ileri yön dinamik ağlar, çıkıştan geribeslemeli ağlar ve durum geribeslemeli (state feedback) ağlar.

Ağ yapılarında öğrenme öğreticili ve öğreticisiz olmak üzere iki kategoride incelenebilir. Öğreticili öğrenmede, belli girişlere karşılık belli çıkışlar vardır ve bunlar bilinmektedir. Bu giriş-çıkış (x_i, d_i) çiftleri örnek kümesini oluşturur. Ağa, örnek kümesindeki girişler uygulandığında ağ çıkışta örnek kümesindeki çıkışları verecek şekilde eğitilir. Öğreticisiz öğrenmede ise sadece girişler vardır ve ağ bu girişleri sınıflamaya çalışır. Benzer girişler aynı kümede gruplanır. Bu şekilde eğitilen ağlar öz düzenlemeli (self organizing) olarak adlandırılır. Bu çeşit ağlara örnek olarak Adaptive Resonance Theory (ART) ağı ve Kohonen'in öz düzenlemeli nitelik ağı (self organizing feature maps) verilebilir. Yapay sinir ağları basit hesaplayıcı birimlerinden oluşur. İlk olarak sunulan ve en basit hesaplayıcı birimi preseptronudur. Bu hesaplayıcı sinir hücresi, biyolojik sinir hücresinden esinlenerek ortaya konmuştur.

1.4. Perseptron:

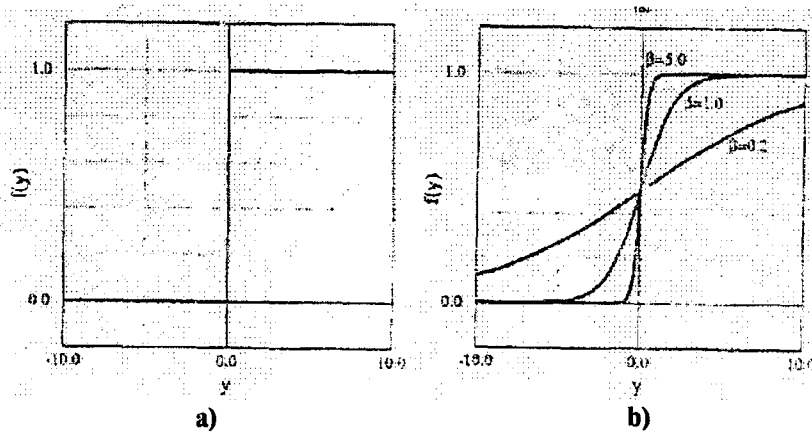


Şekil 1.1 Perseptron

Perseptron (Şekil 1.1) 1958 yılında Rosenblatt tarafından düşünülmüştür. Girişi, n -boyutlu bir vektördür. Perseptron giriş vektörünün n ayrı bileşeninin ağırlıklı toplamını elde eder ve sonucu bir eşik değerinden (θ) geçirir. Bu sonuç bir eğrisel fonksiyona (Şekil 1.2) tabi tutulur. Rosenblatt'ın orjinal modelinde kullandığı eğrisel fonksiyon bir keskin sınırlayıcıydı (hard limiter) (Şekil 1.2a). Keskin sınırlayıcı matematiksel olarak şöyle tanımlanabilir.

$$f_{HL}(y) = \begin{cases} 1 & y > 0 \\ 0 & y \leq 0 \end{cases} \quad (1.1)$$

Perseptronlar katlar içerisinde birbirleriyle bağlandıklarında eğrisel fonksiyon olarak sigmoid fonksiyonunun (Şekil 1.2b) kullanılması daha yaygındır.



Şekil 1.2: a) Keskin sınırlayıcı b) Sigmoid

$$f_S(y) = (1 + e^{-\beta y})^{-1} \quad (1.2)$$

Bu fonksiyon sürekli bir fonksiyon olup y $(-\infty, +\infty)$ aralığında monotonik olarak 0'dan 1'e değişmektedir. Sigmoid fonksiyonun kazancı β 'dir. β , geçişin basamak fonksiyonuna yakınlığını belirler. β sonsuza yaklaştıkça sigmoid fonksiyonu keskin sınırlayıcı fonksiyonuna yaklaşır. Kazanç, sıklıkla '1' alınır. Sigmoid fonksiyonun avantajlarından biri türevinin alınabilmesidir. Bu özellik çok önemlidir. Çünkü, bu özellik sayesinde çok katlı ağlarda gradyen arama öğrenme algoritmasını gerçeklemek mümkün olabilmektedir.

Sigmoid fonksiyonu diğer birçok açıdan da önemlidir. Birçok uygulama, keskin sınırlayıcı tarafından üretilen ikili sonuçtan farklı olarak sürekli bir çıkışa ihtiyaç duyar. Ayrıca sigmoid fonksiyonu kısmen örüntü tanıma problemlerine de uygulanabilir. Çünkü, bu fonksiyon 0 ile 1 arasında bir değer üretir. Bu değer bir tahminin olasılığı olarak değerlendirilebilir.

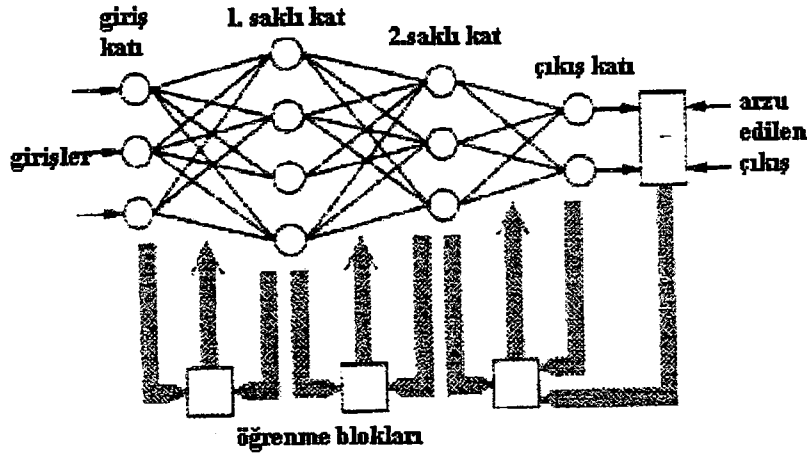
Perseptron tarafından yapılan iş matematiksel olarak şu şekilde ifade edilebilir;

$$\begin{aligned} y &= w^T x \\ u &= f_{HL}(y) \end{aligned} \quad (1.3)$$

Burada τ transpoze operatörü w ağırlık vektörü x ise giriş vektörüdür. (1.3) bağıntısındaki y ağırlık vektörü ile giriş vektörünün iç çarpımını ifade eder.

1.5. MLP (Multi Layer Perceptron)

Bir MLP ağ algılama işlevi gören birçok birimin oluşturduğu bir kümedir. MLP'de algılama birimi olarak perseptron kullanılmıştır. Bu algılayıcı birimler bir araya gelerek ağdaki katları oluşturur. Bu katlar da bir araya gelerek ağı oluşturur. MLP'de üç temel kat vardır. Bunlar giriş katı, saklı kat ve çıkış katıdır. Şekil 3'de bir MLP ağı görülmektedir. Giriş ve çıkış katı dışındaki bütün katlar saklı kat olarak adlandırılır.



Şekil 1.3 Çok katlı ağ prensip şeması

MLP birçok zor ve farklı problemin çözümünde başarıyla uygulanabilmektedir. Genelde ağı eğitiminde öğreticili yöntem kullanılmaktadır. Kullanılan algoritma popüler bir algoritma olan *hatanın geriye yayılımı algoritması*dır. Bu algoritma tespit edilen hatanın azaltılabilmesi için parametrelerde yapılacak olan değişikliğin bir artımı mı yoksa bir azaltımı mı gerektirdiğinin belirlenmesi kuralına dayanır. Bu kural *hata doğrulama öğrenme kuralı* olarak adlandırılır.

Temelde hatanın geriye yayılımı algoritması, ağıdaki katlardan işaret akışının iki sefer sağlanmasına dayanır. İşaret akışı bütün katlar üzerinden ilk olarak ileriye doğru ve sonra geriye doğrudur. İşaretin ileri akışında bir giriş vektörü ağı giriş katına uygulanır. Bu girişin etkisi kattan kata geçerek çıkışa ulaşır. Sonuçta bu giriş vektörü için bir çıkış vektörü elde edilir. Bu çıkış vektörü ağı giriş vektörüne olan cevabıdır. İleri akışta sinaptik ağırlıklar sabit olup her hangi bir değişikliğe uğramazlar. İşaretin geriye akışında hata doğrulama kuralına göre ağırlıklar tekrar ayarlanır. Ağı giriş vektörüne olan cevabı arzu edilen bir çıkış vektöründen çıkarılır. Böylece hata işareti elde edilmiş olur. Bu hata işareti ağ boyunca sinaptik ağırlıklarda yapılacak ayarlamayı belirlemek üzere geriye doğru yol alır. "Hatanın geriye yayılımı" ifadesi buradan gelmektedir. Sinaptik ağırlıklarda yapılan ayarlamalar ağı cevabının istenen cevaba yaklaşmasını sağlayacak yöndedir. Hatanın geriye yayılımı algoritması literatürde *geriye yayılım algoritması* olarak adlandırılır. Bu algoritma yardımıyla gerçekleştirilen öğrenme *geriye yayılım öğrenmesi* olarak adlandırılır.

Bir Çok Katmanlı Algılayıcı Ağ üç ayrı özelliğe sahiptir:

1. Ağdaki her bir sinir hücresi girişlerin ağırlıklı toplamaları doğrusal olmayan bir fonksiyona tabi tutarak çıkışına aktarır. Burada vurgulanması gereken önemli bir nokta bu

fonksiyonun Rosenblatt'ın önerdiği perseptrondan farklı olarak her noktada türevi alınabilir bir fonksiyon olmasıdır. Bu türevi alınabilirlik özelliğini sağlayan eğrisel bir fonksiyon ile tanımlanan sigmoid fonksiyonudur

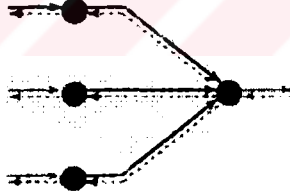
$$y_j = \frac{1}{1 + \exp(-v_j)} \quad (1.4)$$

Burada v_j j . sinir hücresine ait ağırlıklı toplamı ve y_j j . sinir hücresinin çıkışını ifade eder. Çıkışın doğrusal olmaması önemli bir özelliktir. Lojistik fonksiyonun kullanılması, Pineda tarafından 1988 yılında önerilmiştir. Pineda bu öneriyi gerçek sinir hücrelerinden esinlenerek yapmıştır.

2. Ağ bir yada daha fazla sayıda saklı kat içerir. Her bir saklı kat bir önceki kattan, daha anlamlı sonuç alır ve bu sonuçları daha da anlamlandırarak bir sonraki kata iletir. Böylece giriş vektörüne giriş katın cevabı kattan kata arzu edilen çıkışa gittikçe yaklaştırılarak aktarılır.

3. Ağda sinir hücreleri çok yoğun bir şekilde birbirleriyle bağlanmışlardır. Ağ bağlantısındaki yada bir hücrenin girişindeki her hangi bir ağırlıkta meydana gelecek en ufak bir değişim bütün sinaptik bağlantıların yada ağırlıkların değişimini gerektirir.

1.5.1.MLP ile ilgili bazı temel tanımlamalar



Şekil 1.4 MLP ağındaki işaretler

Şekil 1.3'de bir çok katmanlı algılayıcının mimarisi görülmektedir. Bu yapıda iki adet saklı katman vardır. Yapıyı en genel şekliyle ifade edebilmek için sinir hücreleri arasında mümkün olabilecek bütün bağlantılar yapılmıştır. Yani, bir katmandaki bir sinir hücresi bir önceki katmanda bulunan bütün sinir hücrelerine bağlanmıştır. Ağ boyunca işaret akışı katmandan katmana giriş katından çıkış katına doğrudur.

Şekil 1.3'de görülen MLP ağında iki çeşit işaret vardır. Bu işaretlerin ağ boyunca nasıl yayıldıkları Şekil 1.4'de gösterilmeye çalışılmıştır

Bu işaretler şöyle adlandırılır:

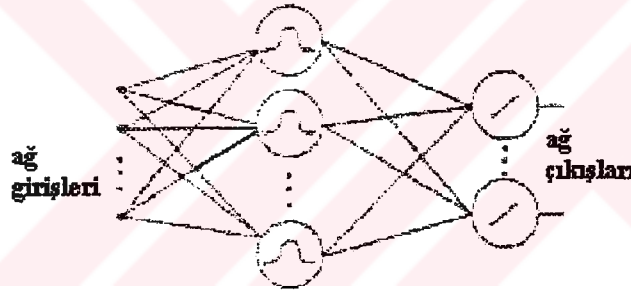
1. *Fonksiyon İşaretleri*: Bir fonksiyon işareti bir giriş işareti (uyarısı) olup ağı giriş katından ağa girer ağ boyunca bir sinir hücresinden diğerine ilerler ve çıkışa ulaşır. Bu işaret fonksiyon işareti olarak adlandırılır.

2. *Hata İşaretleri*: Bir hata işareti ağı çıkış hücresinde üretilir. Geriye doğru kattan kata ağ boyunca iletilir.

Her bir saklı kattaki yada çıkış katındaki sinir hücresi şu iki hesaplamayı yapacak şekilde tasarlanmıştır.

1. Bir sinir hücresinin çıkışında görülen fonksiyon işaretinin hesaplanması. Bu fonksiyon işareti sinir hücresindeki giriş işaretlerinin ağırlıklı toplamının sürekli bir fonksiyonudur.
2. Gradyen vektörünün o anki tahmini değerini hesaplamak. Gradyen vektörü, sinaptik ağırlıkların bir fonksiyonu olan hata performans yüzeyinin dip noktasına yani optimum çözümün bulunduğu noktaya ulaşmak için algoritmanın sinaptik ağırlıklarda yapılmasını belirlediği artırımların oluşturduğu vektördür.

1.6. RBF (Radial Basis Function) Ağı



Şekil 1.5 RBF ağı

RBF ağı (Şekil 1.5) iki katmandan oluşmaktadır. Saklı kat giriş uzayının belli bir bölgesi için cevap oluşturmaktadır. Yani giriş, giriş uzayının belli bir bölgesi içerisine düştüğünde çıkış sıfırdan farklıdır. Girişin bu küçük bölge dışında kalması durumunda çıkış sıfırdır. Bu nedenle saklı kat, giriş uyarısına yerel bir cevap veriyor denir. Saklı katın gerçeklediği fonksiyona taban fonksiyon denir. Taban fonksiyon olarak herhangi bir kernel fonksiyon kullanılır. Kernel fonksiyonlar deve hörgücüne benzetilebilir. Girişler belli bir merkez değere yaklaştıkça çıkışın değeri artmaktadır. Bu merkez değerden uzaklaştıkça çıkışın değeri azalmaktadır. Başka bir deyişle tek maksimumlu fonksiyonlardır. Gauss dağılımı, kernel fonksiyonlara örnek olarak verilebilir. Çıkış katı, saklı kattan gelen çıkışların doğrusal bir kombinasyonudur.

Gerçeklemeden gerçeklemeye değışse de genelde kullanılan taban fonksiyon Gauss kernel fonksiyonudur.

$$u_{1,j} = \exp \left[\frac{(x - w_{1,j})^2}{2\sigma_j^2} \right] \quad j = 1, 2, \dots, N_1 \quad (1.5)$$

Eşitlik (1.5)'de Gauss fonksiyonu görölmektedir. Burada $u_{1,j}$ birinci kattaki j . düğüme karşılık gelen çıkış, x giriş paterni, $w_{1,j}$ birinci katmandaki j .düğüme ait ağırlıktır, başka bir deyişle j . düğüm için Gauss fonksiyonunun merkezidir; σ_j^2 j . düğüm için normalizasyon parametresi, ve N_1 birinci katmandaki düğümlerin sayısıdır. Saklı kattaki düğümlerin çıkışları, sıfırdan bire kadar değışen bir bölge içerisinde değeri alır. Böylece giriş Gauss fonksiyonunun merkezine ne kadar yakın ise düğümünün çıkışı değeri de o kadar büyüktür, başka bir deyişle 1'e, o kadar yakındır. Radyal tabanlı fonksiyon (Radial Basis Function) ismi Gauss kernel fonksiyonlarının radyal olarak simetrik olmasından gelmektedir. Yani bu, her bir düğümün kernelin $w_{1,j}$ merkezden sabit bir radyal mesafedeki girişler için aynı sonucu üretmesi demektir. Çıkış düğümü eşitlikleri şu şekildedir,

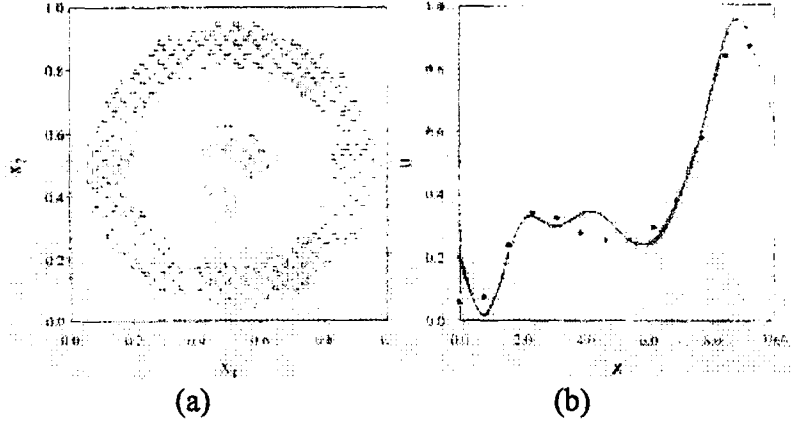
$$y_j = w_{2,j}^T u_1 \quad j = 1, 2, \dots, N_2 \quad (1.6)$$

burada y_j , j . düğüme ilişkin çıkış, $w_{2,j}$ bu düğüme ilişkin ağırlık ve u_1 'de birinci kattan gelen çıkış vektörleridir. Eşik değeri u_1 vektörü içerisinde dahil edilmiş olup ağırlığı 1'dir. N_2 çıkış katındaki düğümlerin sayısıdır. Çıkış katına ait düğümler saklı kattan gelen çıkışların doğrusal bir kombinasyonudur. Sonuç olarak şu söylenebilir: Ağ, (1.6) bağıntısıyla verilen eğrisel taban fonksiyonlarının doğrusal kombinasyonu ile $\mathcal{R}^N$ 'den $\mathcal{R}^{N_2}$ 'ye eğrisel bir dönüşüm işini gerçekleştirmektedir.

1.6.1 RBF'in fonksiyonel kabiliyeti

RBF ağı fonksiyonel yaklaşma ve sınıflama işlemleri için kullanılabilir (Şekil 1.6). Sınıflama örneğinde sadece bir adet saklı kata ihtiyaç duyulur. Ağ etkin bir şekilde Gauss fonksiyonunun merkezini verinin üzerine getirir ve görülen dairesel karar sınırını meydana getirmek üzere gelen veriyi uygun bir şekilde ağırlaştırır ve eşikten geçirir. Fonksiyonel

yaklaşma örneğinde, RBF ağı beş adet saklı kat düğümü içerir. Şekilden de görüldüğü üzere 1.0 noktasında yerleşmiş Gauss fonksiyonunun çıkışı negatif bir eşikten geçerken diğer Gauss fonksiyonlarının çıkışları pozitif eşikten geçmektedir. Bu sonuçların Şekil 1.6 görülen ve RBF kullanılarak yaklaşılmaya çalışılan fonksiyon ile karşılaştırılması öğretici olacaktır.



Şekil 1.6 RBF ile bir fonksiyona yaklaşma örneği

RBF ağı, MLP 'de olduğu gibi herhangi bir eğrisel ve sürekli fonksiyona yaklaşmak mümkündür. Her iki ağdaki birincil fark taban fonksiyonlarının farklı olmasıdır. MLP'de saklı katlarda giriş uzayının sonsuz bir bölgesinde sıfırdan farklı bir değer alan sigmoid fonksiyonu kullanılır. Oysa, RBF ağında taban fonksiyonlar giriş uzayının küçük bir bölgesi dışında sıfırdır. Bası fonksiyonlar taban fonksiyon olarak sigmoid fonksiyonu kullanılarak gerçekleştirilebilirken, bazıları yerel taban fonksiyonlar kullanılarak daha etkin bir şekilde gerçekleştirilebilir. Şekil 1.6a'daki sınıflama örneğini ele alalım. Bu örnekte RBF ağı MLP ağındakine göre daha etkin bir sonuç verir. Örnekte görülen ve seçilen bölgelerin birbiri içerisinde halkalar şeklinde gerçekleşmiş olması RBF ağının etkinliğini daha da vurgulamaktadır.

Bu iç içe halkaların sayısından bağımsız olarak RBF sadece bir tek saklı kat düğümüyle sonuç verecektir. Oysa, MLP ağı için durum böyle değildir. Çok sayıda saklı kat düğümüne ihtiyaç vardır. Şekil 1.6b'deki örnek için durum bunun tersidir. Burada MLP ağı daha etkindir.

1.6.2 RBF öğrenme algoritmaları

RBF ağlarında öğrenmeye bir çok değişik yaklaşım mevcuttur. Bunlardan bir çoğu öğrenme işini iki kısma ayırır. Buna göre ilk öğrenme işi saklı katta gerçekleşir. Daha sonra öğrenme çıkış katında devam eder. Saklı katta öğrenme eğitici-siz öğrenme algoritmalarından biri (örneğin: yığılma algoritması) kullanılarak yapılır. Çıkış katındaki öğrenme ise eğitici-li öğrenmedir. Bazı uygulamalarda eğitici-li öğrenme algoritması çıkış katıyla birlikte saklı kata da uygulanır. Böylece ağ parametrelerinde daha optimal bir uyum sağlanır.

Saklı kata uygulanabilecek bir çok yığılma algoritması vardır. Bunlardan en ünlüsü K-means algoritmasıdır. Bu algoritma basit ve iyi sonuçlar veren bir algoritmadır.

Normalizasyon parametreleri, σ_j^2 , yığılma algoritması son bulduğunda hesaplanır. Her bir düğümle ilişkili verinin dağılımıyla ilgili bir ölçütü temsil eder. Normalizasyon parametresini belirlemenin bir çok yolu vardır. Genelde kullanılan yöntem, yığılma merkezleri ve eğitime kümesindeki örnekler arasındaki ortalama mesafeyi almaktır. Şöyle ki,

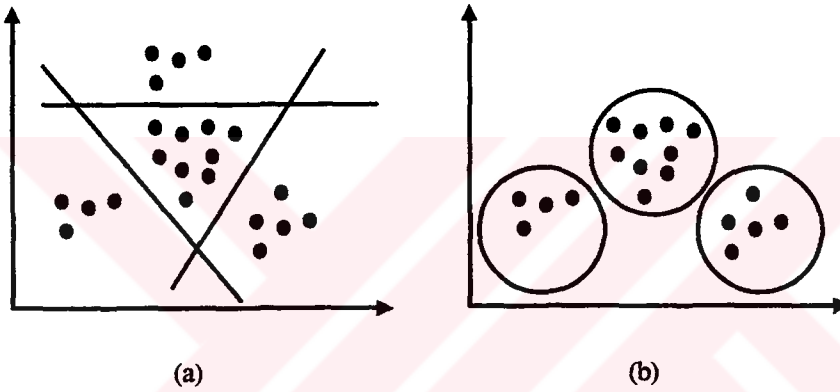
$$\sigma_j^2 = \frac{1}{M_j} \sum_{x \in \Theta_j} (x - w_{1,j})^T (x - w_{1,j}) \quad (1.7)$$

burada Θ_j yığılma merkezleri, $w_{1,j}$, ile gruplanmış eğitime kümesindeki örneklerdir. M_j eğitime kümesindeki örnek sayısıdır. Çıkış katında öğrenme taban fonksiyonlarındaki parametreler belirlendikten sonra yani ilk katta öğrenme tamamlandıktan sonra sağlanır. Çıkış katında öğrenme LMS algoritması kullanılarak yapılır. Eğitime kümesi giriş/çıkış çiftlerinden (u, d) oluşur.

2. KONİK KESİT FONKSİYONU AĞI (CSFN)

2.1. Giriş

Yapay sinir ağlarının sınıflandırılması birçok yol izlenerek yapılabilir. Örneğin, sınıflama ve nerokontrol söz konusu ise lokal ve global genellemenin bir ayırım kriteri olarak kullanılması faydalı olacaktır. Global genelleme, ağın ağırlıklarından bir veya daha fazlası giriş uzayındaki bütün noktalar için ağ çıkışını etkileyebiliyorsa söz konusudur. Lokal genellemede ise ağın ağırlıklarından birkaçı giriş uzayının lokal bir bölgesindeki noktalar için ağ çıkışını etkiler. MLP ağları global genelleyen ağlardır. Global genellemede öğrenme yavaştır. RBF ağları ise lokal genelleyen ağlara örnektir.



Şekil 2.1 (a) Doğrusal karar sınırları (b) Dairesel karar sınırları

Yapay sinir ağları kullanılarak yapılacak sınıflama işi, geometrik terimler kullanılarak tarif edilebilir. Eğer, girişler ayrılabilir iki sınıfa ait ise, yani eğer bu girişler bir hiperdüzlemin iki tarafında yer alıyorsa, bu durumda perseptron yaklaşımı yöntemi başarılı olacak ve hiperdüzlemin bu iki sınıf arasında yerleşmesini sağlayacaktır. Eğer ayrılacak girişler, giriş uzayının belli bölgelerinde kümelenmişlerse bu durumda bir veya daha fazla saklı kata sahip bir MLP ağı problemi çözecektir.

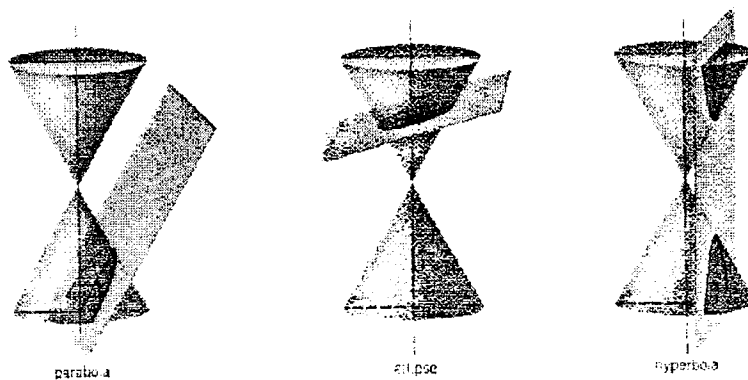
Bir diğer karar bölgeleri ise lokal karar bölgeleridir. Buna örnek olarak hiperküresel karar bölgeleri verilebilir. Giriş uzayının sonsuz bir kısmını içeren hiperdüzlemsel (açık) karar bölgelerinden farklı olarak, hiperküresel (kapalı) karar bölgelerinde herbir birimin algılayıcı (receptive) alanı lokaldir ve giriş uzayının küçük bir bölümüyle sınırlıdır. Bir RBF ağı ile hiperküresel karar sınırları elde etmek mümkündür.

İki boyutlu bir giriş uzayı için yapılabilecek bir sınıflama Şekil 2.1’de görülmektedir. Şekil 2.1(a)’da karar sınırlarını doğrular oluşturmaktadır. n -boyutlu bir uzayda Şekil 2.1(a)’daki doğruların yerini hiperdüzlemler alacaktır. Şekil 2.1(b)’de ise karar sınırlarını daireler oluşturmaktadır. n -boyutlu bir uzayda Şekil 2.1(b)’deki dairelerin yerini hiperküreler alacaktır.

Konik Kesit Fonksiyonu Ağları (CSFN) ilk olarak Dorffner (1994) tarafından sunulmuştur. Yeni bir yapay sinir ağı modelidir. MLP ve RBF ağlarının karar sınırları, hiperdüzlem ve hiperkürelerdir. Bu karar sınırları konik kesit fonksiyonlarının özel bir durumudur. CSFN’deki temel fikir RBF ve MLP ağlarını birleştirmek ve bu sayede hiperdüzlemsel ve hiperküresel karar sınırlarını tek bir ağ modeli ile elde etmektir. Bu ağ modeli ile, hiperdüzlemsel ve hiperküresel karar sınırları arasında yer alan ve ayrı birer karar sınırı olarak ele alınabilecek, iki boyutlu giriş uzayı için adlandıırırsak elips, parabol, hiperbol gibi karar sınırları da elde edilebilmektedir. CSFN veri dağılımına göre, bir uygulama için, konik kesitlerden faydalanarak, açık ve kapalı karar bölgeleri oluşturabilmektedir.

2.2. Konik Kesitler

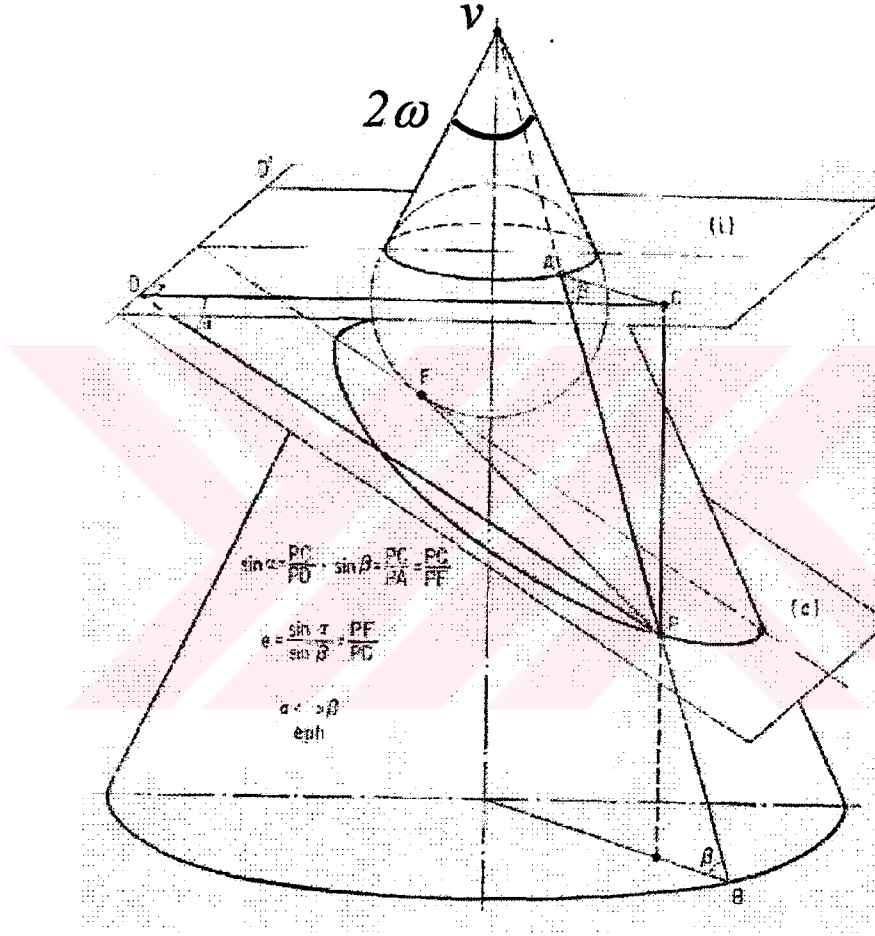
Bir koni ile bir düzlem kesiştirilirse sonuçta elde edilen kesit konik kesit olarak adlandırılır. Şekil 2.2’de konik kesitlerden bazı örnekler görülmektedir. Konik kesitlere üç boyutlu yaklaşım üçüncü yüzyılda yaşamış bir yunanlı olan Perga’lı Apollonius’a kadar uzanır. Apollonius bu konuda sekiz kitap yazmıştır.



Şekil 2.2 Bazı konik kesitler

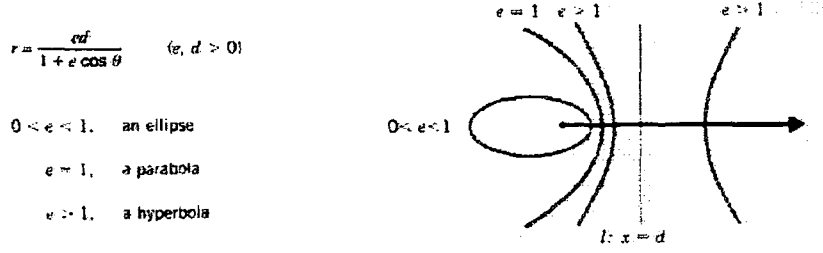
Konik kesitlerin daha iyi anlaşılabilmesi için öncelikle bu konu ile ilgili bazı tanımlamaların açıklanması yerinde olacaktır. Bunun için Şekil 2.3’ten faydalanılacaktır.

Şekil 2.3'te bir koni ile bir düzlem kesştirilmiş sonuçta elips elde edilmiştir. DD' doğrusu bu elipsin *doğrultman doğrusu* olarak adlandırılır. F noktası elipsin odaklarından biridir. v noktası koninin *tepe noktasıdır*. *Koni eksen*i, koninin ortasından düşey olarak geçen ve koninin tepe noktasının üzerinde bulunduğu doğrudur. vB doğrusu ve bu doğruya benzer şekilde koni üzerinde alınacak doğrular koninin *eleman doğrusu* olarak adlandırılır. Çeşitli eleman doğruları, koninin, koni ekseninin üzerinde bulunduğu bir düzlem ile kesştirilmesi sonucunda elde edilebilir.



Şekil 2.3 Konik kesit, elips ve daire

Konik kesitler için genel bir tanım şöyle yapılabilir: *Konik kesitler*, bir düzlemde sabit bir noktaya (odak) olan mesafeleri ile bir doğruya (doğrultman) olan mesafelerinin oranlarının birbirine eşit olduğu noktaların yer eğrisidir. Eğrinin şekli bu oran ile belirlenir. Bu oran konin *dışmerkezliği* olarak adlandırılır ve e ile gösterilir. e 'nin aldığı değerler ve bu değerlere karşılık gelen eğriler Şekil 2.4'de görülmektedir.



Şekil 2.4 Polar koordinatlarda konik kesitler

Polar koordinat sisteminde konik kesitler şu eşitlik ile ifade edilir;

$$r = \frac{ed}{1 + e \cdot \cos \theta} \quad (2.1)$$

Burada d odak ile doğrultman arasındaki mesafedir. Dış merkezliğin çeşitli değerleri için şu ihtimaller söz konusudur.

- 1) Eğer $0 < e < 1$ ise (2.1) eşitliği bir elips belirler.
- 2) Eğer $e = 1$ ise eşitlik bir parabol belirler.
- 3) Eğer $e > 1$ ise eşitlik, bir hiperbolü belirler

Eğrilerin tanımı açılar yardımı ile de yapılabilir. α ve β açıları Şekil 2.3'te tanımlanmıştır.

- 1) Eğer $\beta < \alpha$, hiperbol
- 2) Eğer $\beta = \alpha$, parabol
- 3) Eğer, $\beta > \alpha$ elips

2.3. Konik Kesit Fonksiyonu Ağı (CSFN)

Konik kesit fonksiyonu ağlarındaki temel fikir RBF ve MLP ağlarını birleştirmektir. Şimdi bu ağ ile ilgili eşitlikler çıkarılacaktır. Bir koni üzerinde her hangi bir nokta alalım. Bu nokta x noktası olarak isimlendirilsin. Koninin tepe açısı ω olsun. Tepe açısı, $[-\pi/2, \pi/2]$ aralığında bir değer alabilir. Koninin tepe noktası v ve eksen tanımlayan birim vektör $\vec{a}$ olsun. Bu durumda koni şu eşitlikle tanımlanabilir.

$$(\vec{x} - \vec{v})\vec{a} = \cos \omega \|\vec{x} - \vec{v}\| \quad (2.2)$$

Şekil 4'te bir düzlem tarafından kesilmiş bir koni görülmektedir. Sonuçta, 2ω 'nın çeşitli değerleri için daire, elips ve doğru elde edilmiştir. Bu şekilde doğru (hiperdüzlem) ve daire (hiperküre) olmak üzere sırasıyla MLP ve RBF için karar sınırlarını gösterir. Diğer karar sınırları elips ve paraboldür. Bu karar sınırlarının ortaya çıkmasında MLP ve RBF birlikte etkindirler. Eşitlik (2.2)'deki nokta ve vektörlerin koordinatları iki boyutlu uzay için $\vec{x} = (x_1, x_2)$, $\vec{v} = (v_1, v_2)$ ve $\vec{a} = (a_1, a_2)$ şeklinde tanımlanırsa (2.2) bağıntısı,

$$(x_1 - v_1)a_1 + (x_2 - v_2)a_2 = \cos\omega \sqrt{(x_1 - v_1)^2 + (x_2 - v_2)^2} \quad (2.3)$$

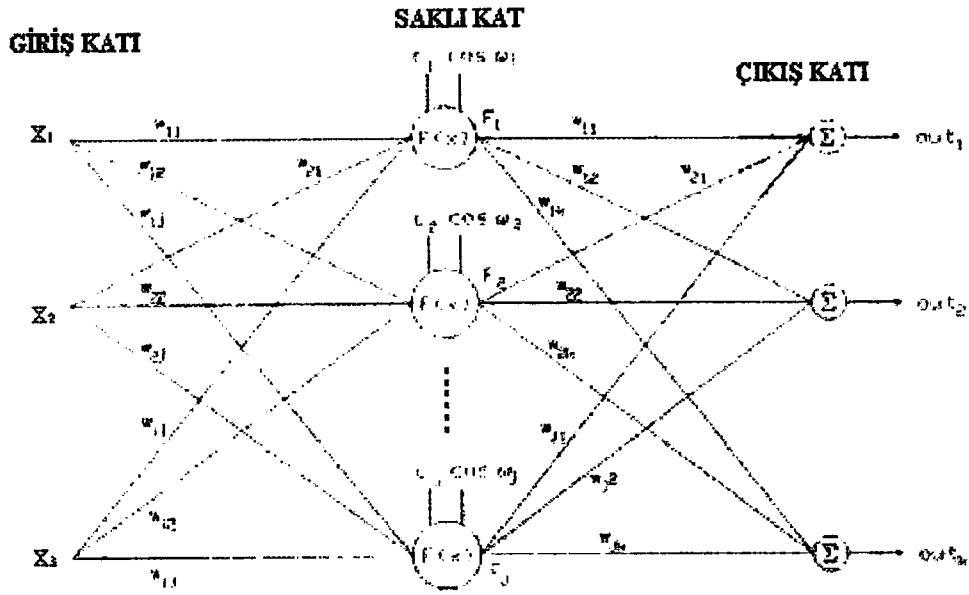
ifade edilebilir. Eşitlik (2.3) n -boyutlu giriş uzayı için şu şekilde geliştirilebilir.

$$\sum_{i=1}^n (x_i - v_i)a_i = \cos\omega \sqrt{\sum_{i=1}^n (x_i - v_i)^2} \quad (2.4)$$

Eşitliğin bu şekli n -boyutlu giriş uzayı için hiperkoni ve hiperdüzlem arasındaki kesişimi ifade eder. Koninin tepe noktası koordinatı olan v yerine daire merkezi c kullanılabilir. Çünkü x noktası ve v arasındaki mesafe dairenin, tepe açısı 45° olan koninin yarıçapıdır. Eşitlik (2.4)'ün sağ tarafını sol tarafından çıkarırsak

$$y_j = \sum_{i=1}^n (x_i - v_i)a_i - \cos\omega \sqrt{\sum_{i=1}^n (x_i - v_i)^2} \quad (2.5)$$

eşitliğini elde ederiz. Burada a_{ij} giriş katı ile saklı kat arasındaki her bir bağlantının ağırlığına (w_{ij}) karşılık gelir. Yine, c_{ij} bir RBF ağındaki merkez koordinatlarına karşılık gelir. i ve j indisleri sırasıyla giriş ve saklı katlardaki hücrelere karşılık gelir. y_j ise bir CSFN neronundaki aktivasyona karşılık gelir. Kolaylıkla fark edilebileceği gibi bu eşitlikte MLP ve RBF'tekine benzeyen temel iki kısım vardır. (2.5) eşitliği dikkatle incelenirse şu sonuçlara varılabilir: ω açısı $\pi/2$ 'ye eşit olduğu zaman ikinci kısım sıfıra eşit olur ve sadece birinci kısım etkindir. Yani, ağı bir MLP ağı gibi davranır. Yine, birinci kısımdaki ağırlıklar sıfıra eşit olduğu zaman sadece ikinci kısım etkindir. İkinci kısım bir RBF ağındaki merkezler ile girişler arasındaki Euklid mesafesini verir. Şekil 2.5'de bir CSFN'in yapısı görülmektedir.



Şekil 2.5: Bir konik kesit fonksiyonu ağının genel yapısı

(Yıldırım T.ve Marsland J.S., 1997)

3. MOS TRANSİSTÖR

3.1. Analog Tümdevrelerde MOS Teknolojisinin Yeri

MOS transistorun 1960 yılında tanıtılmasından sonra (Kahng D. ve Atalla M.M. 1960), bu devre elemanı sayısal tümdevre teknolojisinde öncü bir rol oynamıştır. MOS teknolojisi, sayısal devrelerin tümleştirme boyutlarının küçülmesi açısından çok büyük faydalar sağlamıştır. Günümüzde, analog devrelerin gerçekleştirilmesinde de MOS teknolojisi kullanılmaktadır. Düne kadar sadece sayısal devrelerin gerçekleştirilmesinde kullanılan MOS teknolojisinin analog tasarımda da bu kadar çok yaygınlaşmasının nedeni sayısal devrelerin tasarımında zaten kullanılan bu teknolojinin var olması sayesinde aynı teknolojiyle analog devrelerin gerçekleştirilmesi ekonomik açıdan çok büyük yararlar sağlamaktadır. Tabii burada, MOS teknolojisinin analog devre tasarımına izin vermesi en başta söylenmesi gereken unsurdur.

Analog tasarımda genelde, işaretin analogdan sayısala çevrilmesi yahut bunun tersinin gerçekleştirilmesi için gerekli olan duyarlı kuvvetlendirme, süzme, örnekleme ve tutma gibi fonksiyonlara ihtiyaç duyulmaktadır. Alt sistemlerin ayrı ayrı, bipolar analog ve MOS sayısal gerçekleştirildiği eski teknoloji, kılıflama maliyeti ve baskılı devre üzerinde kaplanan yerin artması gibi nedenlerle tercih edilmemektedir. MOS teknolojisi ile gerçekleştirilen devreler bipolar teknoloji ile gerçekleştirilen devrelere nazaran, kırmık alanı üzerinde %30-50 civarında yer açısından tasarruf sağlamaktadır. Ayrıca, sayısal ve analog tasarımın birleştiği karışık işaret uygulamaları açısından MOS teknolojisinin sağladığı, sayısal ve analog alt sistemlerin aynı teknoloji ile tek kırmık üzerinde gerçekleştirilmesi yönündeki imkanlar, karışık işaret uygulamalarının arttığı günümüzde bu teknolojiyi daha da cazip kılmaktadır.

Bipolar teknolojisi ile karşılaştırıldığında, MOS teknolojisinin analog fonksiyonların gerçekleştirilmesi açısından faydalı yönleri olduğu kadar yetmez kalan yönleri de vardır. MOS teknolojisinin bipolar transistörlere göre önemli sayılabilecek sakıncaları şöyle özetlenebilir:

- 1) Aynı kollektör akımı için bipolar transistörlerin g_m geçiş iletkenliği MOS transistörlere nazaran kıyaslanamayacak kadar yüksektir.
- 2) Geçiş iletkenliğinden ileri gelen bu sakıncayı gidermek üzere, kazanç katlarında büyük değerli dirençler kullanılabilir. Ancak, MOS teknolojisi ile büyük değerli dirençler elde etmek oldukça güçtür. Bu dirençleri elde etmek için kullanılan kırmık alanı da o kadar fazla olmaya başlar ki, bunların kullanılması pratik olmaktan çıkmaktadır. Bu

yüzden MOS'larla çalışırken büyük kazanç değerleri elde etmek üzere aktif elemanlardan yaralanma zorunluluğu bulunmaktadır.

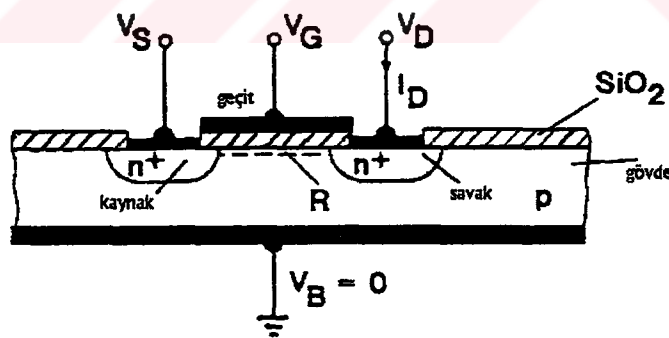
- 3) MOS transistörlerin frekans cevabı kararlılık açısından bipolar transistörlere göre daha kötüdür. Sıfır ve baskın olmayan kutbun baskın olan kutba yakın olması kararlılık açısından bir dezavantajdır.
- 4) $1/f$ gürültüsü daha yüksektir.

Bütün bu sakıncalara rağmen, günümüzde MOS teknolojisi analog devrelerde gittikçe yaygınlaşmaktadır. Bunun nedeni daha önce de belirtildiği gibi karışık işaret uygulamalarının günümüzde artması ve MOS teknolojisinin bu açıdan sağladığı avantajlardır.

Sayısal sistemlerde MOS teknolojisinin kullanılması, analog sistemlerde de aynı teknolojinin kullanılabilir olması ekonomik açıdan büyük yararlar sağlamaktadır. Bütün bunların yanı sıra yüksek giriş direnci, çekilen akımın düşük olması gibi nedenlerden ötürü, MOS yapılar yarar sağlamaktadır. (Kuntman H., 1997)

3.2. MOS Transistorun Temel Bağlantıları

MOS transistörü, çalışma ilkesi yüzey alan etkisine dayanan bir akım kontrol elemanıdır. Bir MOS (Metal-Oxide-Semiconductor) yapısı şekil 3.1’de verildiği gibidir.



Şekil 3.1 MOS Transistor

Şekil 3.1’de p tipi taban üzerinde yüksek katkılı n+ bölgesi oluşturulmaktadır. Sol tarafta bulunan yüksek katkılı bölge kaynak (source) olarak adlandırılır ve V_s geriliminde tutulmuştur. Sağ tarafta bulunan n+ yüksek katkılı bölge ise savak (drain) olarak adlandırılır ve V_D geriliminde tutulmuştur. Üst elektrot tabakası geçit (gate) olarak adlandırılır ve V_G gerilimine bağlanmıştır. p tipi malzeme ise gövde (substrate, bulk) olarak adlandırılır. Gövde

ile geçit arasında ise SiO_2 'den oluşan yalıtkan bir tabaka yer almaktadır. Dolayısıyla MOS transistörün giriş direnci çok yüksektir. Toplam yapı MOS transistör olarak isimlendirilir ve çalışma şekli ise basit bir anlatımla aşağıdaki gibidir.

Kaynak ucunu toprak potansiyelinde tutup $V_s=0$, savak ucuna 0.5V gibi düşük pozitif bir gerilim uygulayalım. Savak akımı I_D 'nin değişimini, geçit gerilimini 0'dan daha yüksek pozitif gerilim değerlerine doğru arttırarak inceleyelim. Geçit diğer tüm bölgelerden oksit tabaka aracılığıyla yalıtıldığından herhangi bir akım çekmez. n^+ savak bölgesi ile her tarafı çevreleyen p-tipi gövde bir p-n jonksiyonu oluşturmaktadır. Gövde en düşük potansiyelde (burada toprak) tutulduğundan ve $V_D>0$ olduğundan bu jonksiyon ters kutuplanır. Dolayısıyla $V_G=0$ için $I_D\approx 0$ olur.

V_G gerilimi arttırılmaya başlandığında, ortaya çıkan ilk olay geçidin altında bulunan R bölgesinin fakirleşmesidir. İkinci olay ise R bölgesinin evirtilmesidir. R bölgesi fakirleştiğinde, savak bölgesi ters kutuplandığından kanaldan akan akım yine sıfır olarak kalır. Fakat V_G gerilimi evirtim kanalını oluşturacak biçimde yüksek tutulursa, R bölgesi elektronlarla dolar (ikinci olay). Hareketli elektronları içeren kanal, savak ve kaynak uçlarını birleştirir . Savak ucu, kaynak ucuna göre pozitif olduğundan elektronlar kaynak tarafından savak tarafına doğru akacaktır ve pozitif akım $I_D>0$ gözlenir. Evirtim kanalını oluşturmak için gerekli olan minimum geçit gerilimine eşik gerilimi denir ve V_T ile gösterilir.

Evirtim kanalındaki elektronların büyük bir kısmı V_G geriliminden kaynaklanan elektrik alanından dolayı kaynak ucundan çekilir. $V_D>0$ olduğu için (savak-gövde jonksiyonu daha fazla ters kutuplanır) savak kısmından elektronların çekilmesi zordur.

Kanalın iki ucu arasında V_D gerilimi mevcut olduğundan, kanaldaki elektronlar savak ucuna doğru çekilirler. Dolayısıyla elektronların rasgele ısı hareketlerine elektrik alanla verilen bir sürüklenme bileşeni eklenir. V_D 'nin düşük değerleri için kanal bir direnç elemanı gibi davranır. Dolayısıyla $I_D\approx V_D/R$ ifadesi yazılabilir. R ise aşağıdaki gibi verilir.

$$R = \frac{L}{W \cdot \mu_n \cdot |Q_n|} \quad (3.1)$$

(3.1) eşitliğinde L kanalın uzunluğunu, W kanalın genişliğini, μ_n kanaldaki elektronların hareket yeteneklerini, Q_n ise kanaldaki elektronların yük yoğunluğunu ifade etmektedir.

Geçide uygulanan V_G gerilimini iki bileşene ayırabiliriz. Geçit geriliminin V_T 'lik kısmı kanalın altındaki fakirleşmiş bölgenin oluşmasında rol oynarken, $V_G - V_T$ ' lik kısmı da kanalın oluşmasında rol oynamaktadır. Dolayısıyla

$$Q_n = -C_{ox} (V_G - V_T) \quad (3.2)$$

(3.2) elde edilir. (3.2) eşitliğinde yer alan C_{ox} , geçitle kanalı birbirinden ayıran oksit tabakanın birim alan başına düşen kapasitesidir.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (3.3)$$

ϵ_{ox} SiO_2 'in dielektrik geçirgenliğini, t_{ox} ise SiO_2 tabakasının kalınlığını göstermektedir.

Sonuç olarak düşük değerli V_D (örneğin $V_D \ll (V_G - V_T)$) için (3.4) nolu eşitlik geçerli olur.

$$I_D = \mu_n C_{ox} \cdot (V_G - V_T) \cdot V_D \quad V_{DS} = V_D \quad (3.4)$$

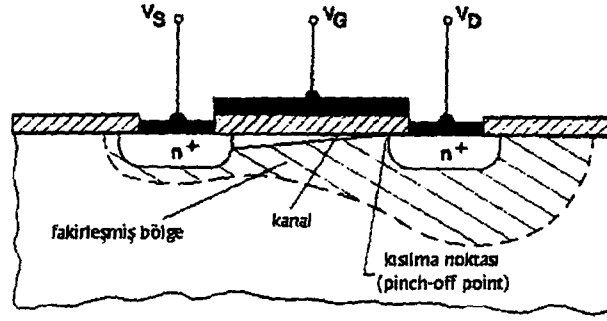
$$R = \left[\mu_n \cdot C_{ox} \cdot \left(\frac{W}{L} \right) \cdot (V_G - V_T) \right]^{-1} \quad (3.5)$$

Dolayısıyla transistor değeri (3.5) eşitliği ile verilen ve V_G gerilimi ile kontrol edilebilen bir direnç elemanı gibi davranır. Bu bölge de direnç bölgesi (triode region) olarak adlandırılır.

Savak gerilimi arttırılırsa, onu V_G gerilimi karşısında ihmal edemeyiz. Dolayısıyla (3.4) eşitliği geçerliliğini kaybeder. Kanalın kaynak ucundaki potansiyel sıfır, savak ucundaki potansiyel ise V_D olduğundan kanal için ortalama bir potansiyel $V_D/2$ verilebilir. Sonuç olarak geçitle kanal arasındaki gerilim değeri $(V_G - V_D/2)$ alınabilir. Eşitlik (3.4)'de yer alan V_G yerine $(V_G - V_D/2)$ koyulacak olunursa (3.6) eşitliği elde edilir.

$$I_D = \mu_n C_{ox} (V_G - V_T - V_D/2) V_D \quad (3.6)$$

(3.6) eşitliği, $V_D < V_G - V_T$ için iyi bir yaklaşıklık olarak kabul edilir ve bu bölge MOS transistor için lineer bölge olarak adlandırılır.



Şekil 3.2. MOS Transistorunda kısılma .

$V_D \geq V_G - V_T$ durumunu inceleyebilmek için şekil 3.2 verilmiştir. Oluşacak yeni durumu iyi gözleyebilmek için şekil 3.2'de yüzeye yakın kısım büyütülerek verilmiştir. Şekilden görüldüğü gibi kanal boyunca oluşacak olan potansiyel değişiminden dolayı yük yoğunluğu Q_n savak tarafına doğru azalır. $V_D = V_G - V_T$ durumunda, savak tarafında oluşacak olan geçit-kanal gerilimi kanalı oluşturacak kadar yeterli olmayacaktır. Dolayısıyla kaynak, kanal ve savağı çevreleyen fakirleşmiş bölge yüzeye kadar ulaşmış olur. Bu olay *kısılma* olarak adlandırılır ve kısılmanın olduğu bölge de *kısılma noktası*dır. Eğer V_D gerilimi daha da arttırılırsa kısılma noktası kaynak tarafına ilerler. Dolayısıyla kanal, sadece kaynak tarafından başlayarak kanalda herhangi bir yerde bulunan kısılma noktasına doğru olan kısım ile sınırlanır. Kısılma noktası ile savak arasındaki bölge ise fakirleşmiştir. Yani, doyma bölgesindeki gövde direnci çok yüksektir. Elektronlar kanaldan bu fakirleşmiş bölgeye kısılma noktasından enjekte edildikten sonra, savak ve kısılma noktası arasındaki potansiyel farkından dolayı oluşan yüksek elektrik alanının etkisi altında savak ucuna doğru sürüklenirler. Dolayısıyla savak-kaynak bölgeleri arasındaki gerilim $V_{DS} = V_D - V_S$, birbirine seri bağlı iki bölge arasında bölünmüş olur. Bu bölgeler ise, kaynak ile kısılma noktası arasındaki kanal ve kısılma noktası ile savak arasında yer alan fakirleşmiş bölgedir. Kısılma noktası ile savak arasındaki direnç kanala göre çok fazla olacağından, V_{DS} geriliminin büyük bir kısmı bu bölgeye düşer. V_D gerilimindeki herhangi bir artış iyi bir yaklaşıklıkla fakirleşmiş bölgenin uçları arasında eşit miktarda gerilim artışına sebep olmakla beraber I_D akımında herhangi bir artışa sebep olmaz. Dolayısıyla $V_D > V_G - V_T$ için, eşitlik (3.6) kullanılacak olunursa (3.7) eşitliği elde edilir.

$$\begin{aligned}
 I_D(V_D) &\approx I_{DSAT} = I_D(V_{DSAT}) \\
 &= \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_G - V_T)^2
 \end{aligned}
 \tag{3.7}$$

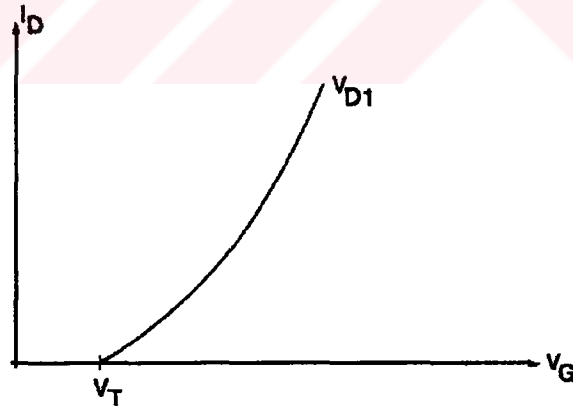
Eşitlik (3.7) $V_D > V_G - V_T$ için verilir ve bu bölge MOS transistörü için doyma bölgesi olarak adlandırılır. $V_{DSAT} = V_G - V_T$ savak doyma gerilimi ve I_{DSAT} ise savak doyma akımıdır.

3.3. MOS Transistorda Eğrisellik

Eşitlik (4.7)'de MOS'un savak akımının sadece V_G geriliminin bir fonksiyonu olduğu görülmektedir. Eğrisellikten dolayı bu ideal eşitlikten bir miktar sapma olacaktır. MOS'da eğriselliğe sebep olan üç etki aşağıda verilmiştir.

3.3.1 Kanal boyu modülasyonu

Gerçekte, V_D geriliminin artmasıyla savak akımında bir miktar artış olur. Bu artışın sebebi ise V_D geriliminin artmasıyla kısılma noktasının kaynak tarafına doğru hareket etmesi ve kanal boyunun kısılmasıdır. Eşitlik (3.7)'de görüldüğü gibi kanal boyu L azaldıkça, I_D akımı artmaktadır. Bu olay kanal boyu modülasyonu olarak bilinir ve (3.7) eşitliğine eklenmesi gerekir. Kanal boyu modülasyonundan dolayı eşitlik (3.7)'de $I_D(V_D)$ ilişkisini gösterebilmek için $(1 + \lambda V_D)$ çarpanı eklenir. Burada λ bir sabittir ve kanalın boyuna, tabanın katkı yoğunluğuna ve gövde kutuplanmasına bağlıdır. Genel olarak $\lambda \propto 1/L$ ilişkisi bilinir.



Şekil 3.3 Transfer karakteristiği

$$k' = \frac{\mu_n \cdot C_{ox}}{2} \quad (3.8)$$

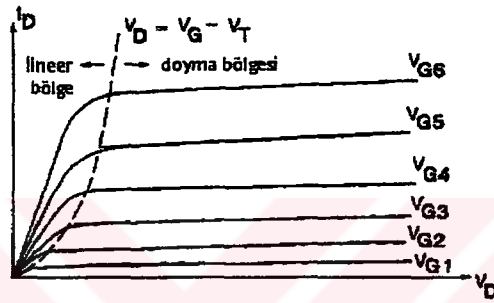
$$k = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} = k' \cdot \frac{W}{L} \quad (3.9)$$

Eşitlik (3.8) ile (3.9) ifadeleri kullanılırsa ve kanal boyu modülasyonunun etkisi de ele alınırsa, eşitlik (3.7) ile verilen doyma akımı ifadesi basit bir biçimde eşitlik (3.10)'da verildiği gibi modellenir.

$$I_D = k.(V_G - V_T)^2(1 + \lambda V_D), \quad V_G \geq V_T \quad (3.10)$$

Böylece kanal boyu modülasyonunun etkisi (3.10) eşitliğinde dikkate alınmıştır.

Şekil 3.3, sabit V_D gerilimi altında, I_D akımının V_G gerilimi ile değişimini göstermektedir. Şekil 3.4 ise, çeşitli sabit V_G değerleri için I_D akımının V_D gerilimi ile olan değişimini göstermektedir. Şekil 3.4 için $V_{G1} < V_{G2} < V_{G3} \dots$



Şekil 3.4 MOS transistorun çıkış karakteristikleri

Şu ana kadar türetilen eşitliklerin hepsi, şekil 3.1'deki yapı göz önüne alınarak çıkarılmıştır. Şekil 3.1'de kaynak, savak ve kanal n tipi malzemedir. Bu şekildeki yapı ise n kanallı MOS veya NMOS olarak adlandırılır. Benzer yapı, n tipi gövde içinde p+ katkılı savak ve kaynak difüzyonu yapılarak da elde edilebilir. Bu yeni yapıda ise geçit altında p tipi kanal oluşturmak için negatif V_G gerilimi ve oluşacak kanaldaki delikleri savak tarafına doğru çekmek içinde negatif V_D gerilimi gerekir. Şekil 3.1'deki referans yönü kullanılırsa I_D akımı negatif olur. Bu yeni yapı ise p kanallı MOS veya PMOS olarak adlandırılır. (3.1-10) eşitliklerinin PMOS içinde geçerli olabilmesi birtakım ufak değişikliklerin yapılması gerekir. Elektronların hareket yeteneği μ_n kanalda bulunan deliklerin hareket yeteneğiyle, kanaldaki elektronların yük yoğunluğu Q_n ise delik yük yoğunluğu ile değiştirilmelidir. Ayrıca taşıyıcıların yükündeki değişikliği belirtmek için eşitlik (3.1-10) 'a negatif işareti eklenmelidir. Son olarak da $V_D < 0$ olduğu için eşitlik (3.1)-(3.10) 'da $|V_D|$ olarak yer almalıdır. Sonuç olarak (3.6) eşitliği, (3.11) ile ifade edilir.

$$I_D = -2.k.(V_G - V_T - V_D/2)V_D \quad (3.11)$$

$$k = \frac{\mu_p \cdot C_{ox}}{2} \cdot \frac{W}{L} \quad \text{ve} \quad V_T < 0$$

Eşitlik (3.11), savak akımının lineer bölgedeki özelliğini gösterir. I_D 'nin doyma bölgesindeki davranışı ise (3.10) eşitliğinde değişiklik yapılarak, eşitlik (3.12)'de verildiği gibi elde edilir.

$$I_D = -k(V_G - V_T)^2 (1 + \lambda |V_D|) \quad (3.12)$$

3.3.2. Gövde etkisi

MOS transistorlarla analog devre tasarımı yaparken karşılaşılan sorunların başında kanal boyu modülasyonu ve gövde etkisi gelir. Şu ana kadar türetilen bütün eşitliklerde hem gövdenin hem de kaynağın toprak potansiyelinde olduğu kabulü yapıldı. Dolayısıyla $V_B = V_S = 0$ eşitliği sürekli sağlanıyordu. Genellikle yapılan tasarımlarda transistorlar için $V_S \neq V_B$ durumunun olması kaçınılmaz denilebilir. Dolayısıyla $V_S - V_B$ gerilimi kaynak-gövde jonksiyonunu ters yönde kutuplayabilmelidir. Aksi durumda, jonksiyondan gövdeye akım akar ve bu da transistorun normal çalışmasını engeller. Sonuç olarak bir NMOS transistorda gövde gerilimi, hem kaynak hem de savak gerilimine göre daha negatif potansiyelde olmalıdır.

Eğer kaynak gerilimi sıfır değilse, şu ana kadar türetilen eşitliklerde V_G yerine $V_{GS} = V_G - V_S$ ve V_D yerine ise $V_{DS} = V_D - V_S$ ifadeleri yerleştirilmelidir. Ek olarak, eğer gövde ile kaynak (dolayısıyla kanal) arasındaki ters gerilim arttırılırsa kanaldan akacak olan akımda azalma gözlenir. V_{GS} gerilimi sabit tutulduğu halde, V_{SB} geriliminin arttırılmasıyla akımda oluşacak olan azalma ise (3.10) eşitliğine bakılacak olunursa eşik geriliminde artış olarak yorumlanabilir. Eşik gerilimindeki bu artış gövde etkisi olarak adlandırılır. Eşik gerilimi V_T 'nin $V_{SB} = V_S - V_B$ gerilimine bağımlılığı eşitlik (3.13)'de verilmiştir.

$$|V_T| = |V_{TO}| + \gamma \left(\sqrt{2 \cdot |\phi_p| + |V_{SB}|} - \sqrt{2 \cdot |\phi_p|} \right) \quad (3.13)$$

Burada V_{TO} , $V_{SB} = 0$ iken ölçülen eşik gerilimini, ϕ_p kuvvetli evirtim yüzey potansiyelini göstermektedir. γ eleman sabiti ise eşitlik (3.14)'de verildiği gibidir.

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_s \cdot q \cdot N_{IMP}}}{C_{OX}} \quad (3.14)$$

Eşitlik (3.13)'de ϵ_s silisyumun dielektrik geçirgenliğini, N_{imp} gövdede bulunan yabancı iyonların konsantrasyonunu göstermektedir. NMOS için $N_{imp}=N_A$, PMOS için ise $N_{imp}=N_D$ dir.

3.3.3 Mobilitenin zayıflama etkisi

MOS transistorunun ideal karesel tanım bağıntısından sapmasına sebep olan diğer bir etki de mobilitenin azalmasıdır. Geçit-kaynak geriliminin değeri çok büyük tutulduğunda, geçit oksit tabakasında oluşacak olan elektriksel alanın değeri çok yüksek olur. Yüksek elektrik alanından dolayı kanalda bulunan taşıyıcılar Si-SiO₂ arakesitine doğru hareket ederler. Sonuç olarak kanaldaki taşıyıcıların mobilitesi azalır. Mobilitenin zayıflama etkisi (3.15)'de verildiği gibi modellenir.

$$I_d = \frac{k}{(1 + \theta(V_{gs} - V_{th}))} (V_{gs} - V_T)^2 \quad (3.15)$$

$$\theta = 1/(t_{ox}E_{cr}) \quad (3.16)$$

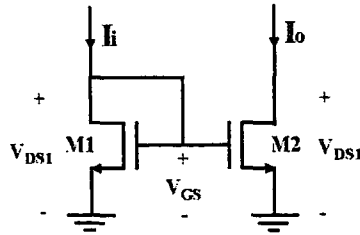
E_{cr} kritik elektrik alanını, t_{ox} ise SiO₂ tabakasının kalınlığını göstermektedir.

4. TASARIMDA KULLANILAN YAPI BLOKLARI

CSFN'in tasarımında şu dört temel analog yapı bloğu kullanılmıştır. Bunlar, analog çarpıcı, geçişiletkenliği elemanı, vektörel toplama devresi ve aktif direnç elemanıdır. Bu bölümde ayrıca bu dört temel bloğun gerçekleştirilmesinde kullanılan yapılar da anlatılacaktır.

4.1.Akım Aynaları

4.1.1.Basit akım aynası



Şekil 4.1 Basit akım aynası

Şekil 4.1'de n -kanallı bir basit akım aynası görülmektedir. M1 transistörü diyot bağlı olduğu için daima doymada çalışmaktadır. M2 transistörünün de doymada çalıştığını farz edelim. Giriş akımının çıkışa yansıtılması, yapıda M1 ve M2 transistörlerinin geçit kaynak gerilimlerinin eşit kılınması ile sağlanmaktadır. Kanal boyu modülasyonunun da hesaba katarak, giriş ve çıkış akımları arasındaki oran için şu ifadeyi yazabiliriz;

$$\frac{I_o}{I_i} = \left(\frac{L_1 W_2}{L_2 W_1} \right) \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left(\frac{\mu_2 C_{OX2}}{\mu_1 C_{OX1}} \right) \quad (4.1)$$

Aynı tümdevrede üretilen transistörler, aynı proses adımlarından geçtiklerinden μ , C_{OX} , V_{TO} fiziksel parametreleri iki transistör için de aynıdır. Buna göre (4.1) eşitliği;

$$\frac{I_o}{I_i} = \left(\frac{L_1 W_2}{L_2 W_1} \right) \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (4.2)$$

şeklinde basitleştirilebilir. M1 ve M2 transistörlerinin savak kaynak gerilimlerinin birbirine eşit, en azından yakın olması durumunda (4.2) eşitliği daha da basit olarak

$$\frac{I_o}{I_i} = \left(\frac{L_1 W_2}{L_2 W_1} \right) \quad (4.3)$$

şeklinde ifade edilebilir. Görüldüğü üzere, giriş ve çıkış akımlarının oranı kanal uzunluk ve genişlikleri ile kontrol edilebilir.

Akım aynasının istenen ideal sonuç olan (4.3) eşitliğinden farklı olmasına neden olan üç etken vardır. Bunlar kanal boyu modülasyonu, transistorların eşik gerilimlerindeki farklılık, transistor boyutlarındaki dengesizliklerdir. Bu etkileri minimuma indirebilmek için çeşitli yollar izlenebilir.

Kanal boyu modülasyonunun etkisini incelemek için, transistorun diğer tüm parametrelerinin eş değer olduğunu düşünmek kolaylık sağlayacaktır. Bu durumda eşitlik (4.2) aşağıdaki şekilde ifade edilebilir.

$$\frac{I_o}{I_i} = \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (4.4)$$

Her iki transistor için de λ değerinin aynı olması durumunda, eşitlik (4.4) savak-kaynak gerilimleri arasındaki farklılığın ideal akım aynası özelliğinden sapma olacağını gösterir. Eşitlik (4.4)'den iki önemli sonuç çıkarılabilir:

- 1) İki transistor için savak-kaynak gerilimleri arasındaki farkın büyük olması durumunda oluşacak olan hata da büyük olacaktır.
- 2) Verilen bir savak-kaynak gerilim farkı için λ değeri düşük oldukça (bu çıkış direncinin büyük olması demektir.) çıkış akımı, giriş akımını daha iyi takip eder.

Sonuç olarak şu söylenebilir: İyi bir akım aynası, eşit savak-kaynak gerilimine ve yüksek çıkış direncine sahip olmalıdır.

Eşitlik (4.1)'e tekrar bakıldığında iki transistorun eşik gerilimlerindeki farklılığın da bir hataya sebep olacağı görülmektedir. Diğer tüm parametrelerin aynı olması durumunda aşağıdaki eşitlik yazılabilir.

$$\frac{I_o}{I_i} = \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \quad (4.5)$$

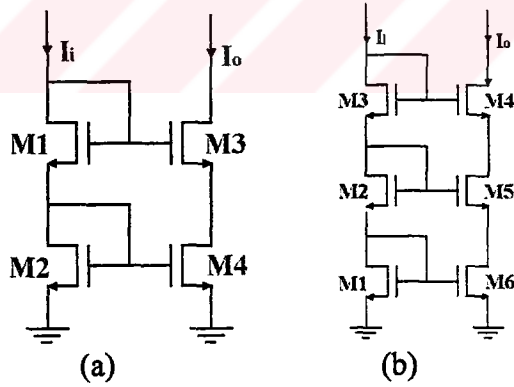
Eşik gerilimlerindeki farkı $\Delta V_T = V_{T1} - V_{T2}$ olarak ifade edelim. ΔV_T 'den kaynaklanacak hatayı azaltabilmek için yüksek akımlarda çalışmak gerekir. Yüksek akım değerleri için V_{GS} değeri de yüksek olacağından ΔV_T eşik gerilimi dengesizliği V_{GS} gerilimine göre çok küçük olur.

İdealsizliğe neden olan üçüncü etki ise W ve L değerlerinin üretim esnasında belli bir hata ile oluşturulmasıdır. Üretim sürecinde yer alan maskeleme, ışın litografisi, aşındırma gibi fiziksel proses adımlarının bir sonucu olarak, transistor boyutlarında çok az da olsa farklılık gözlenir. Transistor boyutlarından kaynaklanacak bu lineersizliği azaltmak için transistor boyutları oluşabilecek değişikliklere göre çok büyük seçilmelidir.

Basit akım aynası için çıkış direnci şu şekildedir,

$$r_o = \frac{1}{g_{ds}} \approx \frac{1}{\lambda_o} \quad (4.6)$$

4.2.2.Kaskod akım aynası



Şekil 4.2 (a) Kaskod akım aynası (b) üç katlı kaskod akım aynası

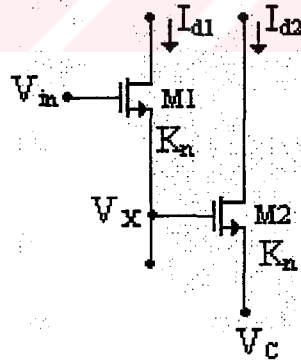
Bir çok uygulamada yüksek çıkış dirençli akım kaynaklarına sıkça gereksinim duyulmaktadır. Bunun temel nedenlerinden biri, aktif yüklü kuvvetlendiricilerde yüksek kazançlı gerilim kazancı elde etme isteğidir. Bu amaçla bipolar tekniğinde gerçekleştirilen kaskod akım aynası MOS tekniğine uyarlanmıştır.

Şekil 4.2a'da MOS kaskod akım aynası görülmektedir. M3 transistörü, devrenin çıkış düğümünde meydana gelecek gerilim değişimlerinden M4 transistörünü yalıtılmaktadır. Çıkış geriliminin bir an için arttığını düşünelim. Bu durumda I_{d4} , aynı şekilde I_{d3} akımı da artacaktır. V_{GS1} ve V_{GS2} gerilimleri giriş akımının sabit olması nedeniyle sabittir. Sonuç olarak V_{DS4} gerilimi artarken V_{GS3} gerilimi azalır. V_{GS3} gerilimindeki azalma çıkış akımındaki artışı kompanse eder. M3 transistörünün savak ucundaki büyük gerilim değişimlerine rağmen çıkış akımında çok az bir değişiklik olur. Çıkış akımındaki değişikliğin sebebi V_{DS4} geriliminde azda olsa meydana gelen değişimdir. Kaskod akım aynasının çıkış direnci aşağıda verilen şekildedir.

$$r_o = r_{o3} [1 + (g_{m3} + g_{mb3}) \cdot r_{o4}] + r_{o4} \quad (4.7)$$

Bu eşitlikte dikkat çeken unsur gövde etkisinin çıkış direncini arttırıcı yönde etki etmesidir. Çıkış direncini bir çok kaskod yapıyı üst üste koymak suretiyle arttırmak mümkündür. Bu yapılarda her bir kaskod, çıkış direncini $1 + (g_m + g_{mb}) \cdot r_o$ kat kadar arttırmaktadır. Örnek bir yapı Şekil (4.2b)'de görülmektedir.

4.3. Geçişiletkenliği Elemanı



Şekil 4.3 İki transistörli temel hücre

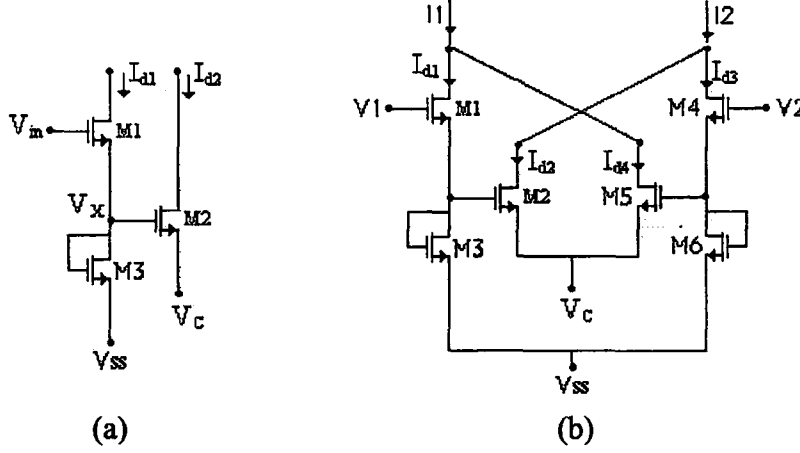
Şekil 4.3'de görülen yapı için fark akımı ifadesini çıkaracak olursak,

$$I_{d1} - I_{d2} = k_n (V_{in} - 2V_X + V_C)(V_{in} - V_C - 2V_{Tn}) \quad (4.8)$$

elde edilir.

$$2V_X = V_{in} + V_B \quad (4.9)$$

eşitliği bir şekilde sağlanabilirse doğrusal bir $V-I$ karakteristiği elde edilir. Burada V_B sabit bir gerilimdir.



Şekil 4.4 a) Basit geçişiletkenliği elemanı b) Geçişiletkenliği elemanı

Eşitlik (4.9)'un geçerli olabilmesi için Şekil 4.4a'ya ilişkin devrede M1, M2 ve M3 transistörlerinin özellikleri eş olmalıdır (Huang S. C. ve İsmail M., 1993). $V_B = V_{ss}$ olarak alınmıştır. Şekil 4.4a'den ayrıca fark edilebileceği gibi M1 ve M3 transistörleri bir gerilim izleyiciyi andırmaktadır. M1 ve M2 transistörlerine ait savak akımlarının farkı alınırsa

$$I_{d1} - I_{d2} = k_n (V_c - V_{ss}) (V_{in} - V_c - 2V_{Tn}) \quad (4.10)$$

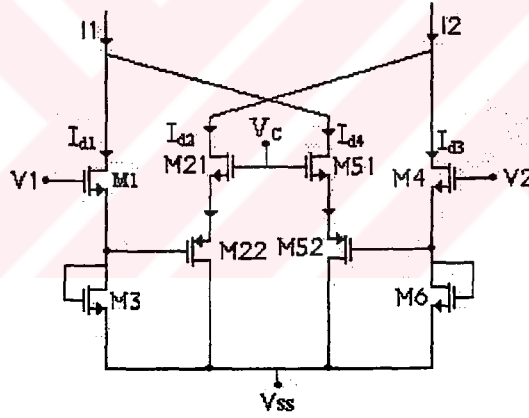
ifadesi elde edilir. (4.10) eşitliğinden fark edileceği gibi fark akımı ile giriş gerilimi arasında dc bir dengesizlik gerilimiyle birlikte lineer bir ilişki vardır. Bir sonraki adım ise bu istenmeyen dc bileşeni ortadan kaldırmak olacaktır. Bunu gerçeklemek için Şekil 4.4b'deki devre, Şekil 4.4a'dan iki adet kullanılarak elde edilmiştir. Yeni yapıya ait fark akımı ifadesi ise şu şekilde verilmektedir.

$$\begin{aligned} I_1 - I_2 &= (I_{d1} - I_{d2}) - (I_{d3} - I_{d4}) \\ &= k_n (V_c - V_{ss}) (V_1 - V_c - 2V_{Tn}) - k_n (V_c - V_{ss}) (V_2 - V_c - 2V_{Tn}) \\ &= k_n (V_c - V_{ss}) (V_1 - V_2) \end{aligned} \quad (4.11)$$

Görüldüğü gibi (4.11) eşitliği, V_C kontrol gerilimiyle kontrol edilebilen ve değeri $g_m = k_n(V_C - V_{SS})$ olan bir lineer V - I dönüştürücüyü göstermektedir. Devredeki M1,M3,M4 ve M6 transistorlarının iletimde olabilmeleri için $V_{I2} \geq V_{SS} + 2V_{Tn}$ olmalıdır. Dolayısıyla devrenin lineer çalışma aralığı bu koşulun sağlanması için azalır. Devrenin daha geniş bir aralıkta lineer olarak çalışabilmesi için bu devreye ilişkin CMOS versiyonu Şekil 4.5’de verilmiştir. Bu yeni devrede, Şekil 4.4b’de yer alan M2 ve M5 transistorları kompozit yapılarla yer değiştirmiştir. Bir kompozit yapı için eşdeğer geçişiletkenliği ve eşik gerilimi (4.12) eşitliğinde verildiği gibidir.

$$\frac{1}{\sqrt{k_{eq}}} = \frac{1}{\sqrt{k_n}} + \frac{1}{\sqrt{k_p}}, \quad V_{Teq} = V_{Tn} + |V_{Tp}| \quad (4.12)$$

Kompozit yapıya ilişkin k_{eq} ifadesini k_n ’e eşit kılmak gerekiyor. PMOS ve NMOS transistorlarına ait mobiliteler bilinirse, PMOS’a ait geçişiletkenliği, NMOS’un geçişiletkenliğine göre çok daha büyük seçilerek $k_{eq} \approx k_n$ olarak elde edilebilir.



Şekil 4.5 Kompozit yapı kullanılarak gerçekleştirilen geçişiletkenliği elemanı

Bu yeni durumda elde edilen fark akımı ise

$$I_1 - I_2 = k_n(V_C - V_{SS} - V_{Tn} - V_{Teq})(V_1 - V_2) \quad (4.13)$$

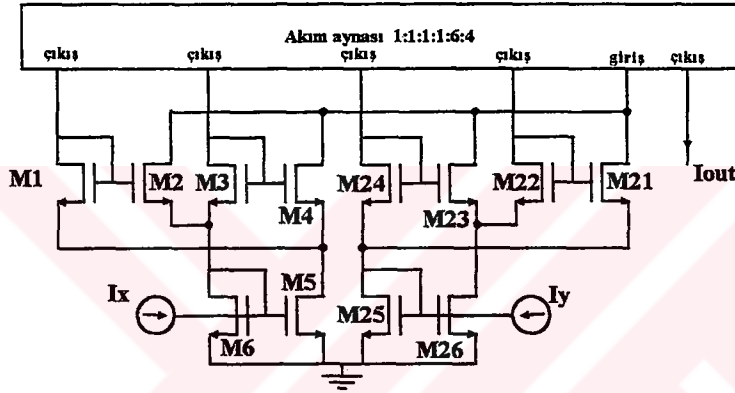
şeklinde elde edilir. Bu durumda geçişiletkenliği

$$g_m = k_n(V_C - V_{SS} - V_{Tn} - V_{Teq}) \quad (4.14)$$

olarak bulunur.

(4.13) ve (4.14) eşitlikleri çıkartılırken $k_{eq}=k_n$ olarak alınmıştır. Bu eşitliğin geçerli olabilmesi için k_p değerinin k_n 'e nazaran çok büyük olması gerekiyor. Yonga üzerinde gerçekleştirilecek transistörlerin ölçülerinin çok fazla olmaması tümdevre açısından istenen bir özelliktir. Dolayısıyla k_p değerinin büyüklüğü eleman boyutlarına bağlı olduğundan, düşük de olsa bir distorsiyonun oluşması söz konusudur. Bu distorsiyonun yanısıra, M1 ve M3 (M4 ve M6) transistörleri kuvvetli evirtim bölgesini terk edip, zayıf evirtim bölgesine girmesi durumunda da bir lineersizlik söz konusudur.

4.4. Doğrusal geçiş çevrimli vektörel toplama devresi



Şekil 4.6 MTL yapısı ile gerçekleştirilen vektörel toplama devresi

Yukarıda görülen devre aşağıdaki fonksiyonu gerçeklemektedir.

$$I_{\text{çıkış}} = \sqrt{I_x + I_y} \quad (4.15)$$

Bu devre için şu akım eşitlikleri yazılabilir.

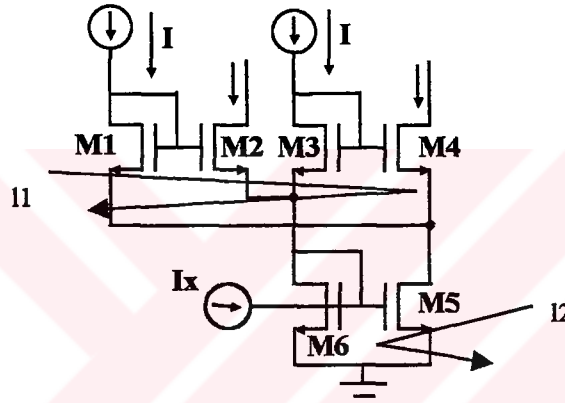
$$I_{D1} = I_{D3} = I_{D24} = I_{D22} = I \quad I_{D21} = 6I \quad I_{out} = 4I \quad (4.16)$$

Yukarıdaki devrenin analizini yapabilmek için devreyi oluşturan temel blok şekil 4.7’de verilmiştir. Şekil üzerinde doğrusal geçiş çevreleri görülmektedir.

Öncelikle I_x akımına ait bloğu inceleyelim. 11 çevresi için saat yönünün ters istikametindeki geçit kaynak gerilimlerinin toplamını saat yönündeki geçit kaynak gerilimlerinin toplamına eşitlersek şu eşitliği elde ederiz.

$$\sqrt{\frac{I_{D1}}{k_n}} + V_{Tn} + \sqrt{\frac{I_{D3}}{k_n}} + V_{Tn} = \sqrt{\frac{I_{D2}}{k_n}} + V_{Tn} + \sqrt{\frac{I_{D4}}{k_n}} + V_{Tn} \quad (4.17)$$

Transistorlar aynı boyutta ve aynı tipte oldukları için geçişiletkenlikleri aynıdır. Ayrıca M1, M4 ve M2, M3 transistorlarının kaynak uçları birbirleriyle aynı düğüme bağlı olduğundan eşitlik (4.17)'nin iki tarafında bulunan eşik gerilimleri birbirlerinin götürür. Bu yapının kullanılması durumunda devrede bulunan transistorların ayrı kuyularda gerçekleşmesine



Şekil 4.7 Vektörel toplama devresinin temel hücresi

gerek kalmayacaktır. Sonuç olarak (4.17) eşitliği eşitlik (4.16)'nın dikkate alınmasıyla şu şekli alır.

$$\sqrt{I_{D2}} + \sqrt{I_{D4}} = 2I \quad (4.18)$$

12 çevresi dikkate alınırsa şu eşitlik elde edilir.

$$I_x = I_{D2} - I_{D4} \quad (4.19)$$

Şekil 1'deki devre için M2, M4, M23 ve M21 transistorlarına ait savak akımlarını sırasıyla I_1 , I_2 , I_3 , I_4 ile gösterirsek (4.18) ve (4.19) eşitliklerinin birlikte çözülmesiyle I_1 ve I_2 akımları için şu eşiklikler elde edilir.

$$I_1 = I + \frac{I_x}{2} + \frac{I_x^2}{16I} \quad (4.20)$$

$$I_1 = I - \frac{I_x}{2} + \frac{I_x^2}{16I} \quad (4.21)$$

Bu iki akımı toplarsak,

$$I_1 + I_2 = 2I + \frac{I_x^2}{8I} \quad (4.22)$$

eşitliği elde edilir. Benzer analiz şekil 6'da görülen sağdaki blok için de yapılırsa I_3, I_4 akımlarının toplamı için,

$$I_3 + I_4 = 2I + \frac{I_x^2}{8I} \quad (4.23)$$

eşitliği elde edilir.

$$I_{griş} = I_1 + I_2 + I_3 + I_4 = 4I + \frac{1}{8I}(I_x^2 + I_y^2) \quad (4.24)$$

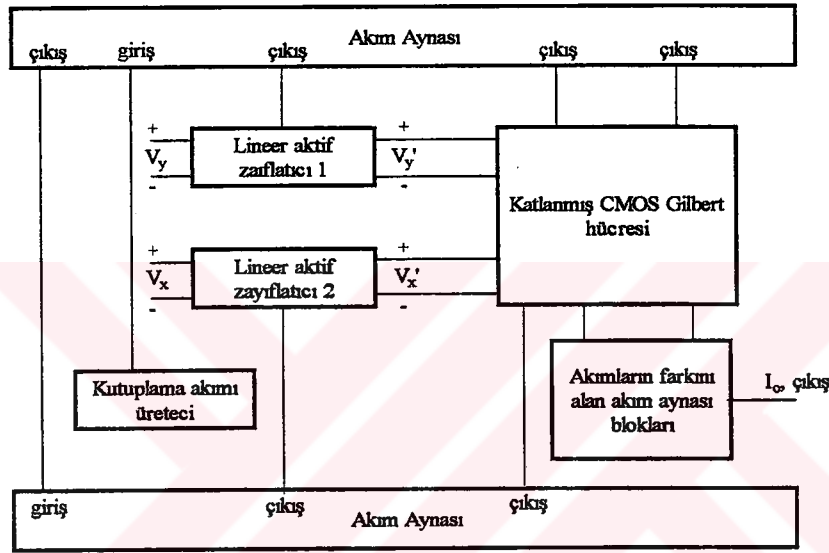
(4.24) eşitliğinin her iki tarafını $8I$ ile çarparak ve (4.16) eşitliğini de dikkate alarak gerekli düzenlemeleri yaparsak çıkış akımı için,

$$I_{çıkış} = \sqrt{I_x + I_y} \quad (4.25)$$

eşitliği elde edilir.

4.5. Çarpma Devresi

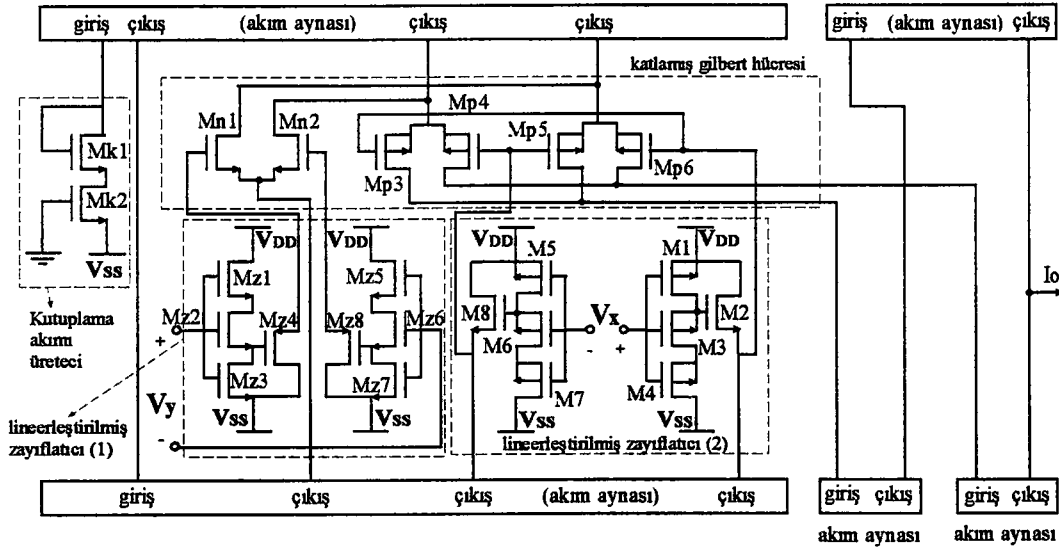
Çarpma devreleri iki elektriksel parametrenin (akım veya gerilim) çarpımıyla orantılı bir çıkış (akım veya gerilim) üreten devrelerdir. CSFN’de kullanılan çarpıcı devrenin prensip şeması şekil 4.8’de görülmektedir. Temel çarpma bloğu olarak katlanmış CMOS gilbert hücresi (Babanezhad Joseph N. ve Temes Gabor C., 1985) kullanılmıştır. Bu hücrenin doğrusal çalışma bölgesi çok dardır. Giriş gerilimlerine bağlı olarak lineer çalışma bölgesini arttırabilmek amacıyla giriş gerilimleri zayıflatılmıştır. Zayıflatıcı kullanarak, giriş gerilimlerinin besleme gerilimleri arasındaki değişimi için doğrusala yakın bir çalışma elde etmek mümkündür.



Şekil 4.8 Çarpma devresi prensip şeması

Kullanılan zayıflatma devresi bilinen aktif zayıflatma devresinde (Horn M. Van ve Geiger R. L., 1985), doğrusal çalışmayı iyileştirecek bir değişiklik yapılarak elde edilmiştir.

Devrenin girişleri, gerilim çıkışı ise akımdır. Prensip şemada görülen kutuplama akımı üretici lineer aktif zayıflatıcılar ve katlanmış gilbert hücresi için gereken kutuplama akımlarını üretmektedir. Kutuplama akımı üreticinde elde edilen akım, akım aynaları vasıtasıyla ilgili bloklara iletilmektedir. Devrenin açık şeması Şekil 4.9’da görülmektedir.

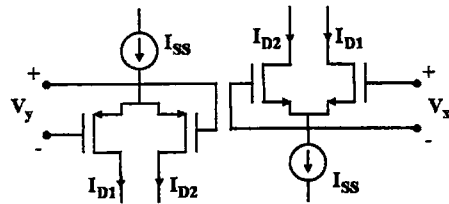


Şekil 4.9: Tasarımı yapılan çarpıcı devrenin açık şeması

Devrenin çalışmasının tam olarak anlaşılabilmesi için devredeki alt blokların çalışma prensiplerinin açıklanması yerinde olacaktır. Bu açıklamalar alt kısımlarda yapılacaktır. Öncelikle basit fark kuvvetlendiricisi açıklanacaktır. Bu yapı katlanmış gilbert hücresinin temel bloğudur.

4.5.1 Basit Fark kuvvetlendiricisi

Şekil 4.10'de n ve p tipi fark kuvvetlendiricileri görülmektedir. Devre basit bir çarpma işlemini gerçekleştirir. Bu yapı analog çarpıcının en temel hücresini oluşturur. Devrede bulunan MOS transistorların savak akımları farkı, giriş gerilimiyle orantılıdır. Orantı katsayısı kuyruk akımı ve giriş geriliminin bir fonksiyonudur.



Şekil 4.10 Basit fark kuvvetlendiricisi

n-tipi basit fark kuvvetlendiricisinin analizi şöyle yapılabilir:

Her iki transistörün eş olduğu ve doyma bölgesinde çalıştığı farz edilsin. Bir transistör için savak akımı ile geçit-savak gerilimi arasında, kanal boyu modülasyonu etkisi ihmal edilebilecek kadar kanal uzunlukları büyük tutulursa ($L \geq 10$) şu ilişki yazılabilir.

$$I_D = k_n (V_{GS} - V_T)^2 \quad (4.27)$$

(4.27) eşitliğinden, geçit-savak gerilimi eşitliğin sağ tarafında yalnız bırakılırsa, her iki transistör için şu eşitlikler elde edilir.

$$V_{GS1} = \sqrt{\frac{I_{D1}}{k_n}} + V_T \quad (4.28)$$

$$V_{GS2} = \sqrt{\frac{I_{D2}}{k_n}} + V_T \quad (4.29)$$

Kirichoff'un gerilimler yasasından yola çıkarak giriş gerilimi V_y ile transistörlerin geçit savak gerilimleri arasındaki şu ilişkiyi elde edebiliriz.

$$V_y = V_{GS1} - V_{GS2} \quad (4.30)$$

Yine Kirichoff'un akımlar yasası s düğümü için yazılırsa,

$$I_{SS} = I_{D1} + I_{D2} \quad (4.31)$$

eşitliği elde edilir.

(4.29) eşitliğinde V_{GS2} için (4.30) eşitliğinden elde edeceğimiz $V_{GS2} = V_{GS1} - V_y$ terimini ve I_{D2} için (4.31) eşitliğinden elde edeceğimiz $I_{D2} = I_{SS} - I_{D1}$ yerine koyarsak şu eşitliği elde ederiz;

$$V_{GS1} - V_y = \sqrt{\frac{I_{SS}}{k_n} - \frac{I_{D1}}{k_n}} + V_T \quad (4.32)$$

(4.32) eşitliğinde V_{GS1} yerine (4.28) eşitliğini yerine koyar ve V_T terimlerini sadeleştirirsek

$$\sqrt{\frac{I_{D1}}{k_n}} - V_y = \sqrt{\frac{I_{SS}}{k_n} - \frac{I_{D1}}{k_n}} \quad (4.33)$$

eşitliğini elde ederiz. Eşitliğin her iki tarafının karesi alınırsa $\sqrt{I_{D1}/k_n}$ terimi için ikinci dereceden bir denklem elde edilir. Bu denklemin çözümünden,

$$I_{D1} = \left(\sqrt{\frac{I_{SS}}{k_n} - \frac{V_y^2}{2}} + \frac{V_y}{\sqrt{2}} \right)^2 \quad (4.34)$$

elde edilir. Benzer işlemler yapılarak diğer transistorun savak akımı için

$$I_{D2} = \left(\sqrt{\frac{I_{SS}}{k_n} - \frac{V_y^2}{2}} - \frac{V_y}{\sqrt{2}} \right)^2 \quad (4.35)$$

eşitliği elde edilir.

Bu iki savak akımının farkı alınırsa;

$$\Delta I = I_{D1} - I_{D2} = k_n V_y \cdot \sqrt{\frac{I_{SS}}{k_n} - V_y^2} \quad (4.36)$$

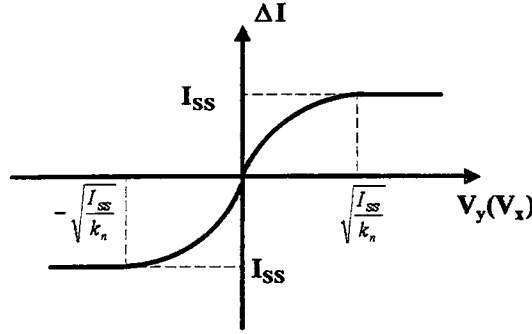
eşikliği elde edilir. Bu eşitlik şu aralıkta geçerlidir.

$$-\sqrt{\frac{I_{SS}}{k_n}} \leq V_y \leq \sqrt{\frac{I_{SS}}{k_n}} \quad (4.37)$$

(4.36) eşitliğindeki, ΔI akımının V_y giriş gerilimi ile değişimi Şekil 4.11'de görülmektedir.

Şekilden de görüldüğü üzere V_y giriş gerilimi (4.37) eşitsizliği ile verilen sınır değerlerini

aştığında ΔI fark akımı doymaya gitmekte ve I_{ss} değerinde sabit kalmaktadır. Bunun nedeni kuyruk akımının tamamının transistorların birinden akarken diğerinden bir akım akmamasıdır.



Şekil 4.11 Basit fark kuvvetlendiricisi için geçiş karakteristiği

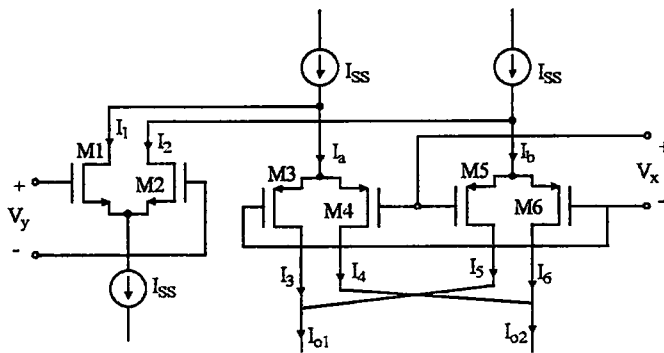
Basit fark kuvvetlendiricisi pMOS transistorlar ile gerçekleştirirse, yapılacak benzer analiz neticesinde şu eşitlikler elde edilir.

$$I_{D2} = \left(\sqrt{\frac{I_{ss}}{k_n} - \frac{V_y^2}{2}} - \frac{V_y}{\sqrt{2}} \right)^2 \quad (4.38)$$

$$I_{D1} = \left(\sqrt{\frac{I_{ss}}{k_n} - \frac{V_y^2}{2}} + \frac{V_y}{\sqrt{2}} \right)^2 \quad (4.39)$$

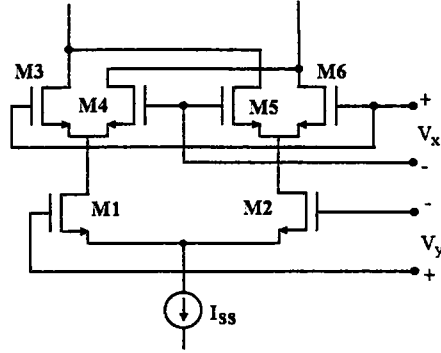
$$\Delta I = I_{D1} - I_{D2} = k_n V_y \cdot \sqrt{\frac{I_{ss}}{k_n} - V_y^2} \quad , \quad -\sqrt{\frac{I_{ss}}{k_n}} \leq V_y \leq \sqrt{\frac{I_{ss}}{k_n}} \quad (4.40)$$

4.5.2 Katlanmış CMOS Gilbert hücresi



Şekil 4.12 Katlanmış Gilbert hücresi

Şekil 4.12’de katlanmış Gilbert hücresi görülmektedir. Bu devre küçük değerli giriş gerilimleri için, giriş gerilimlerinin çarpımı ile orantılı bir çıkış akımı üretmektedir. Bu yapıda üç adet basit fark kuvvetlendiricisi mevcuttur. Bunlardan ikisi x girişi, biri y girişi ile kontrol edilmektedir.



Şekil 4.13 Gilbert hücresi

Bu yapı, Gilbert hücresinin (Greay P. R. ve Meyer R. G., 1984) bazı dezavantajlarına alternatif olarak Babanezhad Joseph N. ve Temes Gabor C., (1985) tarafından sunulmuştur. Bu dezavantajlar, Şekil 4.13’de görülen Gilbert hücresi referans alınarak şöyle açıklanabilir: V_x girişine yüksek ortak işaret ve küçük fark işareti uygulanmalıdır. Yüksek ortak işaret bileşeni M1 ve M2 transistorlarının triod bölgeye girmelerini engellemek için gereklidir. Küçük fark işareti ise kuyruk akımının küçük tutulma zorunluluğundan kaynaklanmaktadır. Kuyruk akımı büyük tutulursa transistorların V_{DSsat} değerleri yukarıya çekilecektir. Bu ise transistorların triod bölgeye girme olasılığının artması demektir. Bu durum, daha geniş bir besleme gerilimi aralığı yada bütün transistorların daha uzun ve dar kanallı tutulması ile ortadan kaldırılabilir. Gilbert hücresinin lineer çalışma aralığı x girişi için $-0.3V \leq V_x \leq 0.3V$ ve y girişi için ise $-0.7V \leq V_y \leq 0.7V$ aralığındadır (Babanezhad Joseph N. ve Temes Gabor C., 1985).

Katlanmış Gilbert hücresinin lineer çalışma aralığı x girişi için $-0.3V \leq V_x \leq 0.3V$ ve y girişi için ise $-1V \leq V_y \leq 1V$ aralığındadır (Babanezhad Joseph N. ve Temes Gabor C., 1985). Görüldüğü gibi katlanmış Gilbert hücresinin lineer çalışma aralığı daha geniştir. Bunun için ödenen bedel kaynaktan çekilen kutuplama akımının daha yüksek olmasıdır.

Devrenin analizi şöyle yapılabilir:

M3-M4 transistorlarından oluşan fark kuvvetlendiricisinin kuyruk akımı;

$$I_a = I_{ss} - I_1 = I_{ss} - \frac{k_n}{2} \left(\sqrt{\frac{I_{ss}}{k_n} - \frac{V_y^2}{2}} + \frac{V_y}{\sqrt{2}} \right)^2 \quad (4.41)$$

yazılabilir. Benzer şekilde M5-M6 transistörlerinden oluşan fark kuvvetlendiricisinin kuyruk akımı için;

$$I_b = I_{ss} - I_2 = I_{ss} - \frac{k_n}{2} \left(\sqrt{\frac{I_{ss}}{k_n} - \frac{V_y^2}{2}} - \frac{V_y}{\sqrt{2}} \right)^2 \quad (4.42)$$

yazılabilir. Hücrenin çıkış akımı;

$$I_O = I_{O1} - I_{O2} = (I_3 - I_4) - (I_6 - I_5) \quad (4.43)$$

şeklindedir.

M3-M4 ve M5-M6 transistörlerinden oluşan fark kuvvetlendiricilerinin savak akımları farkları için sırasıyla şu bağıntılar yazılabilir;

$$I_{O1} = (I_3 - I_4) = k_p V_x \sqrt{\frac{2I_a}{k_n} - V_x^2} \quad (4.44)$$

$$I_{O2} = (I_6 - I_5) = k_p V_x \sqrt{\frac{2I_b}{k_n} - V_x^2} \quad (4.45)$$

(4.41-42) eşitliklerini sırasıyla (4.44-45) eşitliklerinde ve sonuç eşitliklerini de (4.43) eşitliğinde yerine koyar ve gerekli düzenlemeleri yaparsak,

$$I_O = \sqrt{k_n k_p} V_x \left[\sqrt{\left(\sqrt{\frac{I_{ss}}{k_p} - \frac{V_y^2}{2}} + \frac{V_y}{\sqrt{2}} \right)^2 - V_x^2} - \sqrt{\left(\sqrt{\frac{I_{ss}}{k_p} - \frac{V_y^2}{2}} - \frac{V_y}{\sqrt{2}} \right)^2 - V_x^2} \right] \quad (4.46)$$

eşitliğini elde ederiz. $V_x^2 \approx V_y^2 \approx 0$ kabul edebileceğimiz, x ve y giriş değerlerinde (4.46) bağıntısı şu yaklaşık eşitlik ile ifade edilebilir.

$$I_o = \sqrt{2k_n k_p} V_x V_y \quad (4.47)$$

Yukarıda da ifade edildiği gibi x ve y girişleri için lineer çalışma aralığı sırasıyla; $-0.3V \leq V_x \leq 0.3V$, $-1V \leq V_y \leq 1V$ şeklindedir.

4.6. Zayıflatıcı Devre

Tasarımı yapılan devredeki lineerleştirilmiş zayıflatıcı devre, bilinen zayıflatıcı devreden esinlenerek gerçekleştirilmiştir. Lineerleştirilmiş zayıflatıcı devrenin anlaşılabilmesi için öncelikle temel aktif zayıflatıcının çalışmasının açıklanması faydalı olacaktır.

4.6.1. Temel aktif zayıflatıcı

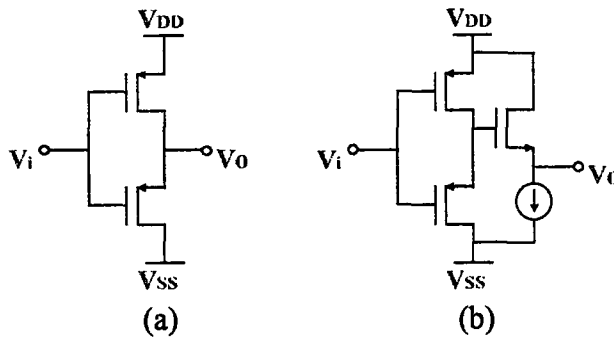
Şekil 4.14'de temel zayıflatıcı (Horn M. Van ve Geiger R. L., 1985) devresi görülmektedir. M1 transistörünün triod bölgede M3 transistörünün doymada çalıştığı varsayımı altında ve gövde etkisi ihmal edilirse çıkış gerilim şu şekilde ifade edilebilir;

$$V_o = \left[1 - \sqrt{\frac{W_1 L_3}{W_1 L_3 + W_3 L_1}} \right] \cdot (V_i - V_{DD} - V_T) + V_{DD} \quad (4.48)$$

Buna göre zayıflatıcı devresinin kazancı;

$$m = 1 - \sqrt{\frac{W_1 L_3}{W_1 L_3 + W_3 L_1}} \quad (4.49)$$

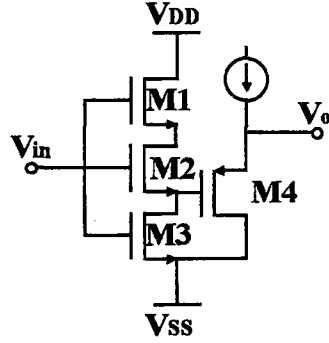
şeklinde ifade edilir.



Şekil 4.14 Aktif zayıflatıcı (a) zayıflatıcı (b) seviye kaydırma devresi ve zayıflatıcı

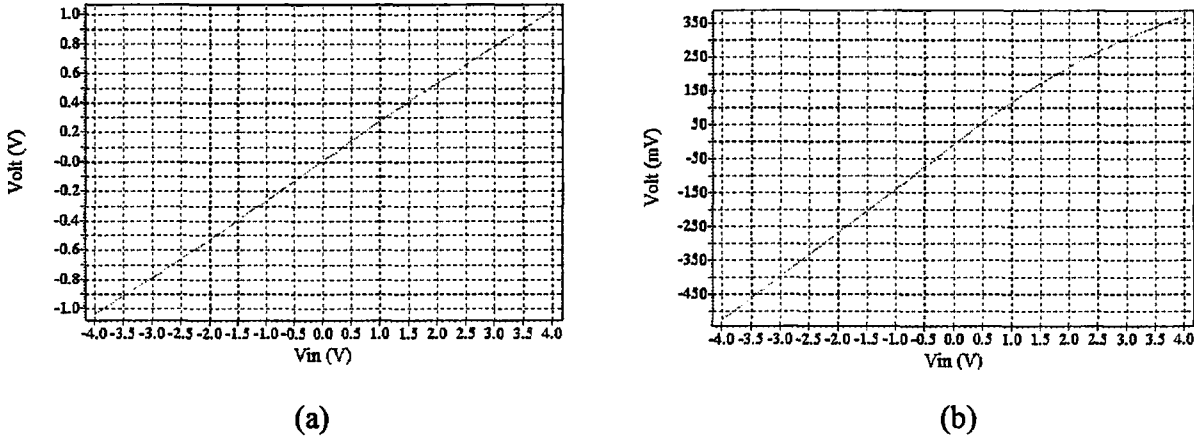
Seviye kaydırıcı devre bu devrenin değişik bir versiyonu olan lineerleştirilmiş zayıflatıcı devrenin gilbert hücreğine bağlanması sırasında kutuplama amacıyla gereklidir

4.6.2. Lineerleştirilmiş aktif zayıflatıcı



Şekil 4.15 Lineerleştirilmiş aktif zayıflatıcı

Şekil 4.15’de lineerleştirilmiş zayıflatıcı devre görülmektedir. M(1-3) transistörleri lineerleştirilmiş zayıflatıcı devreyi oluşturmaktadır. M4 transistörü seviye kaydırıcı elemandır. M2 ve M3 transistörleri daima direnç bölgesinde çalışmaktadır. Bu devre bilinen aktif zayıflatıcıya göre daha doğrusal bir çıkışa sahiptir. Bilinen aktif zayıflatıcı ile bu iki devrenin çıkışlarının doğrusallık açısından bir karşılaştırılmasının yapılabilmesi için Tübitak YİTAL 3 μm Level 3 parametreleri ile yapılmış iki simülasyon sonucu verilmiştir (Şekil 4.16).



Şekil 4.16 Örnek simülasyon sonuçları (a) lineerleştirilmiş zayıflatıcı (b) bilinen aktif zayıflatıcı

Bu devrenin bir diğer üstünlüğü tek bir yapı ile girişin birden fazla “farklı zayıflatılmış değerlerinin” elde edilebilmesidir. Örneğin, Şekil 4.15’deki devrede M2 ve M3

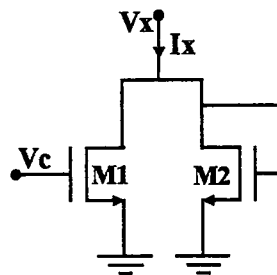
transistorlarının savak gerilimleri girişe ait zayıflatılmış iki farklı değeri verir. Tek bir yapıda girişe ait zayıflatılmış farklı değer sayısını daha da arttırmak mümkündür. Bunun için yapıya eklenecek her bir transistorun, M1 ve M3 transistorları arasına yerleştirilen M2 transistorunda olduğu gibi, geçidi girişe, savağı üstteki transistorun kaynağına, kaynağı ise alttaki transistorun savağına bağlanır. Yapıyı bu şekilde geliştirmek mümkündür.

MOS transistor için geliştirilen el analizi bağıntılarından yola çıkarak, lineerleştirilmiş zayıflatıcı devrenin giriş ve çıkışı arasında tam bir analitik ifade etmek zordur. M1 transistorunun altındaki transistorların daima direnç bölgesinde çalışması böyle bir analitik ifadenin elde edilmesini zorlaştırmaktadır. Bazı yaklaşıklıklarla giriş ve çıkış arasında yaklaşık bir analitik ifade elde edilebilir. Bu tasarımda, böyle bir analitik ifade elde ederek sonuca ulaşmak yerine doğrudan simülasyon kullanılarak sonuca ulaşılmıştır.

4.7. Aktif Direnç

MOS tümdevre teknolojisinde gerçekleştirilecek en iyi direnç polysilicon stripleri, difüzyonlu stripler yada ince filmlerdir. Ancak yine de, bu dirençler önemli sayılabilecek bazı sınırlamalara sahiptirler. Bu sınırlamalar dirençlerin alabileceği en üst değerlerin tasarım gereksinimleri açısından küçük kalması, üretim sürecindeki parametrelerin küçük değişimlerine olan büyük duyarlılık, büyük sıcaklık katsayılarına sahip olmaları ve aktif elemanlara nazaran kırmık üzerinde harcadıkları yerin büyük olması şeklinde özetlenebilir. Bu sınırlamalar direnç elemanlarının aktif elemanlarla tasarlanmasıyla ortadan kaldırılabilir.

Tasarımı gerçekleştirilen CSFN hücresinde ihtiyaç duyulan bir ucu topraklanmış direnç elemanı iki MOS transistor yardımıyla gerçekleştirilmiştir (Şekil 4.17), (Al-Ruwaihi K. M. ve Noras J. M., 1994).



Şekil 4.17 Direnç elemanı

Şekil 4.17’de görülen transistörlerden M1 daima direnç bölgesinde çalışacak şekilde kutuplanır. M2 transistörü daima doyma bölgesinde çalışır. M1 transistörü için direnç bölgesinde çalışma koşulu şu şekildedir:

$$V_C - V_T > V_X > 0 \quad (4.50)$$

Bu iki transistör için geçişiletkenliği k olup $k = \frac{k'W}{L}$ ’dir. W kanal genişliği L ise kanal uzunluğudur. k' mobilite ve oksit kapasitesinin çarpımı olup bütün transistörler için aynıdır.

M1 için savak akımı,

$$I_{D1} = \frac{k_1}{2} [2(V_C - V_T)V_X - V_X^2] \quad (V_C - V_T) > V_X, V_X > 0 \quad (4.51)$$

şeklinde ifade edilebilir. M2 transistörü için savak akımı,

$$I_{D2} = \frac{k_2}{2} (V_X - V_T)^2 \quad (4.52)$$

şeklindedir I_X akımı I_{D1} ve I_{D2} akımlarının toplamıdır.

$$I_X = I_{D1} + I_{D2} = k_1(V_C - V_T)V_X - k_1 \frac{V_X^2}{2} + k_2 \frac{V_X^2}{2} + \frac{k_2}{2} V_X^2 - k_2 V_T V_X, \quad (V_C - V_T) > V_X > V_T \quad (4.53)$$

k_1 ve k_2 geçişiletkenlikleri birbirine eşit alınırsa ($k_1=k_2$),

$$I_X = I_{D1} + I_{D2} = k_1(V_C - 2V_T)V_X + \frac{k_1}{2} V_T^2 \quad (V_C - V_T) > V_X > V_T \quad (4.54)$$

elde edilir. (4.54) bağıntısı $y=mx+c$ formunda olup bir doğru denklemdir. Buna göre ofset terimi ihmal edilebilirse eşdeğer direnç,

$$R_X = \left[\frac{1}{k_1(V_C - 2V_T)} \right] \quad (4.55)$$

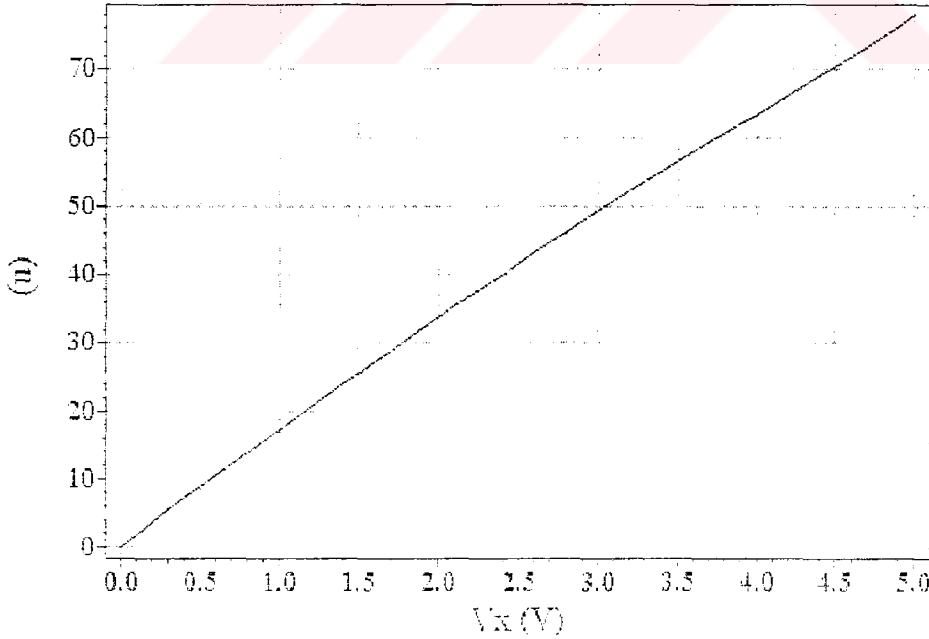
şeklinde. Eşik geriliminin altında sadece M1 transistörü çalışacak M2 transistörü kesimde olacaktır. Buna göre I_X akımı I_{D1} akımına eşit olacaktır.

$$I_X = I_{D1} = \frac{k_1}{2} [2(V_C - V_T)V_X - V_X^2] \quad V_X < V_T \quad (4.56)$$

$V_X < V_T$ durumunda $V_X^2 \ll 0$ olduğu için bu terimi ihmal edebiliriz. Bu durumda R_X direnci,

$$R_X = \left[\frac{1}{k_1(V_C - V_T)} \right] \quad (4.57)$$

Görüldüğü gibi bu devrenin I - V karakteristiği iki parçalıdır. Eşik geriliminin altındaki karakteristik yaklaşık olarak (4.57) bağıntısı ile eşik geriliminin üstündeki karakteristik (4.55) bağıntısıyla ifade edilebilir. Bu iki karakteristik eşik geriliminde çakışmaktadır. Bu durumu, (4.56) ve (4.54) bağıntılarında V_X yerine V_T konmasıyla I_X akımlarının eşit olması kanıtlamaktadır.



Şekil 4.18 Direnç Simülasyonu

Bu yapının topraklanmış direnç elemanı olarak iyi sonuç verebileceğini gösterebilmek amacıyla Tübitak YİTAL 3 μ Level 3 parametreleri ile yapılan bir simülasyon sonucu Şekil 4.18’de verilmiştir.

Görüldüğü gibi bu yapı ile geniş bir aralıkta kontrol edilebilir topraklanmış direnç elemanını elde etmek mümkündür.

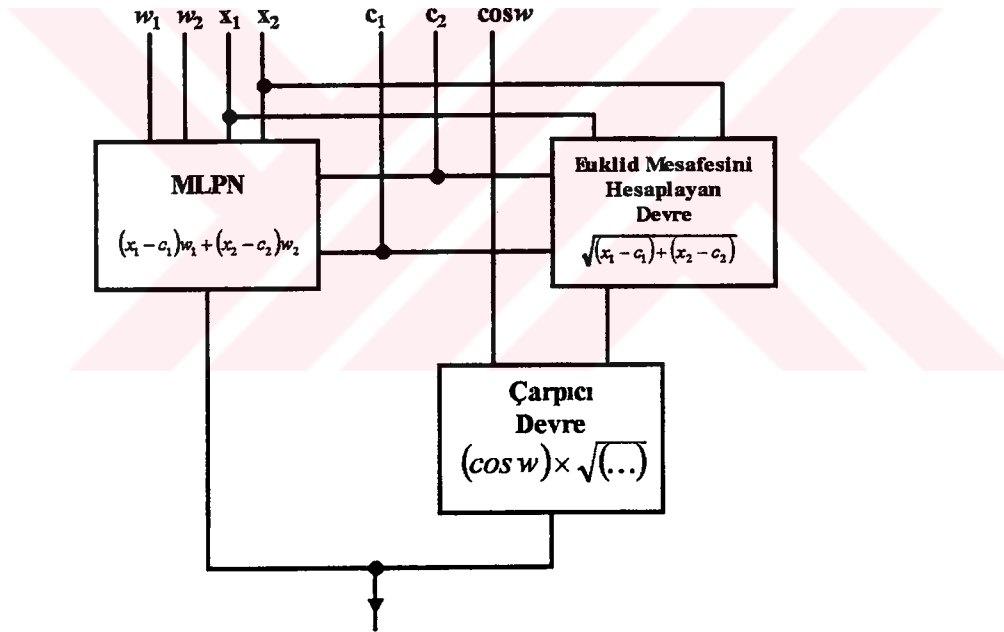


5. TMDEVRE OLARAK GEREKLENEN KONİK KESİT FONKSİYONU AĖİNİN TANITIMI

Tasarımı yapılan CSFN ağı (2.5) eşitliğı ile verilen fonksiyonu iki boyutlu giriş uzayı için gereklemektedir. İki boyutlu giriş uzayı için (2.5) eşitliğinin yeni formu, (5.1) eşitliğinde ifade edilmiştir.

$$y_i = w_1(x_1 - c_1) + w_2(x_2 - c_2) - \cos w \sqrt{(x_1 - c_1)^2 + (x_2 - c_2)^2} \quad (5.1)$$

Bu fonksiyonu gerekleyen devre iki temel kısımdan oluşmaktadır. Birinci kısım, girişlerin bir merkeze göre ağırlıklı toplamalarını alır. Bu devre iki girişli bir MLP ağıdır. İkinci kısım girişlerin bir merkeze göre uzaklığını hesaplar ve bu mesafeyi $\cos w$ terimiyle çarpar. Tmdevrenin blok şeması şekil 5.1’de ve serimi Ek 8’de verilmiştir.

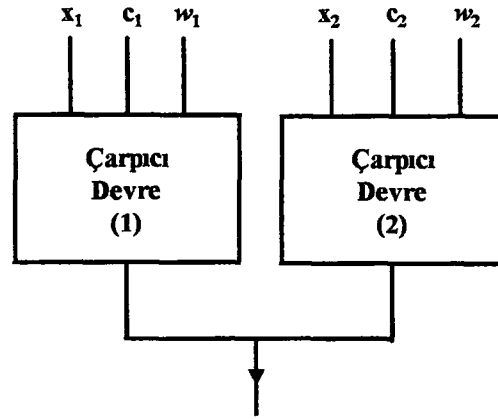


Şekil 5.1: Tasarımı yapılan CSFN

5.1. MLP Ağı

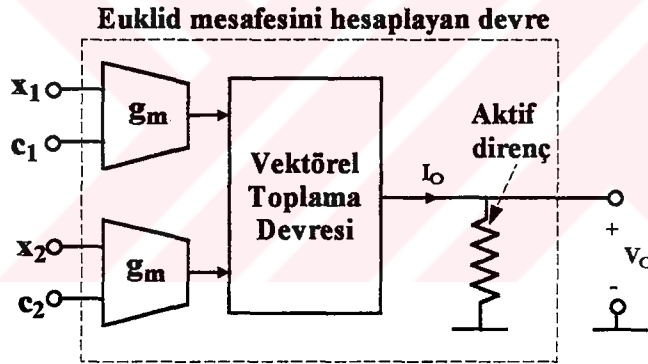
Bu ağı iki adet çarpıcı devreden oluşmaktadır. Yapıda kullanılan çarpıcı devrenin tanıtımı kısım (4.5)’de yapılmıştı. Çarpıcı devre bir katlanmış gilbert hücresi ve dört adet lineerleştirilmiş zayıflatıcı ve seviye kaydırıcıdan oluşmaktadır. Çarpıcının girişleri gerilim,

çıkışı ise akımdır. Her bir çarpıcı $(x_i - c_i)w_i$ işlemini gerçeklemektedir. Çarpıcıların çıkışları akım olduğu için bu iki çıkışı toplamak oldukça kolaydır. Bu akımları tek bir düğüme vermek yeterlidir. MLP ağının prensip şeması şekil 5.2’de görülmektedir.



Şekil 5.2: MLP Ağı

5.2. Euklid Mesafesini Hesaplayan Devre



Şekil 5.3 Euklid mesafesini hesaplayan devre

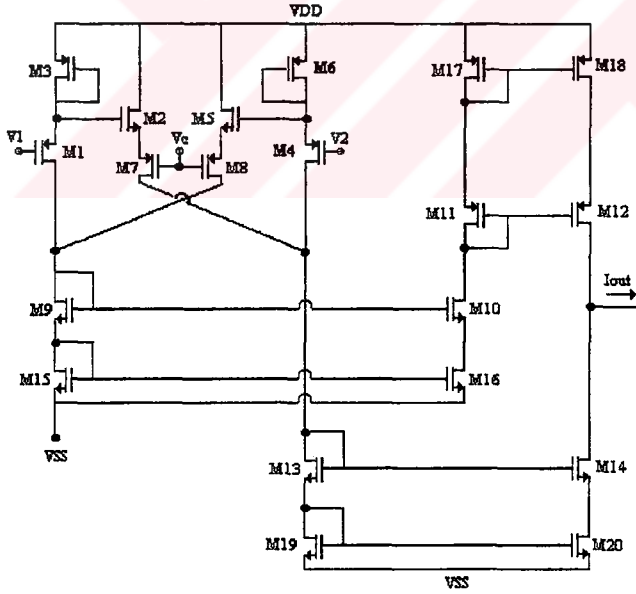
Şekil 5.3’de Euklid mesafesini hesaplayan devre görülmektedir. Vektörel toplama devresinin girişleri akımdır. CSFN’e olan girişler gerilim olduğu için öncelikle bu girişlerin vektörel toplama devresine uygulanmadan önce akıma çevrilmesi gerekmektedir. Vektörel toplama devresinin çıkışı da akımdır. Euklid mesafesini hesaplayan devrenin çıkış analog çarpıcının girişine uygulanmaktadır. Analog çarpıcının girişi gerilim olmak zorunda olduğu için vektörel toplama devresinin çıkışı önce aktif direnç elemanına verilmiş böylece akımın gerilime dönüştürülmesi sağlanmıştır.

6. SİMÜLASYON SONUÇLARI

Simülasyonu yapılan tüm devrelerde, Tübitak YİTAL $3\mu\text{m}$ CMOS Level 3 proses parametreleri kullanıldı.

6.1. Geçişiletkenliği Devresi ve Simülasyonu

Simülasyonu yapılan geçişiletkenliği devresi Şekil 6.1’de verilmiştir . Şekil 4.5’deki devrede M1 ve M4 transistorlarının ayrı kuyularda gerçekleştirilmesi gerektiği için, devrenin n-kuyu teknolojisiyle üretilebilmesi gerekir ve Şekil 6.1’de görülen değişiklik yapıldı. Devrede akım aynalarından kaynaklanacak olan dengesizliği azaltmak amacıyla kaskod akım aynaları kullanıldı. Ayrıca devrede kompozit yapı kullanıldığından M1-M8 transistorlarından kaynaklanacak olan distorsiyonu azaltmak için $k_{eq} \approx k_p$ olması gerekir. Buna göre nMOS’a ait geçişiletkenliği, pMOS’un geçişiletkenliğine göre çok daha büyük seçildi. Geçişiletkenliği devresinin doğrusal çalışma aralığı ile transistorlara ait W/L oranlarının seçimi arasında ilişki bulunmaktadır. Devrenin doğrusal çalışma aralığını arttırmak için M(9-20) transistorlarından oluşan akım aynalarına ait W/L oranları yüksek seçildi.

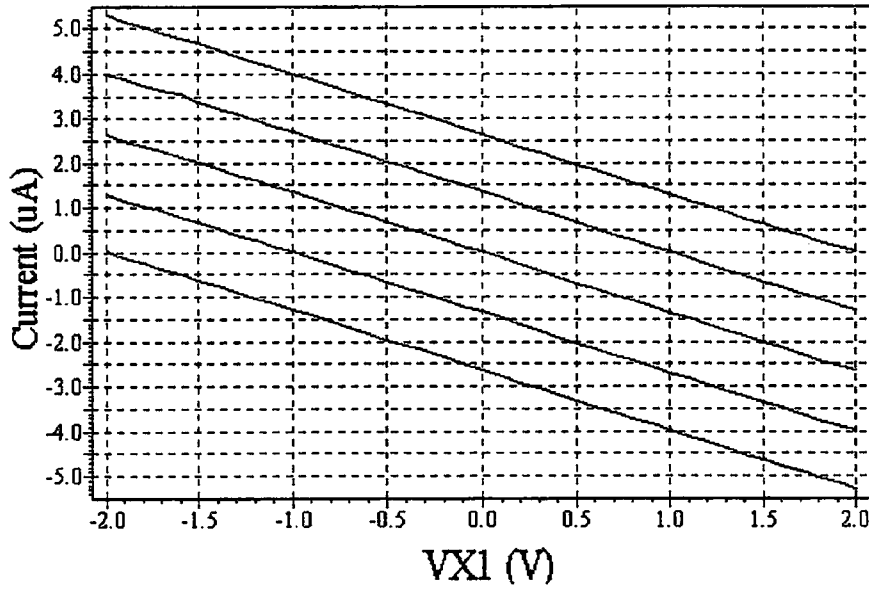


Şekil 6.1. Geçişiletkenliği devresi

Devrenin giriş ve çıkışı arasında şöyle bir ilişki vardır:

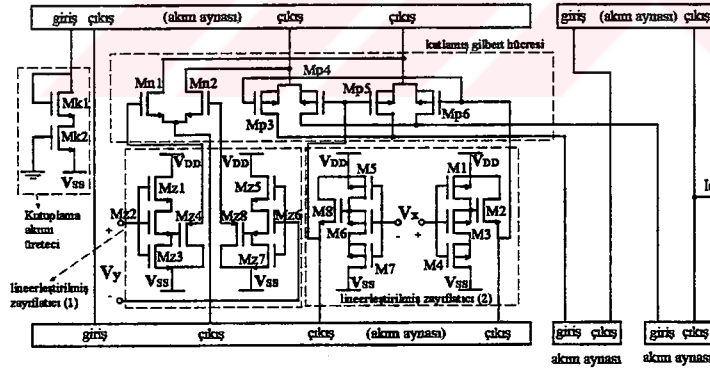
$$I_{out} = k_p (V_{DD} - V_C - |V_{Tp}| - V_{Teq})(V_1 - V_2) \quad (6.1)$$

Simülasyon sonucu şekil 6.2’de görülmektedir. Sonucun elde edildiği SPICE dosyası Ek 1’de verilmiştir.



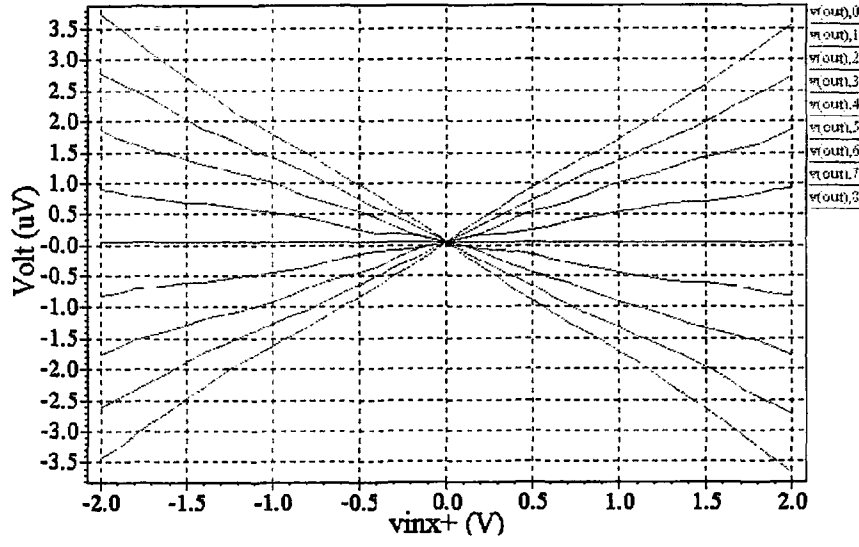
Şekil 6.2 Geçişiletkenliği devresi simülasyon sonucu

6.2. Çarpıcı Devre ve Simülasyonu

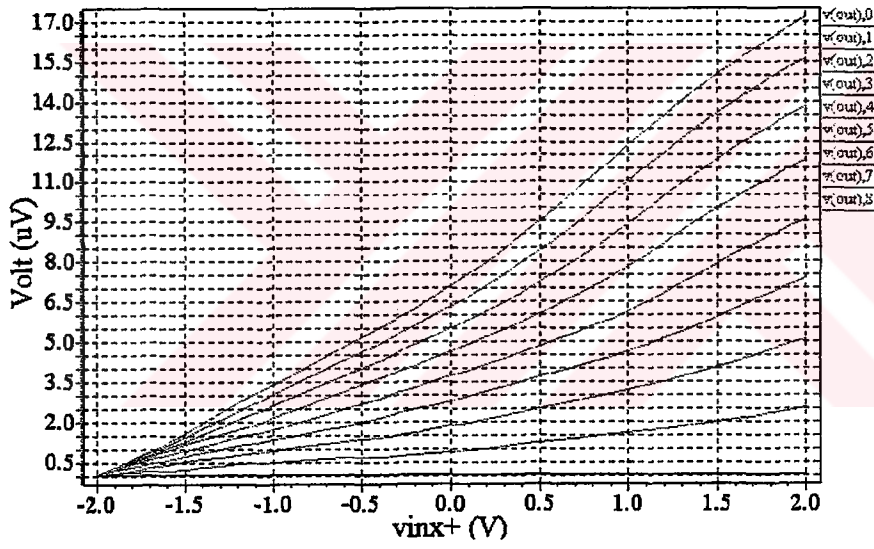


Şekil 6.3 Çarpıcı devre

Şekil 6.3’de analog çarpıcı devreye ilişkin devre şeması görülmektedir. Devrede kullanılan akım aynaları basit akım aynasıdır. Devreye ilişkin iki simülasyon sonucu Şekil 6.4 ve Şekil 6.5’de verilmiştir. Şekil 6.3’de merkezin doğrusal çalışma aralığının uç noktalarından birine kaydırılması sonucunda elde edilen simülasyon sonucu görülmektedir. Devre bu durumda da istenilen sonucu vermektedir. Dimülasyon sonuçlarının elde edildiği SPICE listesi Ek 2’de verilmiştir.



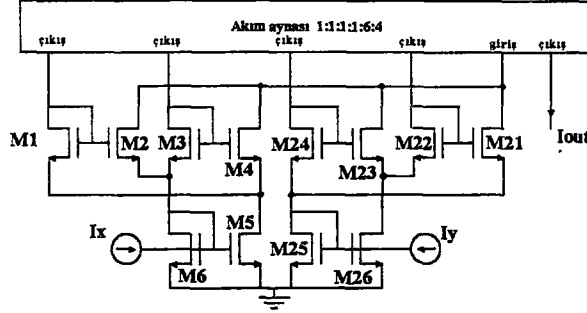
Şekil 6.4 Çarpıcı devre simülasyon sonucu (merkez 0V'da)



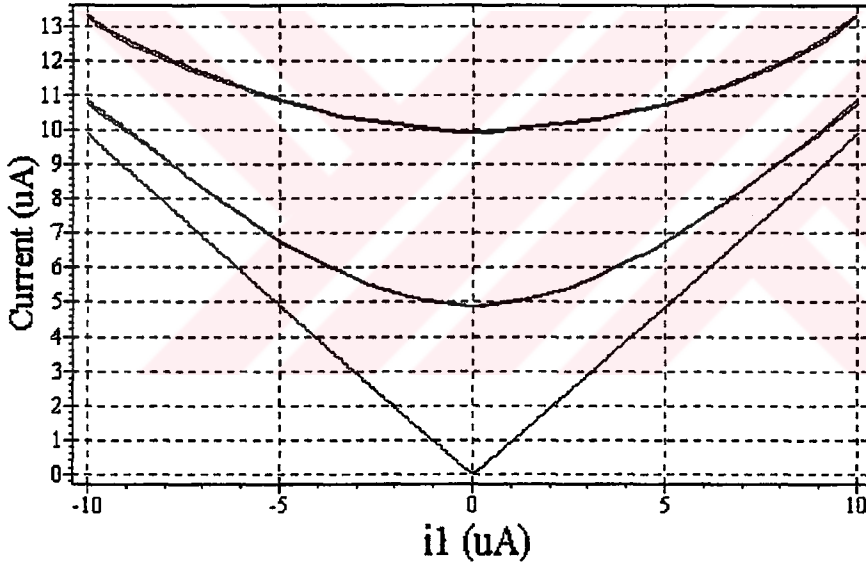
Şekil 6.5 Çarpıcı devre simülasyon sonucu (merkezler 2V'da)

6.3 Vektörel Toplama Devresi ve Simülasyonu

Simülasyonu yapılan vektörel toplama devresi şekil 6.6'da görülmektedir. Devrenin simülasyon sonucu şekil 6.7'de verilmiştir. Simülasyonun elde edildiği SPICE dosyası Ek 3'de verilmiştir.



Şekil 6.6 MTL yapısı ile gerçekleştirilen vektörel toplama devresi

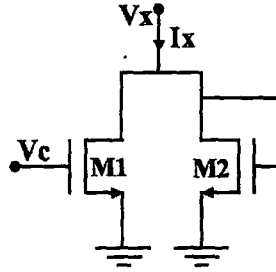


Şekil 6.7 Vektörel toplama devresi simülasyon sonucu

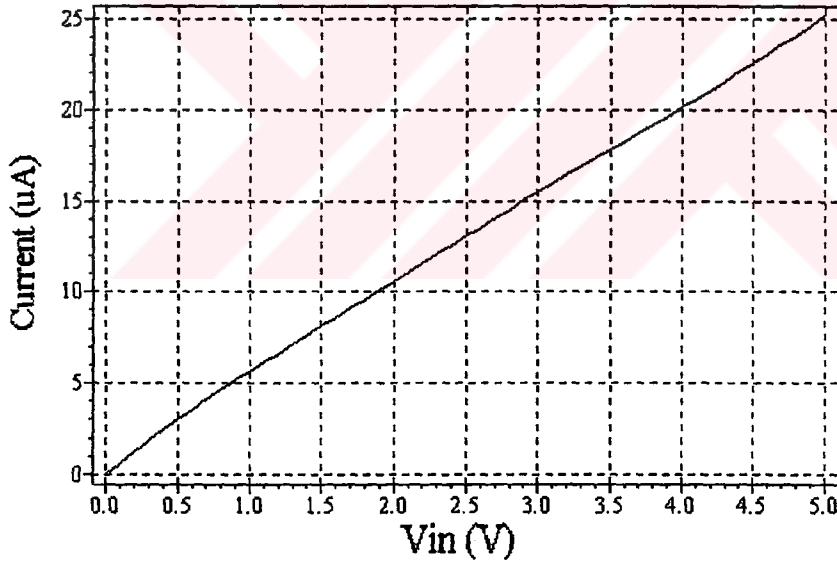
Euklid mesafesini hesaplayan devreyi elde edebilmek için bu devrenin girişine geçişiletkenliği elemanı bağlanmaktadır. Şekil 6.7 ve şekil 6.2'den de izlenebileceği gibi tüm ağ için hedeflenen çalışma aralığında geçişiletkenliğinin çıkış akımı vektörel çalışma devresinin doğrusal çalışma giriş aralığında kalmaktadır.

6.4 Aktif Direnç Elemanı

Euklid mesafesini hesaplayan devreyi elde edebilmek için vektörel toplama devresinin çıkışına bağlanan aktif direnç elemanı iki nMOS transistor ile gerçekleştirilmiştir. Euklid mesafesini hesaplayan devrenin çıkışının gerilim olması gerektiği için çıkışı akım olan vektörel toplama devresinin çıkışını gerilime çevirmektedir. Devre şekil 6.8’de görülmektedir. Simülasyon sonucunun elde edildiği SPICE dosyası Ek 4’de verilmektedir.



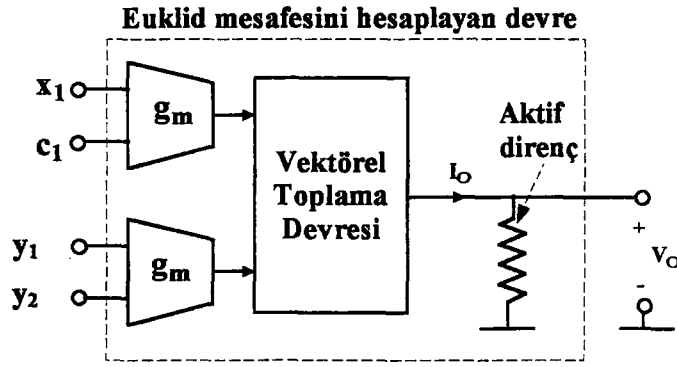
Şekil 6.8 Doğrusal direnç devresi



Şekil 6.9 Direnç elemanı simülasyon sonucu

6.5. Euklid Mesafesi Hesaplama Devresi ve Simülasyonu

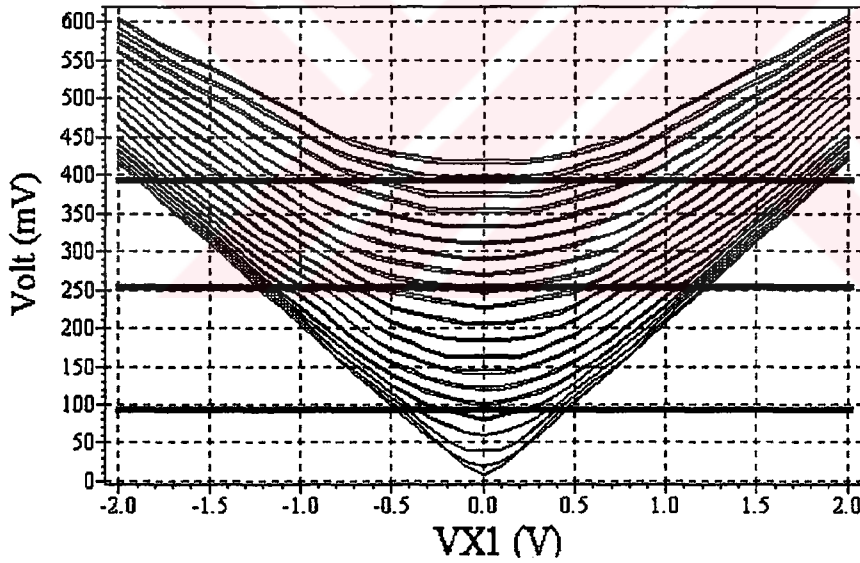
Euklid mesafesi hesaplama devresine ilişkin blok diyagram ve simülasyon sonuçları aşağıda verilmiştir. SPICE dosyası Ek 5’de verilmiştir.



Şekil 6.10 Euklid mesafesini hesaplayan devre

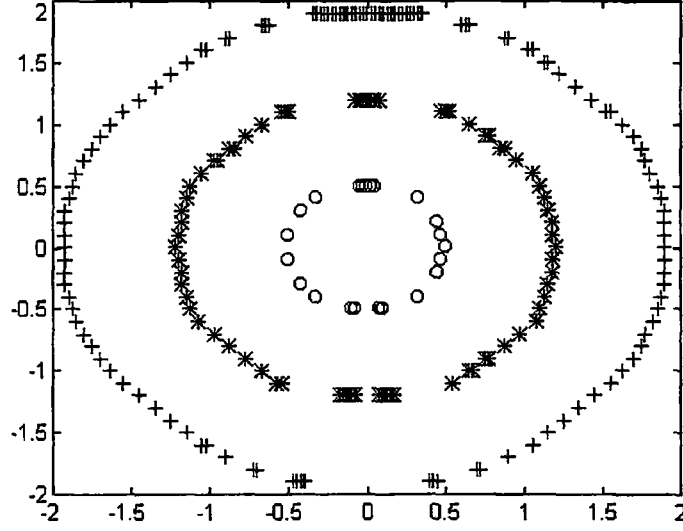
Yukarıda verilen blok devrede yer alan geçişiletkenliği devresine ait g_m ifadesi eşitlik (6.1)'den elde edilir.

$$g_m = k_p (V_{DD} - V_C - |V_{Tp}| - V_{Teq}) \quad (6.2)$$



Şekil 6.11 Merkezlerin 0 değerini alması durumunda ($x_2=y_2=0$) simülasyon sonucu

Şekil 6.11'de verilen simülasyon sonuçlarında yatay doğrularla gösterilen çıkış değerleri (0.4mV 0.25mV 0.1mV) için x_1 ve x_2 girişleri belirlenir ve bu girişler kartezyen koordinat sisteminde yerleştirilirse şekil 12'de görülen daireler elde edilir. Bu işlem "parameterize etmek" olarak adlandırılır.

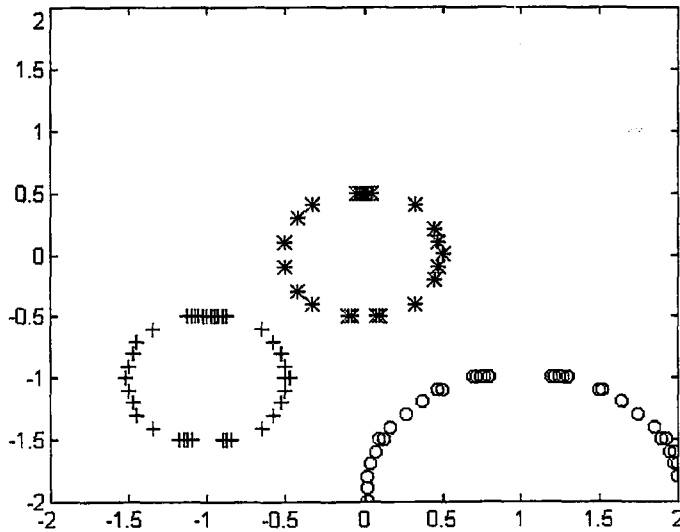


Şekil 6.12 Girişlerin parameterize edilmesi sonucunda elde edilen kapalı karar sınırları

Şekil 6.12’de görülen karar sınırları Euklid mesafesini hesaplama devresine ilişkin karar sınırlarıdır. Şekilde de görüldüğü gibi dairesel karar sınırları elde edilmiştir.

Bu karar sınırları üç boyutlu kartezyen koordinat sisteminde çıkış değerlerinin de z-eksenine konmasıyla izlenirse bir koninin elde edildiği görülebilir.

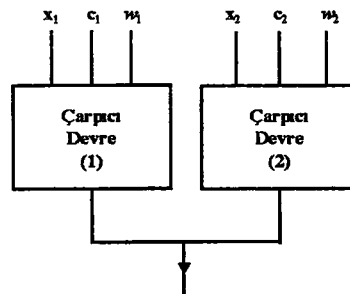
Çeşitli merkez ve çıkış değerleri için bazı kapalı karar sınırları şekil 6.13’de verilmiştir.



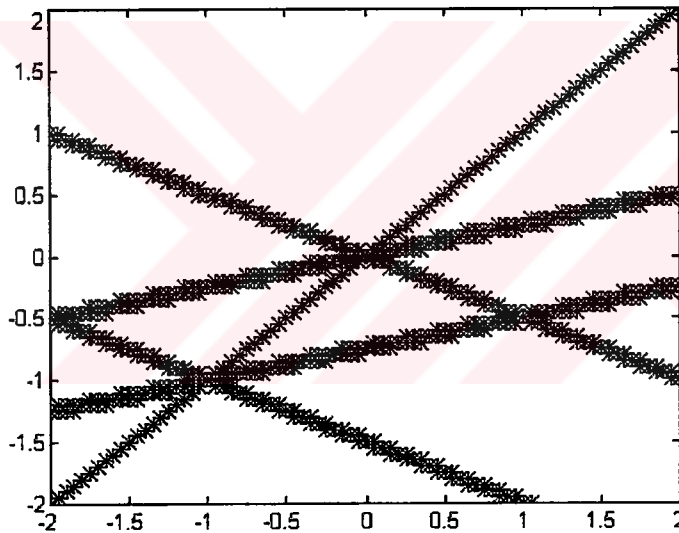
Şekil 6.13 Farklı merkez değerleri için simülasyon sonucu

6.6. MLP Ağı ve Simülasyonu

İki çarpıcıdan oluşan MLP ağı şekil 6.14’de görülmektedir. Bu devre bir düzlemi doğrulara böler. $z=0$ düzlemi için şekil 6.15’de görülen simülasyon sonucu elde edildi.



Şekil 6.14 MLP ağ prensip şeması

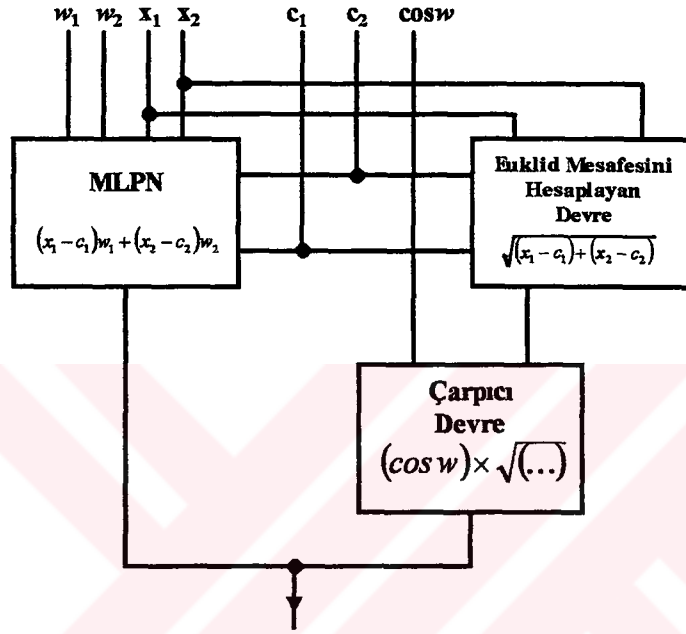


Şekil 6.15 Simülasyon sonucu

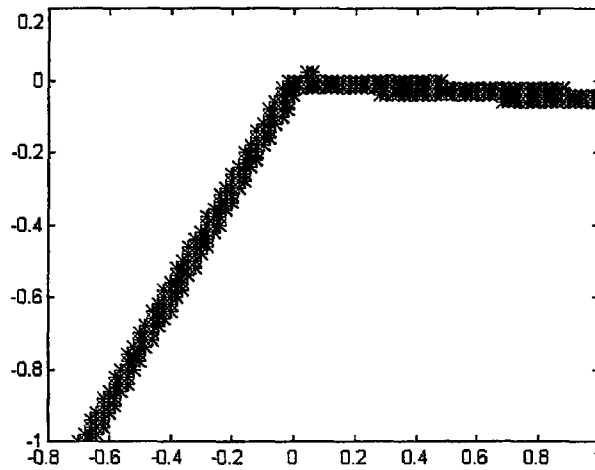
Simülasyonun yapıldığı SPICE dosyası Ek 6’da verilmiştir.

6.7 Konik Kesit Fonksiyonu Ağı Simülasyon Sonuçları

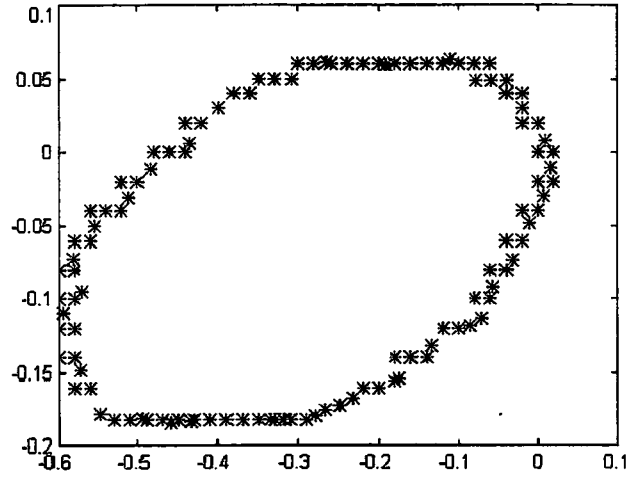
Konik kesit fonksiyon ağı prensip şeması şekil 6.16'da görülmektedir. Simülasyon sonuçları şekiller 6.17-20'de görülmektedir. Şekillerden de görülebileceği gibi açık ve kapalı karar sınırları elde edilmiştir. Parametrize etme işlemi çıkışın sıfır değerine karşı yapılmıştır. Böylece bir düzlem ile koninin kesişimi alınmış olur. SPICE dosyası Ek 7'de verilmiştir.



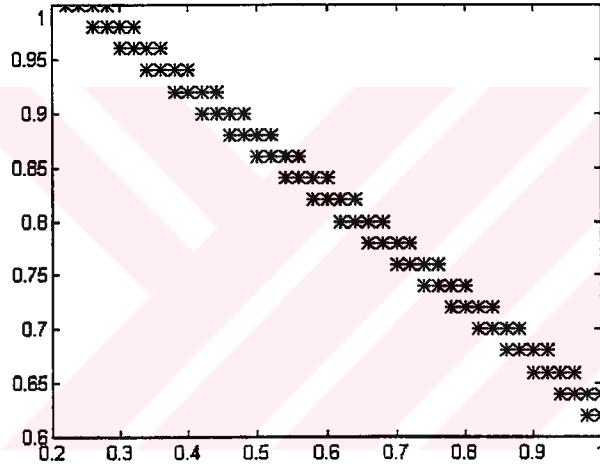
Şekil 6.16 Konik kesit fonksiyonu prensip şeması



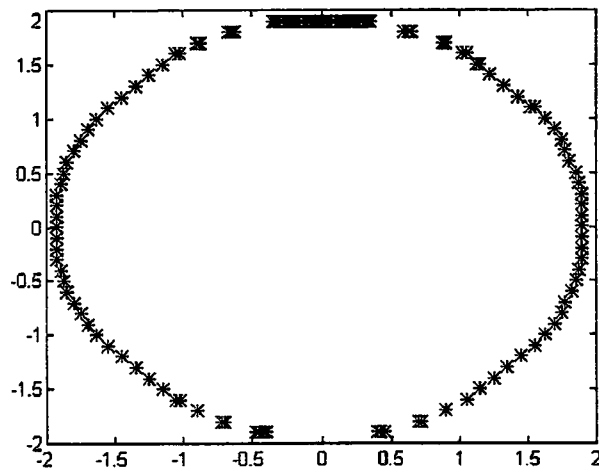
Şekil 6.17 Eğrisel bir karar sınırı



Şekil 6.18 Kapalı bir karar sınırı (elips)



Şekil 6.19 Açık bir karar sınırı (doğru)



Şekil 6.20 Kapalı bir karar sınırı (daire)

7. EKLER

Ek 1

**

```
.SUBCKT trans 1 2 dd ss 5 12
***** v1 v2 dd ss gnd Iout
*****
```

```
M1 9 1 3 3 PMOS L=25U W=3U
M2 dd 3 7 ss NMOS L=3U W=6U
M3 3 3 dd dd PMOS L=25U W=3U
M4 10 2 4 4 PMOS L=25U W=3U
M5 dd 4 8 ss NMOS L=3U W=6U
M6 4 4 dd dd PMOS L=25U W=3U
M7 10 5 7 7 PMOS L=25U W=3U
M8 9 5 8 8 PMOS L=25U W=3U
*****
```

```
M9 9 9 13 ss NMOS L=4U W=10U
M10 11 9 14 ss NMOS L=4U W=10U
M15 13 13 ss ss NMOS L=4U W=10U
M16 14 13 ss ss NMOS L=4U W=10U
M11 11 11 15 dd PMOS L=4U W=10U
M12 12 11 16 dd PMOS L=4U W=10U
M17 15 15 dd dd PMOS L=4U W=10U
M18 16 15 dd dd PMOS L=4U W=10U
M13 10 10 17 ss NMOS L=4U W=10U
M14 12 10 18 ss NMOS L=4U W=10U
M19 17 17 ss ss NMOS L=4U W=10U
M20 18 17 ss ss NMOS L=4U W=10U
```

```
.ENDS trans
```

```
*****
```

```
Xtrans1 1 2 dd ss kk 5 trans
RL 5 0 1
VDD dd 0 DC 5V
VSS ss 0 DC -5V
VKK kk 0 DC 0V
*VSS1 ss1 0 dc 0V
VX1 1 0 DC 0V
VY1 2 0 DC 2V
```

```
***** MODEL PARAMETERS *****
```

```
.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08
+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05
+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05
+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05
+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1.4E+15
.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08
+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05
+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0
+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04
+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1.2E+16
```

```
*****
```

```
.DC VX1 -2 2 0.1 VY1 -1 1 .5
.print dc i(RL)
```

```
.end
```


Ek 2

***** MOS MULTIPLIER *****

*(December 1987 J. of S.S. CMOS analogue multiplier)

*CSFN'de kullanılan carpıcı hücrenin alt devresi

***** gilbert *****

```
.subckt gilbert 1 4 5 x+ x- y+ y- 2 3 dd ss
Mn1 5 y+ 1 ss NMOS W=3U L=15U
Mn2 4 y- 1 ss NMOS W=3U L=15U
Mp3 3 x+ 5 5 PMOS W=9U L=8U
Mp4 2 x- 5 5 PMOS W=9U L=8U
Mp5 3 x- 4 4 PMOS W=9U L=8U
Mp6 2 x+ 4 4 PMOS W=9U L=8U
.ends
```

***** current_sink *****

```
.subckt current_sink in out ss
M1 out in 1 ss NMOS W=3U L=31U
M2 1 in ss ss NMOS W=3U L=31U
.ends
```

***** akım_aynası_n2 *****

```
.subckt akım_aynası_n3 in o o1 o2 ss
M1 in in ss ss NMOS W=8U L=8U
M2 o in ss ss NMOS W=7U L=8U
M3 o1 in ss ss NMOS W=4U L=8U
M4 o2 in ss ss NMOS W=4U L=8U
.ends
```

***** akım_aynası_p3 *****

```
.subckt akım_aynası_p3 in o o1 o2 o3 o4 dd
M1 in in dd dd PMOS W=8U L=8U
M2 o in dd dd PMOS W=7U L=8U
M3 o1 in dd dd PMOS W=7U L=8U
M4 o2 in dd dd PMOS W=7U L=8U
M5 o3 in dd dd PMOS W=3U L=12U
M6 o4 in dd dd PMOS W=3U L=12U
.ends
```

***akım_aynası_n_out

```
.subckt akım_aynası_nout in o ss
M1 in in ss ss NMOS W=3U L=20U
M2 o in ss ss NMOS W=6U L=20U
.ends
```

***akım_aynası_p_out

```
.subckt akım_aynası_pout in o dd
M1 in in dd dd PMOS W=6U L=20U
```

```
M2 o in dd dd PMOS W=6U L=20U
.ends
```

```
***** zayıflatıcı_y *****
```

```
.subckt zayıflatma_y in out dd ss
Mp1 1 in dd dd PMOS W=3U L=11U
Mp2 2 in 1 1 PMOS W=3U L=9U
Mp3 ss in 2 2 PMOS W=3U L=9U
Mn3 dd 1 out ss NMOS W=3U L=30U
.ends
```

```
*****
```

```
***** zayıflatıcı_x *****
```

```
.subckt zayıflatma_x in out dd ss
Mn1 1 in ss ss NMOS W=3U L=15U
Mn2 2 in 1 ss NMOS W=3U L=9U
Mn3 dd in 2 ss NMOS W=3U L=9U
Mp3 ss 1 out out PMOS W=3U L=23U
.ends
```

```
*****
```

```
***** Carpıcı *****
```

```
.subckt carpıcı inx+ inx- iny+ iny- out dd ss 0
xgilbert 1 4 5 x+ x- y+ y- 2 3 dd ss gilbert
xzayıflatma_y+ iny+ y+ dd ss zayıflatma_y
xzayıflatma_y- iny- y- dd ss zayıflatma_y
xzayıflatma_x+ inx+ x+ dd ss zayıflatma_x
xzayıflatma_x- inx- x- dd ss zayıflatma_x
xcurrent_sink 0 in ss current_sink
xakım_aynası_p3 in 4 5 o2 x+ x- dd akım_aynası_p3
xakım_aynası_n3 o2 1 y+ y- ss akım_aynası_n3
xakım_aynası_nout1 2 k ss akım_aynası_nout
xakım_aynası_nout2 3 out ss akım_aynası_nout
xakım_aynası_pout k out dd akım_aynası_pout
.ends
```

```
*****
```

```
xcarpıcı inx+ inx- iny+ iny- out dd ss 0 carpıcı
r1 out 0 1
vdd dd 0 5
vss ss 0 -5
```

```
vinx+ inx+ 0 0 ac 10mv
vinx- inx- 0 0
viny+ iny+ 0 0 ac 10mv
viny- iny- 0 0
```

```
*.dc vinx+ -2 2 0.1 viny+ -2 2 0.5
```

```
.AC DEC 10 1HZ 10GHZ
```

```
*.print dc v(out)
```

```
.print ac 'vdb(out)-vdb(inx+)'
```

```
***** MODEL PARAMETERS *****
```

```

*.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08
*+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05
*+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05
*+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05
*+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1.4E+15
*.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08
*+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05
*+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0
*+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04
*+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1.2E+16
*****
.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.28E-8
+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-5
+XJ=3.00E-7 LD=5.00E-7 XL=-2.00E-7 RSH=30 VMAX=1.80E+5
+KAPPA=0.3 ETA=0.25 JS=1.00E-6 JSW=6.00E-12 CJ=8.40E-05
+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-8
+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-5
+XJ=5.00E-7 LD=4.20E-7 XL=-2.00E-7 RSH=125 VMAX=0
+KAPPA=0.15 ETA=0.05 JS=1.10E-6 JSW=3.00E-12 CJ=3.07E-04
+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15

*****

```

Ek 3

*Euclidean distance****trans37.spc is used *****

.subckt vecsum 1 2 3 ss1 dd ss

***** Ix Iy Iout

M1 8 8 1 ss NMOS L=9U W=3U
 M2 4 8 9 ss NMOS L=9U W=3U
 M3 7 7 9 ss NMOS L=9U W=3U
 M4 4 7 1 ss NMOS L=9U W=3U
 M5 1 1 ss1 ss NMOS L=9U W=3U
 M6 9 1 ss1 ss NMOS L=9U W=3U
 M21 5 5 2 ss NMOS L=9U W=3U
 M22 4 5 10 ss NMOS L=9U W=3U
 M23 6 6 10 ss NMOS L=9U W=3U
 M24 4 6 2 ss NMOS L=9U W=3U
 M25 2 2 ss1 ss NMOS L=9U W=3U
 M26 10 2 ss1 ss NMOS L=9U W=3U

***** KASKOD AKIM AYNASI*****

MC1 4 4 15 dd PMOS L=3U W=30U
 MC2 3 4 16 dd PMOS L=3U W=20U
 MC3 6 4 14 dd PMOS L=3U W=5U
 MC4 5 4 13 dd PMOS L=3U W=5U
 MC5 7 4 12 dd PMOS L=3U W=5U
 MC6 8 4 11 dd PMOS L=3U W=5U
 MC7 15 15 dd dd PMOS L=3U W=30U
 MC8 16 15 dd dd PMOS L=3U W=20U
 MC9 14 15 dd dd PMOS L=3U W=5U
 MC10 13 15 dd dd PMOS L=3U W=5U
 MC11 12 15 dd dd PMOS L=3U W=5U
 MC12 11 15 dd dd PMOS L=3U W=5U

***** precaution *****

imin1 dd 11 dc 5nA
 imin2 dd 12 dc 5nA
 imin3 dd 13 dc 5nA
 imin4 dd 14 dc 5nA
 imin5 dd 15 dc 30nA

.ENDS vecsum

Xvecsum 5 6 rbf 0 dd ss vecsum
 v1 rbf 0 0

VDD dd 0 DC 5V
 VSS ss 0 DC -5V
 VKK kk 0 DC 0V
 *VSS1 ss1 0 dc 0V
 i1 dd 5 DC 0V
 i2 dd 6 DC 0V

***** MODEL PARAMETERS *****

.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08
 +GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05
 +XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05
 +KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05
 +CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1.4E+15

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08
 +GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05
 +XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0
 +KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04
 +CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1.2E+16

.DC i1 -10u 10u 0.02u i2 -10u 10u 5u

*.AC DEC 10 1HZ 100MHZ

*.print dc id(M5) id(M6) id(M3) id(M4) id(M25) id(M26)

*.print dc id(MC5) id(MC6) id(MC3) id(MC4) id(MC1) id(MC2)

.print dc i(v1)

*.print dc i(RL)

*.PRINT DC "ok_2_2" V(1) V(3) v(rbf)

*.options abstol=8e-12 reitot=1e-008 numnd=300

*abstol=2e-08 reitot=1e-006

.END

Ek 4

```

*****linear resistor*****
.subckt linres rbf dd ss gnd
*****
M1 rbf rbf gnd ss NMOS L=82U W=3U
M2 rbf dd gnd ss NMOS L=82U W=3U
.ENDS linres
*****
Xrbf          rbf dd ss 0          linres
*****
VDD dd 0 DC 5V
VSS ss 0 DC -5V
Vin rbf 0 dc 0
Vdummy rbf rbf 0
*****
***** MODEL PARAMETERS *****
.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08
+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05
+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05
+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05
+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1.4E+15

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08
+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05
+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0
+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04
+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1.2E+16
*****
.DC Vin 0 5 0.1
*.AC DEC 10 1HZ 100MHZ
.print DC i(Vdummy)
*.print DC 'Xrbfid(M1)+Xrbfid(M2)'
*.options abstol=8e-12 reltol=1e-008 numnd=300
*abstol=2e-08 reltol=1e-006
.END

```

Ek 5

*Euclidean distance****trans37.spc is used *****

.subckt vecsum 1 2 3 ss1 dd ss

***** Ix Iy Iout

M1 8 8 1 ss NMOS L=9U W=3U
 M2 4 8 9 ss NMOS L=9U W=3U
 M3 7 7 9 ss NMOS L=9U W=3U
 M4 4 7 1 ss NMOS L=9U W=3U
 M5 1 1 ss1 ss NMOS L=9U W=3U
 M6 9 1 ss1 ss NMOS L=9U W=3U
 M21 5 5 2 ss NMOS L=9U W=3U
 M22 4 5 10 ss NMOS L=9U W=3U
 M23 6 6 10 ss NMOS L=9U W=3U
 M24 4 6 2 ss NMOS L=9U W=3U
 M25 2 2 ss1 ss NMOS L=9U W=3U
 M26 10 2 ss1 ss NMOS L=9U W=3U

***** KASKOD AKIM AYNASI*****

MC1 4 4 15 dd PMOS L=3U W=30U
 MC2 3 4 16 dd PMOS L=3U W=20U
 MC3 6 4 14 dd PMOS L=3U W=5U
 MC4 5 4 13 dd PMOS L=3U W=5U
 MC5 7 4 12 dd PMOS L=3U W=5U
 MC6 8 4 11 dd PMOS L=3U W=5U
 MC7 15 15 dd dd PMOS L=3U W=30U
 MC8 16 15 dd dd PMOS L=3U W=20U
 MC9 14 15 dd dd PMOS L=3U W=5U
 MC10 13 15 dd dd PMOS L=3U W=5U
 MC11 12 15 dd dd PMOS L=3U W=5U
 MC12 11 15 dd dd PMOS L=3U W=5U

***** precaution *****

imin1 dd 11 dc 5nA
 imin2 dd 12 dc 5nA
 imin3 dd 13 dc 5nA
 imin4 dd 14 dc 5nA
 imin5 dd 15 dc 30nA

.ENDS vecsum

.SUBCKT trans 1 2 dd ss 5 12

***** v1 v2 dd ss gnd Iout

M1 9 1 3 3 PMOS L=25U W=3U
 M2 dd 3 7 ss NMOS L=3U W=6U
 M3 3 3 dd dd PMOS L=25U W=3U
 M4 10 2 4 4 PMOS L=25U W=3U
 M5 dd 4 8 ss NMOS L=3U W=6U

```

+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1.2E+16
*****
.DC VX1 -2 2 0.1 VX2 -2 2 0.1
*.DC VX1 -3 3 0.1
* VX2 -4 4 2
*.AC DEC 10 1HZ 100MHZ
*.print dc id(M5) id(M6) id(M3) id(M4) id(M25) id(M26)
*.print dc id(MC5) id(MC6) id(MC3) id(MC4) id(MC1) id(MC2)
*.print AC v(rbf,0)
.print dc v(rbf,0)
*.print dc i(RL)
*.PRINT DC "ok_0_2" v(1) v(3) v(rbf)
*.options abstol=8e-12 reltol=1e-008 numnd=300
*abstol=2e-08 reltol=1e-006
.END

```



Ek 6

***** CSFN_neron *****

.include carpic1.spc

.subckt MLP_2giris w1 w2 v1 c1 v2 c2 out dd ss 0
 xcarpic1_1 w1 0 v1 c1 out dd ss 0 carpic1
 xcarpic1_2 w2 0 v2 c2 out dd ss 0 carpic1
 .ends

xMLP w1 w2 x1 c1 x2 c2 out dd ss 0 MLP_2giris
 vout out 0 0

v1 x1 0 0
 v2 x2 0 2
 vc1 c1 0 DC 2
 vc2 c2 0 DC 2

vw1 w1 0 DC -2
 vw2 w2 0 DC -2

Vdd dd 0 DC 5
 Vss ss 0 DC -5

*.DC v1 -2 2 0.1 v2 -2 2 0.1
 .DC v1 1.5 2 0.5
 *.print dc "data_csfm.out" v(x1) v(x2) v(out)
 .print dc '0-i(vout)'
 .options abstol=1e-8 numnd=150

***** MODEL PARAMETERS *****
 .MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.28E-8
 +GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-5
 +XJ=3.00E-7 LD=5.00E-7 XL=-2.00E-7 RSH=30 VMAX=1.80E+5
 +KAPPA=0.3 ETA=0.25 JS=1.00E-6 JSW=6.00E-12 CJ=8.40E-05
 +CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15
 .MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-8
 +GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-5
 +XJ=5.00E-7 LD=4.20E-7 XL=-2.00E-7 RSH=125 VMAX=0
 +KAPPA=0.15 ETA=0.05 JS=1.10E-6 JSW=3.00E-12 CJ=3.07E-04
 +CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15

 .END

Ek 7

***** CSFN_neron *****

.include carpicı.spc

.include oklid10.spc

.subckt MLP_2giris w1 w2 v1 c1 v2 c2 out dd ss 0

xcarpıcı_1 w1 0 v1 c1 out dd ss 0 carpicı

xcarpıcı_2 w2 0 v2 c2 out dd ss 0 carpicı

.ends

.subckt RBF_2giris v1 c1 v2 c2 cosw out dd ss 0

xoklid v1 c1 v2 c2 out1 dd ss 0 oklid

xcarpıcı out1 0 cosw 0 out dd ss 0 carpicı

.ends

.subckt CSFN_net_2giris w1 w2 v1 v2 c1 c2 cosw out dd ss 0

xMLP_2giris w1 w2 v1 c1 v2 c2 out dd ss 0 MLP_2giris

xRBF_2giris v1 c1 v2 c2 cosw out dd ss 0 RBF_2giris

.ends

xCSFN_net_2giris w1 w2 x1 x2 c1 c2 cosw out dd ss 0 CSFN_net_2giris

Rout out 0 1

v1 x1 0 0

v2 x2 0 2

vc1 c1 0 DC -2

vc2 c2 0 DC -2

vw1 w1 0 DC 2

vw2 w2 0 DC 2

vcosw cosw 0 DC -1

Vdd dd 0 DC 5

Vss ss 0 DC -5

***** MODEL PARAMETERS *****

.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.28E-8

+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-5

+XJ=3.00E-7 LD=5.00E-7 XL=-2.00E-7 RSH=30 VMAX=1.80E+5

+KAPPA=0.3 ETA=0.25 JS=1.00E-6 JSW=6.00E-12 CJ=8.40E-05

+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-8

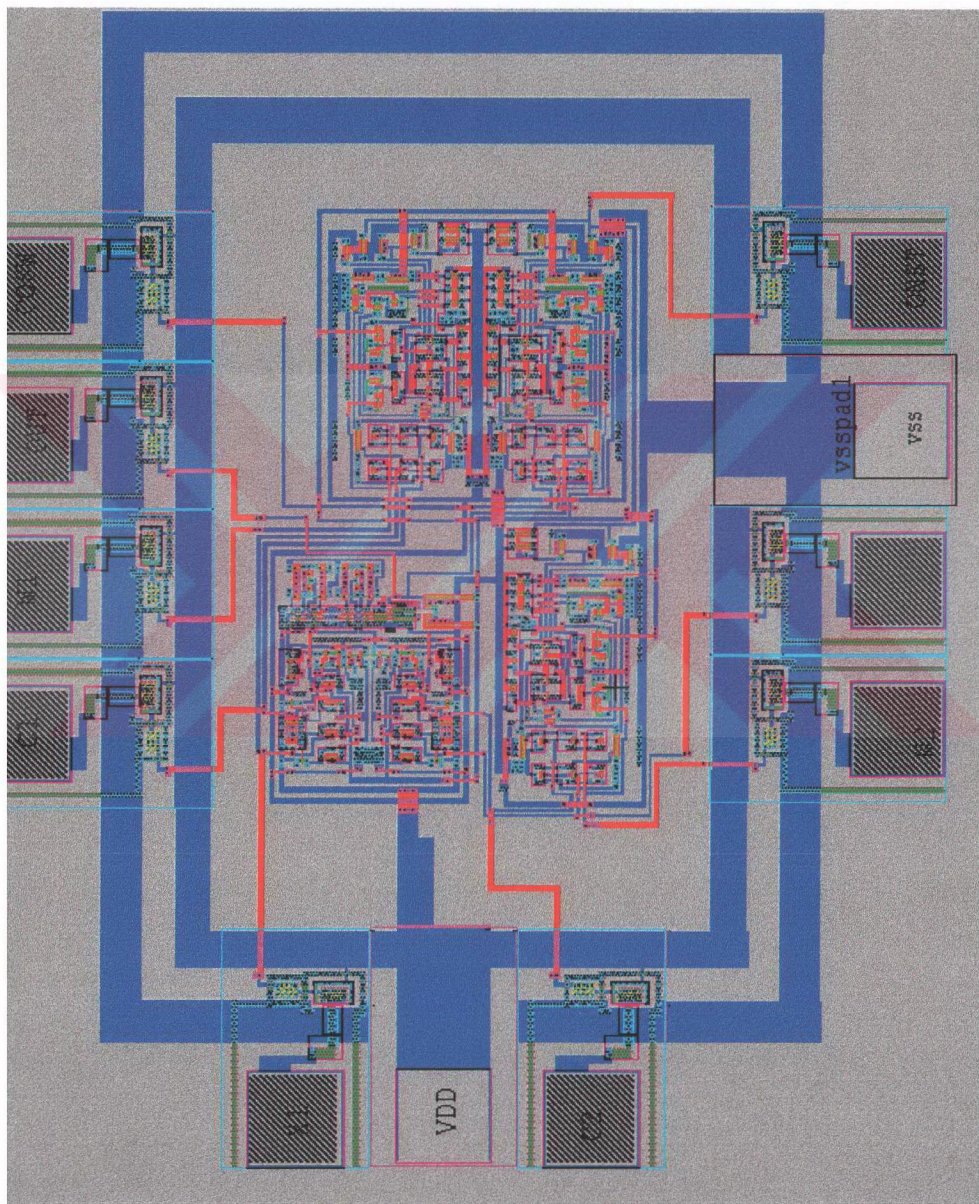
+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-5

+XJ=5.00E-7 LD=4.20E-7 XL=-2.00E-7 RSH=125 VMAX=0

+KAPPA=0.15 ETA=0.05 JS=1.10E-6 JSW=3.00E-12 CJ=3.07E-04

```
+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15  
*****  
  
*.DC v1 -2 2 0.1 v2 -2 2 0.1  
.DC v1 1.5 2 0.5  
*.print dc "data_csfm.out" v(x1) v(x2) v(out)  
.print dc v(x1) v(out,0)  
.options abstol=1e-8 numnd=150  
.END
```





KAYNAKLAR

- Ackley D. H., Hinton G. E. ve Sejnowski T. J., (1985), "A learning algorithm for Boltzmann machines," *Cognitive Science*, vol. 9, pp. 147-169, 1985.
- Babanezhad Joseph N. ve Temes Gabor C., (1985), "A 20-V Four-Quadrant CMOS Analog Multiplier", *IEEE Journal of Solid-State Circuits*. 20:1158-1167.
- Broomhead D. S., Lowe D., (1988), "Multivariable functional interpolation and adaptive networks," *Complex Systems*, vol. 2, pp. 321-355, 1988.
- DARPA Neural Network Study, AFCEA Press, Fairfax, VA, 1988
- Dorffner G., Unified framework for MLPNs and RBFNs: Introducing conic section function networks, *Cybernetics and Systems*, 25: 511-554
- Duda R.O. ve Hart P.E., (1973), *Pattern Classification and Scene Analysis*. Wiley, New York, NY, 1973.
- Girossi F. ve Poggio T., (1989), "Networks and the best approximation property." *Artificial Intelligence Lab. Memo 1164*, MIT, 1989.
- Greay P. R. and Meyer R. G. (1984), *Analysis and Design of Analog integrated circuits. 2nd ed.* New York: 1984 pp. 593-605.
- Grossberg S., (1982), *Studies of Mind and Brain: Neural Principles of Learning Perceptron, Development, Cognition, and Motor Control*, Reidel Press: Boston, MA, 1982.
- Hartman E.J., Keeler J.D. ve Kowalski J.M., (1990), "Layered neural networks with Gaussian hidden units as universal approximations." *Neural Computation*. 2(2):210-215. 1990.
- Haykin S., (1994) *Neural Networks: A Comprehensive Foundation*, IEEE Press: New York, 1994.
- Hebb D., (1949) *The Organization of Behavior, A Neuropsychological Theory*, John Wiley: New York, 1949.
- Hopfield J. J., (1982), "Neural networks and physical systems with emergent collective computational abilities," *Proc. of National Academy of Science*, 79:2554-2558..
- Horn M. Van ve Geiger R. L., (1985) "A CMOS OTA for Voltage-Controlled Analog Signal Processing.", *Proc. 28th Midwest Symp. Circuit Systems*. (Louisville. KY). Aug. 1985 pp. 596-599.
- Huang S. C. ve İsmail M., (1993), "Linear Tunable COMFET Transconductors.", *Electron Lett.*, 29:459-463.
- Joseph N. BABANEZHAD, Gabor C. TEMES. A 20-V Four-Quadrant CMOS Analog Multiplier, *IEEE Journal of Solid-State Circuits*. 20 pp. 1158-1167, 1985

Kirkpatrick S., Gelatt C. D. ve Vecchi M. P., (1983), "Optimization by simulated annealing," *Science*, vol. 220., no. 4598, pp. 671-680, May 1983.

Lau C., (1992), Ed., *Neural Networks: Theoretical Foundations and Analysis*, IEEE Press: New York, 1992.

Landolt O., Vittoz E. ve Heim P., (1997) "CMOS Selfbiased Euclidean Distance Computing Circuit with High Dynamic Range.", *Electr. Lett.* 28(4),

Lee B. W., Sheu B. J., (1991), *Hardware Annealing in Analog VLSI Neurocomputing*, pp. 234, Kluwer Academic Publishers: Boston, MA, 1991.

Lee S. ve Kil R.M., (1991), "A gaussian potential function network with hierarchically self-organizing learning." *Neural Networks*. 4:207-224. 1991

McCulloch W. S., Pitts W. H., (1943)"A logical calculus of the ideas imminent in nervous activity," *Bull. Math. Biophy.*, 5:115-133.

Mead C., (1989), *Analog VLSI and Neural Systems*, Addison Wesley: Reading, MA, 1989. .

Mead C., Ismail M., (1989), Eds., *Analog VLSI Implementation of Neural Systems*, Kluwer

Minsky M., Papert S., (1969) *Perceptrons*, MIT Press: Cambridge, MA, 1969.

Moody J. ve Darken, (1989), "Learning with localized receptive fields." In *Proceedings of the 1988 Connectionist Models Summer School*, pp. 133-143. 1989.

Moody J., Darken, (1989), "Fast learning in networks of locally-tuned processing units." *Neural Computation*. 1:281-293. 1989.

Poggio T., Girosi F., (1990), "Networks for approximation and learning," *Proceedings of IEEE*, vol. 78, pp. 1481-1497, 1990.

Poggio T. ve Girosi F., (1989), "A theory of networks for approximating and learning." *Artificial Intelligence Lab. Memo 1140*. MIT. 1989

Powell M.J.D., (1985), "Radial basis functions for multivariate interpolation: A review." *Technical Report DAMPT 1985/NA 12*. Dept of App. Math. And Theor. Physics. Cambridge University, Cambridge, England 1985

Ramacher U., Ruckert U., (1991), Eds., *VLSI Design of Neural Networks*, Kluwer Academic Publishers: Boston, MA, 1991.

Roska T., Vandewalle J., (1993), *Cellular Neural Networks*, John Wiley: New York, 1993.

Rumelhart D. E., Hinton G. E., ve Williams R. J., (1986), "Learning Representations by Back-propagation Errors," *Nature*, London, 1986, 323:533-536,

Rumelhart D. E., McClelland J. L. (1986), Eds., *Parallel Distributed Processing : Explorations in Microstructures of Cognition*.

Sanchez-Sinencio E., Lau C., (1992), Eds., *Artificial Neural Networks: Paradigms, Applications, Hardware implementations*, IEEE Press: New York, 1992.

Tou J.T. ve Gonzalez R.C., (1974), *Pattern Recognition Principles*. Addison Wesley, Reading, MA, 1974.

Werbos P. J., (1974), *Beyond Regression: New Tools for Prediction and Analysis in Behavioral Sciences*, Ph.D. Thesis, Harvard University, Cambridge, MA, 1974.

Widrow B. ve Hoff M.E., (1960), "Adaptive switching circuits." In 1960 IRE WESCON Convention Record, pages 96-1104. New York, NY, 1960

Widrow B., Hoff M., (1960), "Adaptive switching circuits," IRE Western Electric Show and Convention Record, 4:96-104, Aug. 1960.

Widrow B., (1962) "Generalization and information storage in networks of adaptive neurons," in *Self Organizing Systems*, M. C. Jovitz, G. T. Jacobi, G. Goldstein, Eds., 435-461, Spartan Books: Washington, DC, 1962.

Yıldırım T. ve Marsland J.S., (1997) "A unified framework for connectionist models."

Zornetzer S. F., Davis J. L. ve Lau C., (1990), *An Introduction to Neural and Electronic Networks*, Academic Press: New York, 1990.

Zurada J. M., (1992), *Introduction to Artificial Neural Systems*, West Publishers: New York, 1992.

ÖZGEÇMİŞ

Doğum tarihi	27.11.1970	
Doğum yeri	Kırcaali (Bulgaristan)	
Lise	1985-1989	Maçka Anadolu Teknik Lisesi
Lisans	1990-1996	Yıldız Teknik Üniversitesi Mühendislik Fak. Elektronik ve Haberleşme Müh.
Yüksek Lisans	1996-1999	Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Müh. Anabilim Dalı, Elektronik Programı
Çalıştığı kurumlar		
	1994-1996	BİMTES Elektronik
	1996-1999	YTÜ Fen Bilimleri Enstitüsü Araştırma Görevlisi

