

57461

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

AKIM TAŞIYICILAR KULLANARAK FİLTRE
DEVRELERİNİN VLSİ TASARIMI VE
GERÇEKLENMESİ

T.C. YÜKSEK ÖĞRETİM
BİLİM, TEKNOLOJİ VE
KÜLTÜR BAKANLIĞI
ULUSAL
DOKÜMANLARA MERKEZİ

Elektronik ve Hab.Müh. Hülya DAMGACI

F.B.E. Elektronik ve Haberleşme Mühendisliği Anabilim Dalında
hazırlanan

YÜKSEK LİSANS TEZİ

Tez Danışmanı : Prof.Dr. Atilla ATAMAN

İSTANBUL, 1996

ÖZET

Aktif devre sentezi için önem taşıyan ikinci kuşak akım taşıyıcılar, (CCII's) diğer devre elemanlarına göre geniş bir frekans bandına sahiptirler. Akım taşıyıcı yapıları aktif devre gerçeklemlerinde, işaret işleme ve benzeri uygulamalarda kabul edilir bir öneme sahip olup, CMOS transistörlerle tümleştirilebilirler. Bununla birlikte, akım taşıyıcı yapılarının tümdevre gerçeklemlerinin çok fazla bir geçmişı yoktur.

Bu tezde akım taşıyıcılar ile, CCII+ (pozitif akım taşıyıcı) ve CCII- (negatif akım taşıyıcı), aktif devre sentezi yapılarak bir alçak geçiren filtre devresinin VLSI gerçeklemleri yapılmıştır.

Çalışma aşamaları sırasıyla şöyledir:

- İlk olarak, pozitif ve negatif akım taşıyıcı devrelerin (CCII+ ve CCII-) TÜBİTAK YİTAL'in (Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı) PMOS ve NMOS transistörler için geliştirilen 3µm CMOS prosesine ait parametreleri kullanılarak, PSPICE simülasyonları yapılmıştır. Olumlu çıkan sonuçlar; bir sonraki adım olan akım taşıyıcılarla gerçekleştirilmiş alçak geçiren filtre devresinin simülasyonlarına olanak vermiştir.
- İkinci olarak, filtre devresini oluşturan bağlantılarla beraber akım taşıyıcıların silisyum kırımlık üzerindeki serim(layout)leri aynı prosese ait tasarım kuralları kullanılarak tasarlanmıştır.
- Son adımda ise, filtre devresinin hat kapasitelerini ve parazitik dirençlerini içeren postsimülasyonu (CADENCE yazılımını kullanarak) yapılmıştır.

Sonuç olarak akım taşıyıcıların çalışması; düğüm gerilimleri, çalışma noktası analizi, DC analiz ve devrenin etkin olacağı frekans aralığının belirlenmesini sağlayan AC analiz ile incelenmiştir.

Filtre devresinin çalışması da AC analiz ile frekans karakteristiği çıkartılarak incelenmiştir.

ABSTRACT

The second - generation current conveyors (CCII) which are important circuit elements for active network synthesis operate in larger frequency band than the other circuit elements. CCII circuit building block has demonstrated outstanding versatility, in applications such as in the realisations of active network elements and in signal processing systems. Nevertheless, it is only recently that, although CCII have the property of being integrated with CMOS tranzistors, integrated circuit realisations of CCII have been reported.

In this thesis, by using both of CCII+ (positive current conveyor) and CCII- (negative current conveyor) active network synthesis has been demonstrated and VLSI demonstration of low pass filter circuit which employs a CCII+ and a CCII- has been realized.

Studying stages are like that:

- Firstly, positive and negative current conveyors have simulated by using PSPICE program and TÜBİTAK YİTAL's (Marmara Reseach Center Semiconductor Technology Research Laboratories) 3 μ m CMOS proses parameters for PMOS and NMOS tranzistors. Good results had made possible simulation of filter circuit which has been made of CCII+ and CCII- circuits as a next stage.
- Secondly, the silicon chip layout of current conveyors which has connections for realizing low pass filter circuit has designed by using the design rules of the 3 μ m CMOS proses.
- Finally, the postsimulation (by using CADENCE software) which includes line capacitors and parasitic resistans has applied to this filter circuit.

As a result, the operations of the second generations current conveyors are investigated as; the node voltages, operating point analysis and an AC analysis for the frequency band that the circuit can be used.

On the other hand; operating of low pass filter circuit is analysed by using only AC analysis in which frequency characterication of this circuit can be realized.

Bu tezin hazırlanması sırasında;engin bilgi ve yardımından sürekli yararlandığım sayın hocam **Prof. Dr. Atilla ATAMAN'a**, düşünce ve katkılarından dolayı **Yrd. Doç. Dr. Herman SEDEF'e**, TÜBİTAK'daki çalışmalarım sırasında yardımlarını esirgemeyen **TÜBİTAK YİTAL tasarım grubu çalışanlarına** ve çalışma arkadaşım **Arş.Gör. Gökhan GÜLSER** ile, tezin yazılmasındaki yardımlarından dolayı arkadaşım **Arş.Gör. Yavuz KILIÇ'a** en derin saygı ve teşekkürlerimi sunarım.

Ocak 1996

Hülya DAMGACI

İÇİNDEKİLER

1.GİRİŞ.....	1
1.1. Akım Taşıyıcılar İle Gerçekleştirilmiş Literatürdeki Diğer Filtre Yapıları.....	2
2.TASARIM VERİ TABANI.....	6
2.1. Temel Bilgiler.....	6
2.2. Analog Devrelerde Kullanılan Elemanlar.....	8
2.2.1. Transistörler.....	9
2.2.2. Temel Bağlantılar.....	11
2.2.3. Pasif Elektronik Elemanlar.....	14
2.3. VLSI Tasarım Süreci ve Tarihsel Gelişim.....	16
2.3.1. Tarihsel Gelişim.....	16
2.3.2. İleri Analog Tümdevre Tasarımı.....	17
2.3.2.1. Analog Tasarım Otomasyonu.....	19
2.3.2.2. Analog ve Sayısal Karışık Devreler.....	19
2.3.3. Tasarım Süreci.....	20
2.3.3.1. Sistem Özelliğinin Ortaya Konulması.....	22
2.3.3.2. Fonksiyonel Tasarım.....	22
2.3.3.3. Lojik Tasarım.....	22
2.3.3.4. Devre Tasarımı.....	22
2.3.3.5. Fiziksel Tasarım.....	23
2.3.3.6. Tasarım Kurallarına Uygunluğun Test Edilmesi.....	25
2.3.3.7. Üretim.....	26
2.3.4. VLSI'da Yakın Çağ.....	26
2.4. Tasarım Türleri.....	26
2.4.1. Full-Custom Tasarım.....	27
2.4.2. Semi-Custom Tasarım.....	28
2.4.2.1. Standart-Cell Tasarımı.....	28
2.4.2.2. Gate Array Tasarım.....	29
2.4.2.3. Field Programmable Gate Array Tasarımı (FPGA).....	31
2.4.2.4. Sea of Gates Tasarım.....	35
2.5. Farklı Tasarım Türlerinin Karşılaştırılması.....	37
2.6. Sistem Paketleme Türleri.....	39
2.7. Tasarımda Otomasyon.....	39
3. ANALOG İŞARET İŞLEME VE FİLTRE YAPILARI.....	40
3.1. Aktif Filtre Yapıları.....	40
3.2. Transfer Fonksiyonunun Biçimine Göre Filtreler.....	44
3.3. Akım Taşıyıcılar ile Gerçekleştirilen Aktif Filtre Yapıları.....	47
4. AKIM TAŞIYICILAR.....	48
4.1. CMOS CCII+ Devresi.....	50

4.2.CMOS CCII- Devresi.....	51
4.3.NMOS Akım Kaynakları.....	52
4.3.1.Basit Akım Kaynağı.....	52
4.3.2.Wilson Akım Kaynağı.....	53
4.3.3.Kaskad Akım Kaynağı.....	54
5.GEOMETRİK YAPISI BELİRLENEN AKIM TAŞIYICI DEVRELERİN SPICE SİMÜLASYONLARI.....	57
5.1.TÜBİTAK YİTAL Proses Parametreleriyle Simülasyon.....	59
5.1.1.Çalışma Noktası Analizi.....	60
5.1.2.DC Analiz.....	67
5.1.3.AC Analiz.....	91
6.FİLTRE DEVRESİNE AİT SPICE SİMÜLASYONLARI VE LAYOUT TASARIMI.....	99
6.1.İncelenen Filtre Devresinin Tanıtımı.....	99
6.2.PSPICE Simülasyonları.....	100
6.3.Devrenin Serimi (Layout).....	113
6.3.1.Tasarım Kuralları.....	113
6.3.2.Hazırlanan Serim Hakkında Bazı Temel Bilgiler.....	115
6.3.3.Postsimülasyon.....	119
7.SONUÇLAR.....	122
KAYNAKLAR.....	124
ÖZGEÇMİŞ	

1. GİRİŞ

1960 başlarında entegre devre teknolojisi sadece birkaç transistörün entegrasyonuna, yani küçük ölçekli entegrasyona (SSI) izin verirken bugün bu sayı çok geniş ölçekli tümdevre teknolojisi sayesinde milyonlarca transistörün üzerine çıkmıştır.

Bu tezde daha önce Gökhan GÜLSER'in çalışmasında [1] tanımlanan akım taşıyıcı devreleri bu çalışmada kullanılan CMOS tranzistörlerin geometrileri değiştirilerek yeniden tasarlanmıştır. Yeni geometrilerle oluşturulan akım taşıyıcı devreler ise filtre tasarımında kullanılmıştır. Tasarlanan filtrelerden sadece alçak geçiren filtre devresinin VLSI tasarımı yapılmıştır.

Tasarımdan önceki filtre simülasyonları PSPICE 5.0 programı ile yapılmıştır. Kaynak tez çalışmasındaki akım taşıyıcıların DC ve AC anlamda performans analizi için yapılan simülasyonlar yeni geometrilere sahip akım taşıyıcılar için de tekrarlanmıştır ve sonuçların akım taşıyıcı tanım bağıntılarına uyduğu görülmüştür. Tüm simülasyonlarda TÜBİTAK Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı (YİTAL) tarafından geliştirilen 3µm CMOS tranzistör proses parametreleri kullanılmıştır. Sonuçların olumlu olması, akım taşıyıcı devrelerin ve bunlardan oluşmuş filtre devresinin L-EDIT programı ile VLSI tasarım kuralları kullanılarak tümdevre tasarımına olanak vermiştir.

Tümdevre tasarımının ardından ise L-EDIT'le serimi yapılan devre TÜBİTAK YİTAL'de CADENCE yazılımına aktarılmış ve üretime yönelik post simülasyondan geçirilmiştir. Sonuç daha önceki PSPICE simülasyonları ile elde edilen sonuçlara çok yakın çıkmıştır.

PSPICE simülasyonlarında devrenin çalışması önce akım taşıyıcı bazında, daha sonra ise filtre bazında incelenmiştir. Akım taşıyıcı devrelerin çalışması pozitif akım taşıyıcı (CCII+) ve negatif akım taşıyıcı (CCII-) olarak ayrı ayrı incelenmiş olup, ilk olarak devrelerin çalışma noktası analizleri yapılarak düğüm gerilimleri bulunmuş ve DC analiz ile çalışma noktası bulunarak temel fonksiyonlar ortaya çıkarılmıştır. AC analiz ile devrelerin frekans-kazanç bandı çıkarılmıştır. Daha sonra ise filtre simülasyonlarına geçilmiş ve filtre için sadece AC analiz yeterli olmuştur. Bu analiz sonucu tasarlanan filtrenin teorik olarak tanımlanan kazanç, kesim frekansı (f_0) ve kalite faktörü (Q) ifadelerine yakın sonuçlar verdiği görülmüştür.

Bu aşamalardan sonra, devrenin VLSI tasarımına geçilmiştir. Bu tasarım tasarım kalitesinin en fazla olduğu “full-custom” tasarım yöntemi kullanılarak gerçekleştirilmiştir.

Tasarlanan devre kırımcı olarak son şekli verildikten sonra TÜBİTAK YİTAL’de CADENCE yazılımına aktarılarak, HSPICE’da yeniden postsimülasyona tabi tutulmuştur. Filtrenin burada da olumlu sonuç vermesi sonucu, akım taşıyıcıların bir uygulama alanında kullanılması başarıyla gerçekleştirilmiştir.

1.1. LİTERATÜRDEKİ AKIM TAŞIYICILAR İLE GERÇEKLEŞTİRİLMİŞ DİĞER FİLTRE YAPILARI

Akım taşıyıcıların iyice tanıtılmasından sonra, aktif devre sentezi olanakları artmış ve araştırmacılar akım taşıyıcılarla yeni devreler ortaya atmışlardır. Aşağıda literatürde karşılaşılan akım taşıyıcılarla oluşturulmuş filtre yapıları incelenmiş ve bunlar hakkında özet bilgiler verilmiştir.

Akım taşıyıcı kavramı ilk olarak 1968 yılında Smith ve Sedra tarafından ortaya atıldığından beri akım taşıyıcılar konusunda pek çok çalışma yapılmıştır. Bu

tezdeki filtre yapısında kullanılan ikinci kuşak akım taşıyıcılar ise gene Smith ve Sedra tarafından 1970 yılında tanıtılmıştır. Daha sonra CCII yapılarıyla gerçekleştirilen çalışmalar ise şunlardır:

Bu çalışmalarda ortak elde edilen sonuca göre; CCII'lar ile elde edilen filtre devreleri başka şekilde gerçekleştirilen filtre devrelerine (OP-AMP, OTA) oranla daha yüksek band-genişliği, daha büyük lineerlik ve daha geniş dinamiklik özelliklerine sahiptir. Ayrıca bir ucu topraklı kapasiteler ve dirençler içermeleri nedeniyle tümleştirmeye ve anahtarlı-kapasite (sC) filtre devrelerine dönüştürmeye uygundurlar.

Chang [3], 1991 yılında iki üniversal aktif akım filtresi gerçekleştirmiştir. Her bir filtrede sadece bir CCII- kullanılmıştır. Bu filtrelerden biri üç çıkışlı diğeri ise yüksek empedanslı tek bir çıkışa sahiptir. Sunduğu devrenin pasif duyarlılığının düşük olduğunu ifade eden Chang bir ucu topraklı kapasite ve direnç elemanlarını ayarlayarak alçak geçiren, band geçiren, yüksek geçiren ω_0 ve Q 'nun ideal olmayan CCII-'deki akım izleme hatasına karşı duyarsız olduğunu yaptığı analizlerle kanıtlamıştır. Gerçekleştirilen üniversal iki akım filtresinden birincisinde beş direnç ve üç kapasite, ikincisinde ise dört direnç ve üç kapasite kullanılmıştır.

Chang [4] aynı yıl yaptığı başka bir çalışmada yine akım modunda tüm geçiren, çentik ve band geçiren filtreyi tek bir CCII-, iki topraklı kapasite ve dört direnç kullanarak gerçekleştirmiştir. Devrenin çıkışının yüksek empedanslı olması ile, empedans uydurma problemi olmadan diğer devrelerle kaskat bağlanabilir. Ayrıca devrenin rezonanstaki açılal frekansı ve kalite faktörü ideal olmayan CCII-'nin akım izleme hatasına karşı duyarsızdır.

Hou, Chun Li, Wu, Yan Pei, Liu ve Shen-Iuan [5] 1991 yılında bir CCII kullanarak birinci dereceden ve bikuadratik akım modunda filtrelere ilişkin yeni bir yapı sunmuşlardır. Sundukları bu filtre devrelerini herhangi bir uygunlaştırıcı devreye

gerek kalmadan kolaylıkla kaskat bağlanabileceğini belirtmişlerdir. Bu yapıyı alçak geçiren, band geçiren ve yüksek geçiren fonksiyonların sentezinde kullanmışlardır. Ayrıca sundukları filtrelerin aktif ve pasif duyarlılıklarını da hesaplayan araştırmacılar; kalite faktörü Q 'nun ve merkez frekansı ω_0 'ın CCII'nın akım izleme hatasına duyarlı olduğunu ifade etmişlerdir.

Waslop Surakamponorn, Vanchou Riewrujo ve Fusak Cheevasuvit [6] 1991 yılında analog fonksiyonları sağlayan yeni CMOS devrelerin geliştirilmesi için gösterilen çabaya katkıda bulunarak CCII+ ve CCII- tipindeki akım taşıyıcıları CMOS'larla gerçekleyen iki devre sunmuşlar ve bu devrelerin tümleştirmeye uygun olduklarını ifade etmişlerdir.

Chang ve Chen [7] 1991 yılında, üç giriş ve bir çıkışlı universal aktif akım filtresini akım taşıyıcılar kullanarak gerçekleştirmişler ve bu devrenin daha önceki universal aktif filtreler göre daha basit bir yapıya sahip olduğunu belirtmişlerdir. Ayrıca bu devrenin geniş band genişliğine, yüksek çıkış empedansına sahip olduğunu ω_0 , θ ve akım kazancının topraklanmış ayrı dirençlerle bağımsız olarak kontrol edilebildiğini ve bir ucu topraklı kapasitörler kullanılarak gerçekleştirilen bu devrenin tümleştirmeye uygun olduğunu ifade etmişlerdir. Bu devreyi iki topraklı kapasite, altı topraklı direnç ve beş CCII kullanarak tasarlamışlardır.

1992 yılında Liu, Shen-Iuan, Kuo, Jiann-Horng [8], Tsay CCII'larla akım modunda çalışan bikuadratik filtre yapısı ortaya koymuşlardır. Bu yapıda 2.dereceden yüksek geçiren, alçak geçiren, band geçiren, tüm geçiren ve band söndüren (çentik) filtre karakteristiklerini elde etmişlerdir.

Chen, Jun, Yang, Shukong 1993 yılında [9]; yüksek giriş direncine sahip ve bir tek CCII'dan oluşan filtre devresi ortaya atmışlardır. [10] Ikeda ve Tomita 1993 yılında akım modunda bikuadratik filtre yapısını akım izleyici ve CCII'den oluşan

CFCCII yapılarıyla ortaya koymuşlardır. [11] Fabre ve Alami, 1993 yılında 4 pasif eleman ve iki adet CCII ile akım modunda çalışan duyarlılığı düşük filtre yapısı oluşturmuşlardır.

Chang [12] ; 1993 yılında beş adet CCII, iki adet topraklı kapasite ve üç adet bir ucu topraklı direnç kullanarak tek giriş ve üç çıkışa sahip IC gerçeklemesi için uygun universal filtre devresi ortaya atmıştır.

Chang Chien ve Wang 1993 yılında [13], bir tek CCII, birkaç pasif RC elemanı kullanarak iki adet universal aktif akım filtres oluşturdular. Devrelerin kalite faktörü ise oldukça iyidir. [14] Ikeda, Katsuji, Tomita ve Yasushi 1993 yılında akım taşıyıcılarla bikuadratik filtre sentezi yapmışlardır. Bu sayede 2.dereceden bir transfer fonksiyonu gerçekleştirilmişlerdir. Devre iki CCII+'dan oluşan diferansiyel girişe sahiptir. Alt blok alçak geçiren, yüksek geçiren ve band geçiren filtre karakteristiklerini verir. Bu devrenin diferansiyel girişle birleştirilmesi sonucu devre tüm geçiren ve band söndüren (çentik) filtre karakteristiklerini verir. Her bir filtre girişlerinin CCII'nın Y girişinden alınması nedeniyle yüksek giriş empedansına sahiptir. Buffer olmadan ardarda bağlanabilirler. Qp pasif elemanların bir oranıyla tanımlanabilir ve pasif eleman değerlerine olan duyarlılık 0.5'den küçüktür. Bu karakteristikler filtreyi IC (tümdevre) gerçeklemelerine uygun kılar.

Chang, Chun-Ming, Chien ve Chih-Chan [15] 1994 yılında CCII'larla gerçekleştirilmiş 3 girişli universal aktif akım filtresi sentezi yapmışlardır. Bu devre Chang ve Chen'nin 1991'de öne sürdüğü 3 girişli yapıdan daha basit bir yapıya sahip olup; 4 CCII, iki adet topraklı kapasite ve iki adet bir ucu topraklı direnç içermektedir.

Wu, Hwang ve Liu [16], 1994 yılında bir gerilim izleyici ve CCII- kullanarak çok fonksiyonlu filtre yapısı ortaya koymuşlardır. Filtre; bir giriş ve dört çıkışa sahip olup; ikinci dereceden yüksek geçiren, band geçiren ve alçak geçiren filtre

karakteristiklerini aynı anda vermektedir. IC gerçeeklemesi için sadece iki adet topraklı kapasite kullanılmıştır. Düşük pasif ve aktif eleman duyarlılıklarına sahip olup deneysel ve teorik sonuçlar iyi uyuşmuştur.

Fabre, Dayoub, Durulsseau-L ve Kamoun-M [17], 1994 yılında yüksek giriş empedansına sahip, duyarlılığı oldukça düşük 2. dereceden transfer fonksiyonu veren filtreyi CCII+'larla gerçeeklemişlerdir. Filtre iki devreden oluşur. İlk devre alçak geçiren ve yüksek geçiren, ikinci devre ise band geçiren filtre karakteristiklerini verir.

Nandi [18], 1994 yılında 3. dereceden Butterworth karakteristiğı veren duyarlılığı düşük filtreyi CCII'larla gerçeeklemiştir.

Horng-Lee-Hou [19] 1995 yılında, dört OTA ve bir CCII ile üniversal aktif filtre yapısı oluşturmuşlardır. Filtrenin tek girişı ve üç çıkışı olup sadece üç adet topraklı kapasite kullanır. Böylece devre tümdevre tasarımına uygun hale getirilmiştir.

Chang ve Lee [20], 1995 yılında 3 girişli ve bir çıkışlı gerilim modu üniversal filtreyi üç CCII ve bir adet gerilim izleyici ile gerçeeklemişlerdir.

2. TASARIM VERİ TABANI

2.1. Temel Bilgiler

Analog veya sayısal bir sistemin tasarımına ait bilgileri üç farklı şekilde göstermek mümkündür:

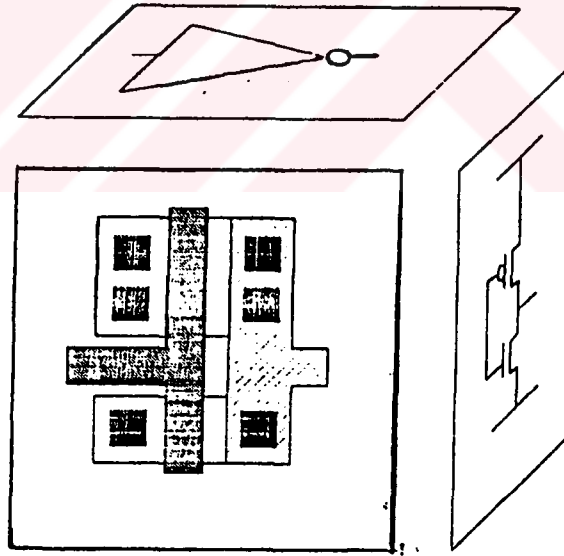
- * Tasarım gösterimi,
- * Model / Simülasyon gösterimi,
- * Fiziksel gösterim.

Tasarım gösterimi: Bu gösterim biçimi, devrenin fonksiyonunun tanımlanıp özelliğinin ortaya çıktığı biçimdir. Devrenin tasarımının ilk adımlarında bu biçim geçerlidir.

Model-Simülasyon gösterimi: Bu gösterim tarzı ise devre fonksiyonunun simülasyon ve/veya modelleme için bilgisayara tarif edildiği biçimdir.

Fiziksel gösterim: Üretim aşamasında ortaya çıkan geometrik katmanların fiziksel olarak tanımlandığı biçimdir (Layout).

Bugün bir tasarım veri tabanı, bu gösterimlerin tamamına sahip olmalıdır. Aşağıda bir eviricinin üç değişik açıdan gösterimi görülüyor.



Şekil 2.1. Bir eviricinin üç değişik açıdan gösterimi.

Tasarım veri tabanı hiyerarşik bir bakış ile de karakterize edilebilir:

Elektronik Eleman: Tasarımın en düşük seviyesidir. Tasarım veri tabanında elektronik eleman;

- i) Özellikleri,
- ii) SPICE modeli ve
- iii) Geometrik bir biçim olarak tanımlanır.

Devre: Tasarım veri tabanındaki ikinci yüksek seviyedir. Devre,

- i) Akım-gerilim, gerilim-frekans bağıntıları,
- ii) Makromodel
- iii) Parametrik ve sembolik bir layout ile tanımlanır.

Sistem: Tasarımın en üst seviyesidir. Veri tabanında

- i) Matematiksel veya grafik,
- ii) Davranışsal bir model ve
- iii) Bir yerleştirme planı ile gösterilir.

2.2. Analog Devrelerde Kullanılan Elemanlar

Analog devre elemanları;

- * Transistörler,
- * Pasif elemanlar

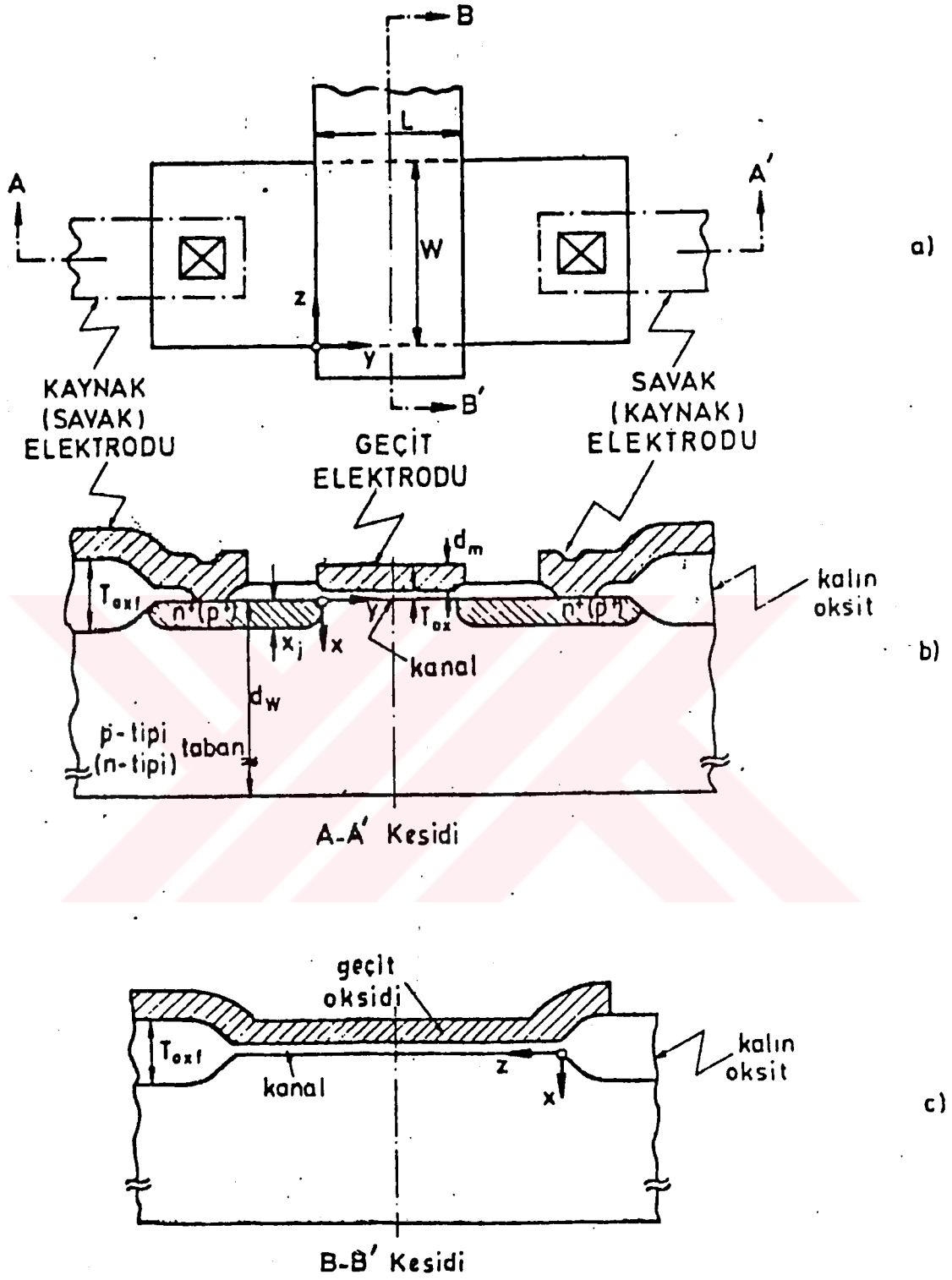
olarak iki grupta toplanabilir.

2.2.1. Tranzistörler

MOS tranzistörün nasıl kutuplanması gerektiğini ve bir elektronik eleman olarak avantaj ve dezavantajlarını anlamak, optimum analog tümdevre tasarımı için vazgeçilemez bir önceliktir.

MOS tranzistörü, çalışma ilkesi yüzey alan etkisine dayanan bir akım kontrol elemanıdır. Bu etki, yarıiletken yüzeyinin iletkenliğinin bu yüzeye çok yaklaştırılmış, ama elektriksel olarak yüzeyden yalıtılmış bir iletken elektrod aracılığı ile kontrol edilmesi olarak tarif edilebilir. Nitekim tranzistör yapısının temel elemanları Şekil 2.2.1'de görüldüğü gibi n veya p-tipi iletkenlikli bir yarıiletken “taban”, bu tabanın yüzeyinde oluşturulmuş bir geçit yalıtkanı ve bunun da üstüne yerleştirilmiş bir iletken “geçit” elektrodudur. Yarı iletken kullanımında genel olarak silisyum seçilir. Bunun temel nedeni, silisyumun geçit yalıtkanı olarak kullanılmaya çok elverişli olan ve çok kolay büyütülebilen bir okside (SiO_2) sahip olmasıdır. Geçit elektrodu ise yüksek dozda katkılanarak iyi iletken hale getirilmiş polikristal silisyumdan veya zaten iyi iletken olan alimünyum, molibden gibi metallerden yapılır. MOS (Metal-Oxide-Semiconductor) sözcüğü de alan etkisini oluşturan bu yapıdan türetilmiştir.

MOS tranzistöründe, geçit ve taban dışında iki elektrod; yarıiletken yüzeyde geçidin iki yanına tabanla ters tipte iletkenlikli olarak gerçekleştirilmiş iki bölgeye bağlanmıştır. Bu bölgelerin biri “kaynak”, diğeri “savak” olarak adlandırılır. Bunlar arasında hiçbir yapısal fark yoktur; hangisinin kaynak, hangisinin savak olduğu yalnızca çalışma koşulları ile (işlemsel olarak) belirlenir. Kaynak ve savağın tranzistörde alan etkisinin görüldüğü bölge y doğrultusundadır (Şekil 2.2.1.a). z doğrultusunda ise bölge genellikle “kalın oksit” adı verilen bir yalıtım oksidi ile sınırlandırılmıştır. Tranzistörün önemli boyutsal parametreleri de (Şekil 2.2.1.b)’ de görülmektedir. Bunlar, tranzistörden istenen elektriksel performansa ve yapının



Şekil 2.2.1. Bir tümdevre MOS tranzistörü, a)Yüzey geometrisi, b)Boyuna kesit, c)Enine kesit.

teknolojisine bağılı olarak çok değişik değerler alabilir. Örneğin kanal boyu, L , $1\mu\text{m}$ ve $10\mu\text{m}$ mertebelerinde; kanal eni, W , birkaç mikrondan $100\mu\text{m}$ 'lere hatta güç devreleri için tasarlanan tranzistörlerde birkaç milimetreye dek gerçekleştirilebilir. Geçit oksidi kalınlığı, T_{ox} , 5 nm 'den 150 nm civarına dek; kalın oksit kalınlığı, T_{oxf} , $0.5\text{-}1\mu\text{m}$ arasında değişebilir. Kaynak-savak jonksiyon derinliği, x_j ise $0.1\mu\text{m}$ 'den birkaç mikrona dek değişebilir. Silisyum taban kalınlığı, d_w 'nin ise $300\text{-}500\mu\text{m}$ arasında olduğu düşünülürse MOS tranzistörün bir yüzeysel eleman olduğu anlaşılır.

2.2.2. Temel Bağıntılar

MOS tranzistör için akım bağıntısı *doymasız bölgede* şu şekilde ifade edilir:

$$I_D = (W/L) \mu_n c_{ox} (V_G - V_S - V_T - (V_D - V_S)/2)(V_D - V_S)$$

Bu eşitliği, $V_{DS} = V_D - V_S$; $V_{GS} = V_G - V_S$ biçiminde kaynağa referans edilmiş savak ve geçit gerilimleri kullanılarak ve $\beta = (W/L)\mu_n c_{ox}$ biçiminde bir β faktörü tanımlayarak aşağıdaki gibi de gösterebiliriz:

$$I_D = \beta (V_{GS} - V_T - V_{DS}/2)V_{DS}$$

MOS tranzistörün önemli bir özelliği, akımı her iki yönde (savaktan kaynağa veya tersine) aynı kolaylıkla geçirebilme yeteneğidir. Bu eşitlikte V_D yerine V_S , V_S yerine de V_D yazıldığında yalnızca I_D 'nin işaretinin, yani yönünün değiştiği görülür. Bu; kaynakla savak arasında yapısal fark olmayışından kaynaklanır. Fark yalnızca işlemsel anlamdadır. Herşeyden önce n-kanallı bir MOS tranzistöründe kaynak ve savağın tabanla oluşturduğu p-n jonksiyonlarını geçirme yönünde kutuplayıp tabana büyük diyot akımları akıtmamak için V_S ve V_D 'nin negatif olmaması gerekmektedir. İşte, bir n-kanllı tranzistörde bu iki jonksiyondan hangisinin gerilimi daha pozitifse onun adı savak, diğerininki kaynaktır. Yani bunlar daima $V_D \geq V_S$ olacak şekilde

tanımlanır. Çalışma sırasında bu jonksiyonların gerilimleri birbirine göre büyük veya küçük olabileceği (yani akım yönü değiştirilebileceği) için bir jonksiyon bazen savak, bazen kaynak olarak çalışabilir. p-kanallı tranzistörlerde ise jonksiyonları tıkama yönünde tutabilmek için

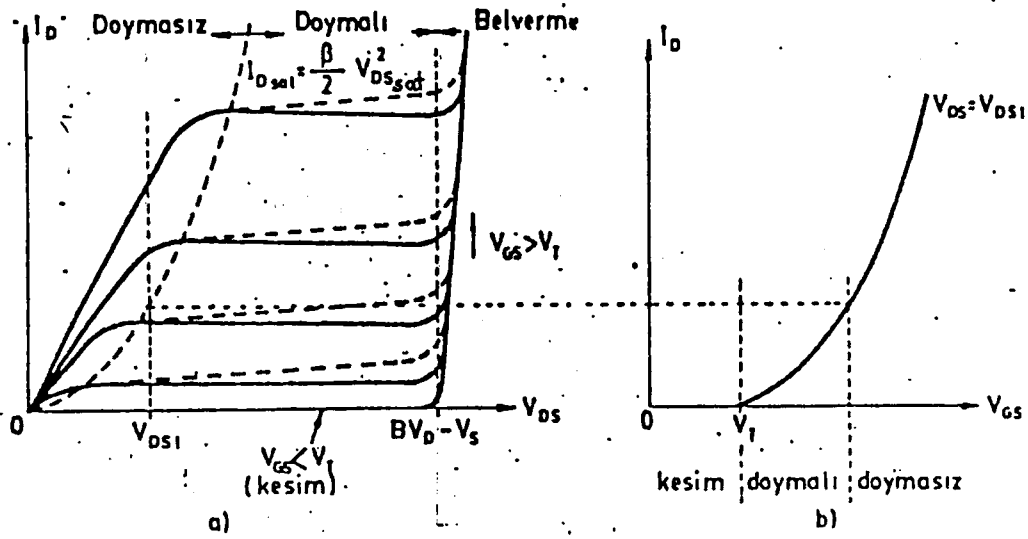
$V_D \leq 0$, $V_S \leq 0$ olmalıdır. Bunlarda da iki jonksiyondan daha negatif olanı savak olarak adlandırılır.

Başta çıkarılan akım eşitlikleri kanalın kaynakla savak arasında kesintisiz var olması koşuluyla çıkartıldı. Bu koşul ise uygulanan gerilimler cinsinden;

$$V_{GS} - V_T - V_{DS} \geq 0 \quad \text{veya} \quad V_{GS} - V_T \geq V_{DS} \quad (\text{Doymasız bölge gerilim koşulu})$$

olarak ifade edilir. Bu koşulun geçerlilik sınırı olan $V_{GS} = V_{DS} + V_T$ için akacak savak akımı (buradaki V_{DS} , V_{DSsat} olmaktadır) $I_{Dsat} = (\beta/2)V_{DSsat}^2$ yada $I_{Dsat} = \beta/2(V_{GS} - V_T)^2$ olarak bulunur. Bu akım değerine neden I_{Dsat} dendiği ileride açıklanacaktır. Şimdilik V_{DSsat} ile parabolik değişimin noktalı olarak gösterildiği $I_D - V_{DS}$ koordinat sisteminde sol tarafta yukarıdaki gerilim koşulu sağlanmaktadır. (Şekil 2.2.2.a)

Tranzistörün bu bölgede çalışması durumuna “Doymasız Çalışma” denir. Doymasız çalışmada belli bir V_{GS} değeri için V_{DS} arttıkça I_D artmaktadır. Bu artış $V_{GS} - V_T$ yanında ihmal edilebilecek kadar küçük V_{DS} değerleri için doğrusaldır; yani tranzistör bir direnç gibi davranmaktadır. Ancak V_{GS} büyüdükçe akım da büyüdüğü için, sözkonusu direnç, değeri geçit gerilimi ile kontrol edilebilen bir “değişken” dirençdir. V_{DS} büyüdükçe I_D bağıntısında I_D ’nin V_{DS} ile artma hızı azalacaktır. Şekil 2.2.2a’da gösterilen $I_D - V_{DS}$ özdeşlerinin eğimi, bu nedenle gittikçe azalarak doymasız çalışmanın sınırına dek gelinecektir.



Şekil 2.2.2. MOS tranzistörü özeğrileri.

Doymasız bölgenin sınırına gelindiğinde, $V_{GS} - V_T = V_{DSsat}$ olduğu için kanal savak ucundan kopar. Tam bu sınır durum için akan akım I_{Dsat} 'dır. $I_{Dsat} = (\beta/2)V_{DSsat}^2$ ve burada $V_{DSsat} = V_{GS} - V_T$ yazarak $I_{Dsat} = (\beta/2)(V_{GS} - V_T)^2$ olarak akım ifadesi bulunur. *Doymalı bölgede* $V_{GS} - V_T \leq V_{DS}$ gerilim şartı oluşur.

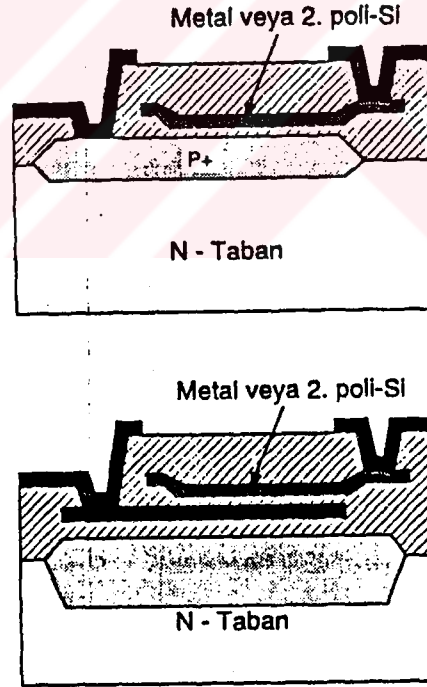
Tranzistörün bulunabileceği bir diğer bölge olan kesimde ise $I_D = 0$ 'dır. Kanaldan akım akmaması için kaynak ile savak arasında kanal ortadan kalkar. Bu durum ise; $V_{GS} - V_T < 0$ koşulunun sağlanmasıdır.

Bu bölümdeki ifadeler MOS tranzistörünün alçak-frekans büyük-ışaret davranışını modellemektedir. Sonuçlar grafik olarak Şekil 2.2.2.a'daki gibi "çıkış özeğrisi" ile verilebileceği gibi, Şekil 2.2.2.b'deki "geçiş (transfer) özeğrisi" ile de temsil edilebilir. MOS tranzistöründe, geçit elektrodundan doğru akım akmaması nedeniyle, bipolar tranzistördekine benzer bir "giriş özeğrisi" söz konusu değildir.

2.2.3. Pasif Elektronik Elemanlar

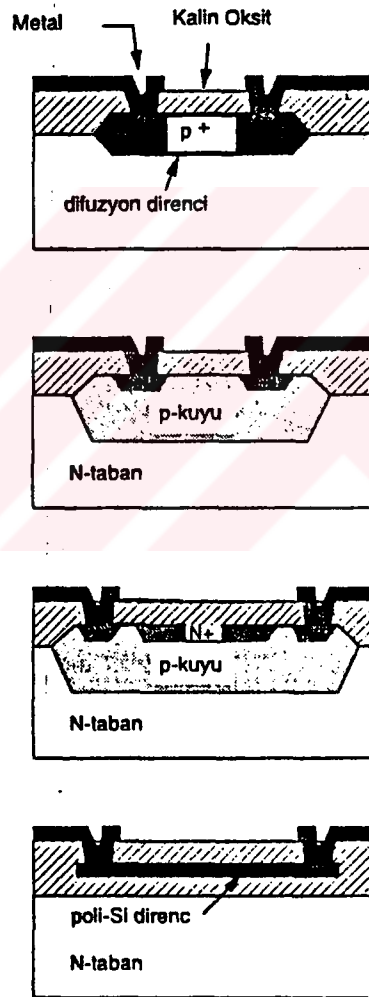
Kondansatörler: Kondansatörler ve dirençler sayısal devrelerde parazitik olarak değerlendirilirler ve elimine edilmeleri istenir. Analog devrelerde ise kabul edilebilir kalitede ve uygun değerlerde pasif elemanlar genellikle vazgeçilemez bir ihtiyaçtır.

MOS teknolojisi ile çok mükemmel kalitede kondansatörler, yüksek iletkenlikli iki polisilyum tabaka arasında oluşturulan ince silisyumdioksit tabakası ile gerçekleştirilebilir. Tek polisilyum tabakalı teknolojiye geçit oksidi özel bazı adımlarla kondansatör olarak kullanılır. Günümüzde pek çok üretici iki polisilyum tabakalı CMOS prosesi ile çalışmaktadır.



Şekil 2.2.3.1. MOS Kapasite Yapıları.

Dirençler: 100-1000 Ω arasında değerlere sahip kaliteli dirençler de polisilyum tabakası kullanılarak gerçekleştirilmektedirler. Daha yüksek değerli dirençler “kuyu (well)” difüzyonları kullanılarak gerçekleştirilebilir fakat bu dirençlerin değerleri gerilimle değişebilmektedir. Modern üretim teknikleri sayesinde düşük katkı polisilyum tabakaları ile yüksek direnç değerleri elde etmek de mümkün olmaktadır.



Şekil 2.2.3.2. MOS Direnç Yapıları

2.3. VLSI Tasarım Süreci Ve Tarihsel Gelişim

2.3.1. Tarihsel Gelişim

Tarihsel olarak, devre tasarımı ve devre yerleşim çizimi işlemleri ayrı çalışma grupları tarafından yerine getirilen etkinlikler idi. Devre tasarımcısı; mantık kapısı ve tranzistör gösterimlerinin bir arada kullanıldığı devre şemalarını, şemadan yerleşim çizimini oluşturmada uzman olan mühendislerle aktarırdı. 1950’lerde fotolitografik proses ilk olarak devre üretiminde kullanılmaya başlandı. O zamanlar tasarım tamamen elle yapılmaktaydı.

1970’lerde ise devre tasarımı gerekleri arttı. Çeşitli türde layout editörleri ortaya çıktı. Dolayısıyla tasarım için bilgisayar kullanımı yaygınlaştı. Teknoloji ve tasarım programları gelişirken VLSI fiziksel tasarım süreci de yüksek performanslı devre tasarımına doğru yol almaya başladı. Şu anki teknoloji ile alan kullanımını azaltmak için hücre yada bloklar üzerinden de arabağlantılar yapılabilir. Böylece de yüksek performans için işaret gecikmesi de iyileştirilebilmektedir.

Modern tümdevre yerleşim çizimi oluşturma yöntemlerinden bir çoğunda, kontrol lojiği sentez edilir ve tekrar edilecek kritik yapı bloklarının elde çizilmesi gerekebilir. Bu çizim parçaları, tümdevrenin kontrol edilebilmesi, çizilmesi ve tekrarlanabilmesi için tasarımın erken aşamalarında bilgisayara aktarılır.

VLSI tasarım programı gelişimi Tablo 7.1’de görülmektedir.

Tablo 7.1

Yıl	Tasarım programları
1950-1965	Elle tasarım
1965-1975	* Layout editörleri * Otomatik bağlantı programları (PCB için) ve birtakım algoritmalar.
1975-1985	* Otomatik yerleşim algoritmaları * İyi tanımlanmış devre tasarımı aşamaları * Tüm aşamalarda teorik anlamda önemli gelişme
1985-...	* Gelişmiş yerleşim ve arabağlantı algoritmaları * Fiziksel tasarım için benzer algoritmalar * Yüksek performans sağlayan ve tasarım süresini kısaltan bilgisayar programları

2.3.2. İleri Analog Tümdevre Tasarımı

Analog tümdevre teknolojisinde önceleri yüksek presizyonlu direnç, kondansatör (veya RC çarpanları) elde edilemiyordu. Yalnızca işlemsel kuvvetlendirici, gerilim referansı ve gerilim regülatörü elde edilebiliyordu. 1970 ve ileriki yıllarda ise anahtarlı kondansatör devreleri ortaya çıktı. RC çarpımlarını kondansatör oranları ile ifade etmek mümkün oldu ve sonuçta MOS teknolojileriyle tümleştirmeye uyumlu analog devreler ortaya çıktı. MOS teknolojisi ile gerçekleştirilen kondansatörlerin bağıl doğruluğu %1 mertebelerinde olup bu devre tekniğinin ortaya çıkması ile analog tümdevreler IC pazarında sıkça rastlanan ürünler haline geldi.

VLSI teknolojisinin gelişmesi ile işaret işlemeye yönelik talep de artmış ve bu ihtiyaca doğrudan bağlı olarak analog tümdevrelerin sayıları ve çeşitlilikleri de büyük ölçüde artmıştır.

Ayrık analog devreler (discrete analog circuits) için geçerli tasarım kriterleri, VLSI teknolojisi ile gerçekleştirilen çok daha karmaşık devrelerin ve sistemlerin tasarımında kullanılamazlar.

Herhangi bir elektronik devreden beklenen, önceden belirlenmiş özellikleri yerine getirmektir. Yakın zamana dek (1980 öncesi), özellikle analog tümdevre tasarımında bu işlem bir zanaatkar mühendis (veya grubu) tarafından yerine getiriliyordu.

Mikroelektronik teknolojisinin itici gücünün somut bir sonucu; sürekli olarak küçülen eleman boyutları olup, bununla birlikte bir silisyum kırık üzerinde gerçekleştirilebilecek eleman sayısı da karesel olarak artmaktadır. Buna bağlı olarak da elektronik devrelerin fonksiyon yoğunlukları artmakta, devre tasarımları karmaşıklaşmakta ve böylece tasarım süresi uzamaktadır. Tasarım süresinin düşürülmesi için de regülerlik, ayrıştırma ve tasarım hiyerarşisi gibi kavramlara ihtiyaç vardır.

Bugün, bilgisayar destekli tasarım imkanları ile desteklenen bu kavramlarla analog devre tasarımı daha geniş tasarım gruplarının uyumlu bir şekilde çalışması ile gerçekleştirilmektedir.

Tümdevre tasarımı; özellikle de analog tümdevre tasarımı, tümdevre üretim teknolojisine doğrudan bağlıdır. Üretim teknolojileri gelişip geometriler küçüldükçe ve güvenilirlik arttıkça, analog devre tasarımı da önemli evrelerden geçmiştir. Bir analog devre tasarımcısı üretim teknolojisini de çok iyi tanımalıdır. Nitekim, tasarlanan devrenin modellenmesi, devrenin silisyuma geçirilmesi ve üretim sonrası testler teknolojiye hakim olmayı gerektirir.

2.3.2.1 Analog Tasarım Otomasyonu

Analog tümdevreler tasarım otomasyonuna sayısal tümdevreler kadar uygun değildir. Herşeyden önce, her üretim ortamı standart bir analog hücre kütüphanesi sunmamaktadır. Çoğu üretim ortamları sadece sayısal devre üretimine yöneliktirler ve ancak giriş - çıkış katlarında analog devreler kullanılmasına izin verirler.

Analog devre kütüphanesi sunan bazı üreticiler vardır. Ancak böyle bir kütüphanede bulunsa bile eldeki hücreler çoğu kez istenen özellikleri karşılamaya yetmez. Bazı alt blokların “full-custom” tasarımı, çoğu kez kaçınılmazdır.

“Routing” yani devrelerin ve elemanların genellikle metal hatlarla elektriksel olarak bağlanmaları, analog devrelerde sayısal devrelerdekine göre çok daha kompleks bir adımdır. Analog devrelerdeki sınırlamaların sayısı, sayısal devrelerdekine göre en azından bir mertebe daha yüksektir. Ayrıca; analog devrelerde kritik hatların tespiti bilgisayar tarafından yapılamaz, tasarımcının müdahalesi zorunludur.

Bu nedenlerle prototip aşamasında çok iterasyon gerekirken, üretici firmaların riskleri arttığı için NRE (non recurring engineering) ücretleri analog devreler için daha yüksektir.

2.3.2.2 Analog ve Sayısal Karışık Devreler

Giderek artan sayıda tümdevre, analog ve sayısal fonksiyonları aynı anda yerine getirmektedir. Bu durumda karşılaşılan sorunlar ve çözümleri aşağıda verilmiştir:

Sorunlar:

* Gürültü: Bu tür devrelerin tasarımında en önemli sorun sayısal blokların ürettiği gürültünün analog blokların dinamikleri üzerindeki sınırlayıcı etkisidir.

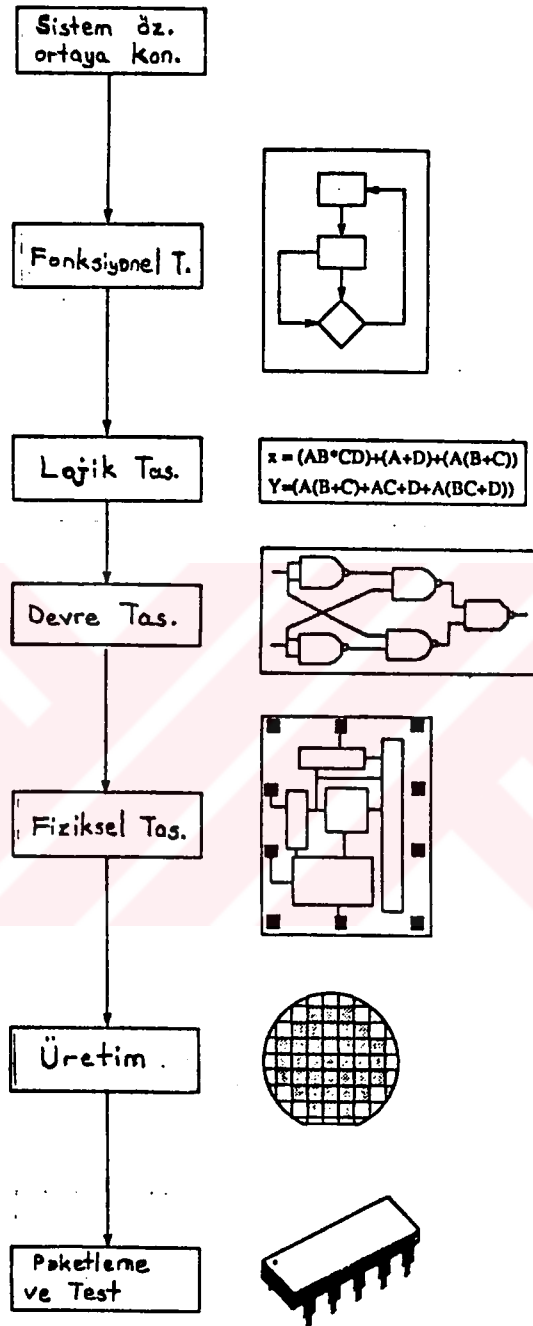
* Kuplaj: En az gürültü kadar önemli olan diğer bir problem de kuplajdır. Kuplaj, besleme hatları, taban veya sayısal tranzistörlerin kesime enjekte edilen azınlık taşıyıcıları üzerinden olabilir.

Çözümler:

- * Ayrı besleme ve toprak hatları.
- * Besleme hatları üzerinde regülatör ve filtreler
- * Örnekleme ile çalışan devrelerde yüksek PSRR (power supply rejection ratio)
- * Sistematik olarak fark işareti ile çalışılması
- * Sayısal tarafta ani büyük akım genliklerinden kaçınılması
- * Kritik analog işaret taşıyan hatlar ile mümkün olduğunca fazla uzaklık
- * Analog devreler için ayrı ve temiz saat işareti.

2.3.3 Tasarım Süreci

Tasarım süreci VLSI kırılgan özelliğinin ortaya çıkartılmasıyla başlayıp bir dizi süreç izler. Tasarım süreci aşağıdaki akış ile temsil edilebilir:



Şekil 2.3.3. Tasarım Süreci Akışı

2.3.3.1. Sistem Özelliğinin Ortaya Konulması

İlk adım; tasarlanacak sistemin özelliklerini ortaya koymaktır. Sistem özelliklerini ortaya koymada göz önünde bulundurulacak faktörler; sistem performansı, sistem fonksiyonu ve fiziksel boyutlardan oluşur. Aynı zamanda fabrikasyon teknolojisi ve tasarım teknikleri de düşünülür. Son değerlendirme ise; tasarlanacak VLSI sistemin fonksiyonu, harcadacağı gücü ve hızı hakkındaki sonuçları içerir.

2.3.3.2. Fonksiyonel Tasarım

Bu aşama, tasarım prosesini geliştirmek ve ilerleyen aşamalardaki karmaşayı azaltmak için kullanılır. Sistemin davranışı incelenerek, alt üniteler arasındaki zaman diyagramı ve diğer ilişkiler gözönüne alınır.

2.3.3.3. Lojik Tasarım

Fonksiyonel tasarımı temsil eden lojik yapı oluşturularak test edilir. Tasarım grafik veya devre bazında ortaya konulur. Genel olarak, lojik tasarım Boolean eşitlikleriyle temsil edilir ve en küçük lojik tasarımı oluşturmak için bu eşitlikler minimize edilir. Bu lojik sistem tasarımı, doğruluğunun test edilmesi için simüle edilerek test edilir.

2.3.3.4. Devre Tasarımı

Devre tasarımının amacı, lojik tasarıma dayalı devre gösteriminin geliştirilmesidir. Boolean eşitlikleri; gerçek devreden istenen hız ve güç değerleri gözönüne alınarak devre gerçekleştirilmesine dönüştürülür. Değişik devre elemanlarının elektriksel davranışları bu aşamada ortaya konulur. Devre tasarımı; detaylı devre şeması ile belirlenir. Daha sonra ise devrenin çalışması, yapılan simülasyonlarla kontrol edilir.

2.3.3.5. Fiziksel Tasarım

Bu aşamda her elemanın tümdevre gerçekleştirilmesi devre yapılarına ait kütüphanelerden yararlanılarak silisyum kırkımının üzerinde oluşturulması öngörülen geometrik gösterim ile gerçekleştirilir. Bu gösterim devre elemanının istenen fonksiyonu gerçekleştirilmesi için ortaya dökülmüş bir dizi geometrik pattern'den oluşur. Farklı elemanlar arası bağlantılar da geometrik yapılarla belirtilir. Bu geometrik gösterim "layout" olarak adlandırılır ve üretim malzemelerinin elektriksel sınırlamaları ya da fabrikasyon prosesinin sınırlamalarından kaynaklanan tasarım kurallarını içerir.

Bunun yanında son yıllarda VLSI teknolojisinde gerçekleştirilen en göz alıcı gelişme, tasarımcıların proses ve üretim parametreleriyle ilgilenmesinin gerekmediği bir düzeyde çalışmalarını olanaklı kılan güçlü tasarım yöntemlerinin ortaya çıkması olmuştur. VLSI tasarımcısı yalnızca, devresine ilişkin maske tabakalarını oluşturmasını olanaklı kılan geometrik şekillerden ve bu şekilleri bir araya getirme kurallarından yararlanır. Bu kurallar belli amaca uygun çalışabilmesini sağlar. Böylelikle tasarımcı doğrudan tasarımıyla ilgili ayrıntılar üzerinde yoğunlaşma olanağı bulur.

Üretilen tümdevre üzerindeki biçimlerle, tasarımcının oluşturduğu şekiller arasındaki farklılıkları yaratan birkaç hata mekanizması vardır. Bunlar maskelerin hatalı ayarlanması, ışıklandırma koşullarındaki değişimlerle fotorezist kenarlarında oluşan bozulmalar, fazla aşındırma, ince oksit filmlerin köşelerden açılması, difüzyon ve implantasyon bölgelerinin yayılması ve kalın oksit pencerelerinin boyut toleranslarıdır. Zaman içinde devrenin çalışması ile de boyutlarda değişimler olur. Örneğin, belirlenen sınırları aşan akımların varlığı metal bağlantı hatlarında metal göçü denene ve zamanla bağlantı hatlarının kopmasına yol açan olayın ortaya çıkmasına neden olabilir. Bundan kaçınmak için, söz konusu olacak akım yoğunluklarının üst sınırına karşı düşen minimum metal bağlantı hattı genişliğinin sağlanması gereklidir.

Tasarım kurallarının amacı, yukarıda sözü edilen proses değişimlerinin en kötü durumda üst üste gelmesi durumunda bile devrenin çalışmasının sağlanmasıdır. Yani, ayrık bölgeler üst üste çakışmamalı, küçük boyutlu bölgeler kopmamalı, hedeflenen devrenin özgün topolojisi korunmalıdır. Ayrıca kurallar, bölgelerin fiziksel boyutları tarafından belirlenen direnç ve kapasite gibi elektriksel parametrelerin proses değişimleri sonucu devre performansını ciddi bir şekilde etkileyecek düzeye gelmesine olanak tanımamalıdır.

Tasarım kurallarının belirlenmesindeki temel zorluklardan biri üretim proseslerindeki hızlı evrimsel değişimler ve karmaşıklığın artması ile alan kullanımının kötüleşmesidir. Sonuç olarak, endüstriyel tasarım kuralları karmaşıktır ve sabit bir değişim göstermez. Bir prosesi tek başına karakterize eden yegane parametre izin verilen en küçük boyuttur. Proses adımları dramatik bir şekilde değişmedikçe, minimum boyut cinsinden verilen tasarım kuralları yaşama şansı en yüksek kurallar olacaktır. Proses teknolojisindeki gelişmelerle minimum boyut tasarım kuralları değişmeksizin küçülecektir.

VLSI tasarım sürecinin önemli bir elemanı olan geometrik tanımlama dilleri; bir tümdevreyi oluşturmada kullanılan maskelerdeki geometrik şekillerin bilgisayarca değerlendirilmesini olanaklı kılarlar, bilgisayar programlama dillerine çok benzerler.

Yüksek maliyetlerine rağmen çok fazla sayıda üretilecek tümdevrelerde alanı en aza indirebilmek için yerleşim çizimleri günümüzde bile devre kütüphanelerindeki hazır bloklar kullanılmaksızın elde hazırlanabilmektedir. Aslında silisyum derleyicileri yada standart hücre sentezleyiciler bile temel yapı elemanı olarak elde optimize edilmiş blokları kullanırlar. Yine de ilk üretimde hatasız çalışacak devreleri en kısa sürede silisyum yüzeyine aktarabilmek için bilgisayar gereklidir. Sonuçta hız, harcanan güç

ve alan kullanımı açısından optimum olmayan ancak çok kısa sürede tasarlanmış tümdevreler elde edilmektedir.

Bu tezde, öngörülen devrenin tasarımı aşamasında TÜBİTAK YİTAL 3µm CMOS proses parametrelerini içeren CADENCE yazılımı kullanılmıştır.

Tasarım sonunda elde edilen alçak geçiren filtreyi içeren entegre devre yapısında bir giriş, bir çıkış, filtrenin kesim frekansını ayarlamak amacıyla dışarıdan bağlanan elemanlara ait üç adet giriş ve iki de besleme için olmak üzere toplam yedi adet uç bulunmaktadır. Tasarımda TÜBİTAK YİTAL'in standartlarına uyulmuştur.

Fiziksel tasarımın karmaşıklığından dolayı bu işlem birkaç alt adıma bölünerek uygulanır ve VLSI tasarım çevrimi içinde en fazla zaman alan işlemdir.

2.3.3.6. Tasarım Kurallarına Uygunluğun Test Edilmesi

Bu aşamada hazırlanan layout; sistem özelliklerine ve teknolojinin gereklerine göre değerlendirilir. Bu işlem DRC (Design Rule Checking) ve CE (Circuit Extraction) olarak ikiye ayrılır. DRC işlemi ile hazırlanan layout üretim prosesi ve birtakım elektriksel sınırlamalara karşılık elde edilen tasarım kurallarına uygunluk bakımından test edilir. Bu işlemden sonraki adım olan CE işleminde ise, hazırlanan layouta karşılık düşen devrenin bağlantılarının doğru olup olmadığı LVS (Layout versus Schematic) ile gerçek devre ve layout karşılaştırılarak kontrol edilir.

2.3.3.7. Üretim

Bu test işlemlerinden sonra layout üretime hazırlanmıştır. Üretim aşaması ise pekçok alt işlemten oluşur. Maskeler hazırlandıktan sonra Si pul üzerinde; selektif olarak katkılama, depozisyon ve aşındırma işlemleri yapılır. Tipik olarak bir Si pul pekçok kırımın aynı anda üretimi için kullanılabilir.

2.3.3.8. Paketleme ve Test

Bu adımda her kırmık paketlenerek, tasarımdan kaynaklanan aksaklıkların tümünün oluşması durumunda kırmığın istenilen şekilde çalışıp çalışmadığı kılıflamadan sonra test edilir.

2.3.4 VLSI'da Yakın Çağ

- * Yapay Sinir Ağları
- * Puslu (Fuzzy) Lojik
- * Çok Değerli Lojik

Günümüzde en popüler VLSI devreler, yoğun paralel işlem yapan yapay sinir ağları ve zihindeki düşünce ve karar alma süreçlerine benzer işlem yapan puslu lojik devreleridir. Çok değerli lojik de, ikili lojiğe nazaran sağladığı daha hızlı ve yoğun işlem yapabilme imkanlarıyla hızla popüler olmaktadır.

Her üç ailede de toplama ve karşılaştırma gibi temel analog fonksiyonlar ve teknikler kullanılarak işlemler yapılmaktadır ve genel eğilim bilgi işlemede analog ve sayısal fonksiyonların hızla ve ayrılmaz şekilde içiçe girmesidir.

2.4 Tasarım Türleri

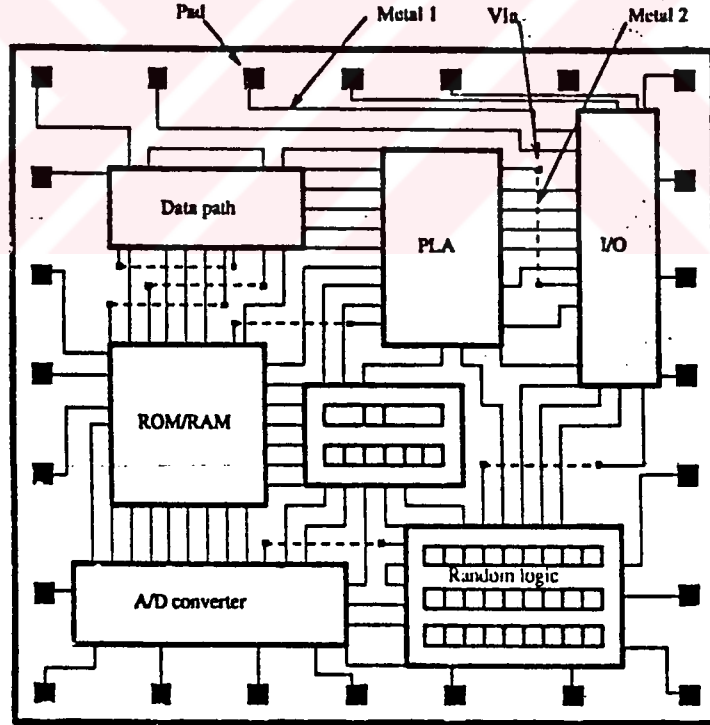
Kırmık pazarının taleplerine bakılırsa kısa tasarım süresi ve yüksek performansın istendiği görülmektedir. Yüksek performanstan ise, birim alan başına alan fonksiyon yoğunluğunun artırılması anlaşılmalıdır. Sonuç olarak; fiziksel tasarımın karmaşıklığını azaltmak amacıyla sınırlı model ve tasarım tipleri bulunmaktadır.

Tasarım tipleri full-custom ve semi-custom olarak iki ana grupta toplanabilir.

2.4.1. Full-Custom Tasarımı

Tam özel bir tasarımıdır. Transistör bazında ara bağlantı ve yerleşimin özel olarak tamamen özgürce ve tasarımcının tercih ettiği şekilde yapıldığı bir tasarım şeklidir. Hızlı çalışan devre tasarımlarında en uygun yöntemdir. Fakat maliyet tasarım süresinin uzun olması nedeniyle oldukça artar.

Bu tasarım şeklinde birim alan başına olan fonksiyon yoğunluğu oldukça artmaktadır. Bunun için de uzun tasarım süresi ve mühendis tecrübesi önem kazanmaktadır. Full-custom tasarım ASIC (uygulamaya özgü tümdevre) için her zaman uygun olmamaktadır. Genel olarak mikroişlemci temelli devre tasarımlarında kullanılır. Yapı Şekil 2.4.1'de görülmektedir.



Şekil 2.4.1. Full-custom Yapısı

2.4.2. Semi-Custom Tasarımı

Bu tasarım biçimlerinde devrenin bazı parçaları tasarımcıya hazır sunulmuştur.

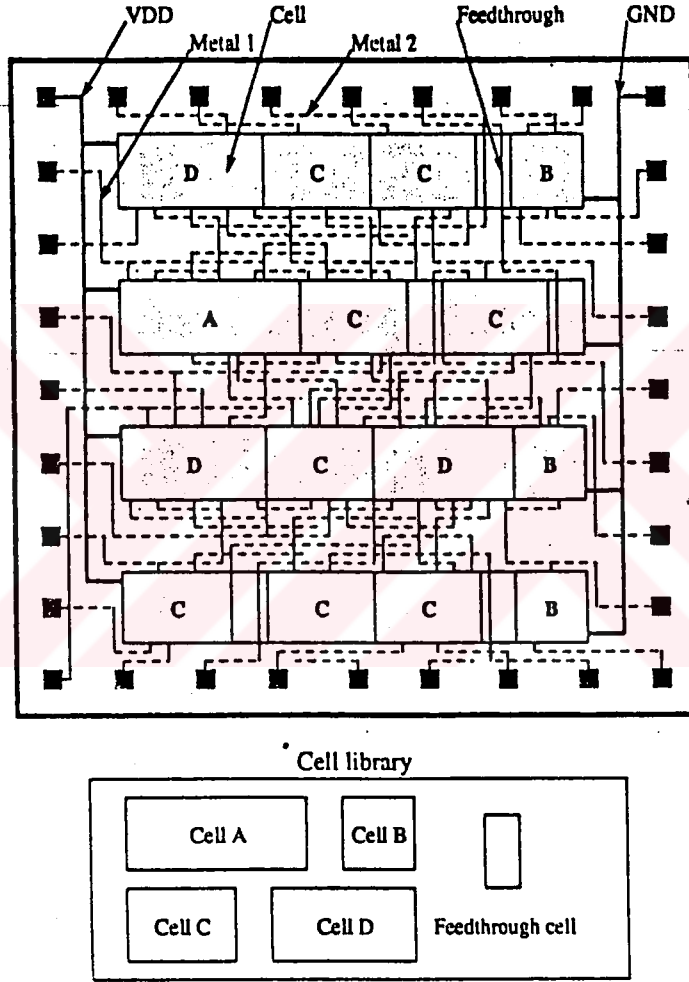
Semi-custom yada full-custom tasarım şekillerinin seçimi kırılgan tipine, maliyetine ve tasarım için ayrılacak zamana bağlıdır.

2.4.2.1. Standart Cell Tasarımı

Standart cell sistemleri; önceden tasarlanmış, optimize edilmiş işlev bloklarının bir araya getirilmesiyle oluşturulur. Yerleşim çizimleri oluşturulurken, devrenin yüksekliği sabit tutularak, gerçekleştirilecek işleve bağlı olarak hücre genişliği değişir. Böylelikle; yapı bloklarının yan yana düzgün sıralanması olanaklı kılınır. Gate array yapısının aksine önceden proses edilmiş hiçbir bölüm yoktur. İşlev blokları her farklı uygulama için bir araya getirilir, gerekli ara bağlantıların yapılması ile oluşturulan toplam devrenin yerleşimi için tüm proses adımları birinciden sonuncuya kadar uygulanır. Üretim süresi ve maske maliyetleri bu nedenle gate array'e göre daha yüksektir. Yerleşim düzeni her farklı tasarım için yeniden oluşturulduğu için alan kullanımı kapı dizilerine göre daha iyidir. Mantık işlev bloklarının, gate array tasarıma oranla çok daha derli toplu ve optimize edilmiş olmalarından dolayı standart cell ile tasarlanan devreler daha yüksek frekanslarda çalışabilmektedir.

Tasarım süresini kısaltmaya yönelik olarak, program kütüphanelerinde belli işlevleri olan standart hücreler bulunmaktadır. Bu hücrelerin tek başlarına yoğunluğu ve elektriksel özellikleri analiz edilerek test edilir. Hücreler yan yana eklenerek eş yükseklikli sıralar elde edilir. İki sıra arasındaki boşluk ise kanal adıyla adlandırılır. Bu kanallar hücreler arasındaki arabağlantılar için kullanılır.

Şekil 2.4.2.1'de bir standart cell tasarımı görülmektedir. Kütüphanede bulunan hücrelerin tasarımı ise full custom tasarıma göre daha fazla kırımlı alanına gerek duyar ve birbirinden uzak düşen hücreler arasında işaret gecikmesi kaçınılmazdır. Bu da çalışma hızını düşürür.



Şekil 2.4.2.1 Standart Cell Yapısı

2.4.2.2. Gate Array Tasarım

VLSI tasarımları gerçekleştirme ortamı olarak gate array tasarım son yıllarda oldukça fazla ilgi görmektedir. Popüler olmalarında, bu konuda servis veren birçok

firmanın yer alması, oldukça gelişmiş yazılım paketlerinin varlığı, sistem tasarımcısının en az çaba ile mevcut bir TTL tasarımı uyarlayabilme olanağı, etkin olmuştur. Hepsinden önemlisi, belirli tip tümdeveler için gate array kullanmak en ucuz çözüm olmaktadır. Tasarım yazılımlarının bolluğu, bir anlamda oldukça kısıtlı fiziksel yapının varlığından kaynaklanmaktadır. Bu durum, kullanılacak yazılımların karmaşıklığını çok fazla azaltmasa da, bir problemin çözümüne yönelik olmaktadır.

Topolojinin önceden belirlenmiş olması, üretici firmaların, kullanıcı ve uygulamadan bağımsız olarak, belirli bir aşamaya kadar proses edilmiş hazır Si pulları stoklamalarına olanak tanır. Kırmığın “uygulamaya özelleştirilmesi” farklı katmanlar için yapılabilir. Olası katmanlar, metal tabakası, metal ve temas penceresi, çift metal tabakası ile temas pencereleri ve geçiş pencereleri olabilir. Dolayısıyla, herhangi bir tasarım için maske maliyeti normal maliyetin $1/8$ 'i ile $1/4$ 'ü arasında olmaktadır. Bu yaklaşım, bir tasarımın en kısa sürede gerçekleştirilmesini sağlamaktadır.

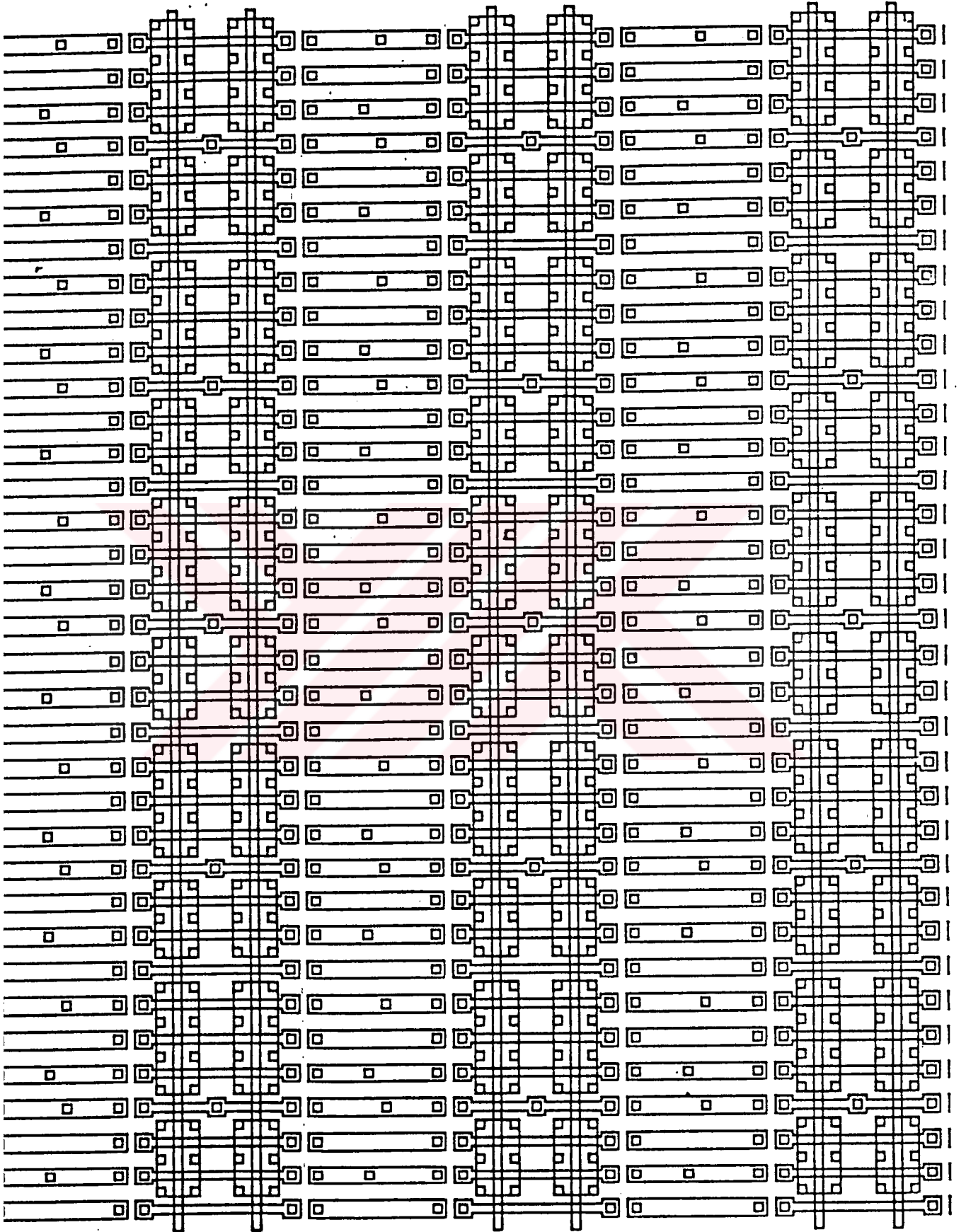
Genellikle digital uygulamalar için geliştirilmiş olup, standart cell tasarımının tasarımcıya daha fazla kolaylık sunan şeklidir. Tüm Si pul belirli kapı yada hücre dizisine sahip olacak şekilde hazırlanmıştır.

Kontaklar ve devre parçalarına ait düğümler belli konumlarda sabitleştirilmiş, yalnızca bağlantısız bırakılmıştır. Hazırlanan hücreler yatay ve düşey kanal adını alan yatay ve düşey boşluklarla ayrılmıştır. Devre tasarımı belirli bloklara ayrılabilen şekilde değiştirilmiştir. Her blok gate array tasarımda bir hücreye karşılıktır. “Gate array (kapı dizisi)” isimlendirmesi her bir hücrenin basit bir kapıya, örneğin üç girişli bir NAND kapısı, karşılık düşürülebileceğini belirtir. Tasarımcıya düşen ise, gerçek devreyi oluşturmak üzere pul üzerindeki yatay ve düşey bağlantı kanallarını kullanarak önceden hazırlanmış, hücreler arasındaki bağlantıları oluşturmaktır. Şekil 2.4.2.2.1’de tasarımı yapılmamış bir gate array yapısı görülmektedir. Şekil 2.4.2.2.2’de ise aynı yapının tasarımdan sonraki durumu görülmektedir.

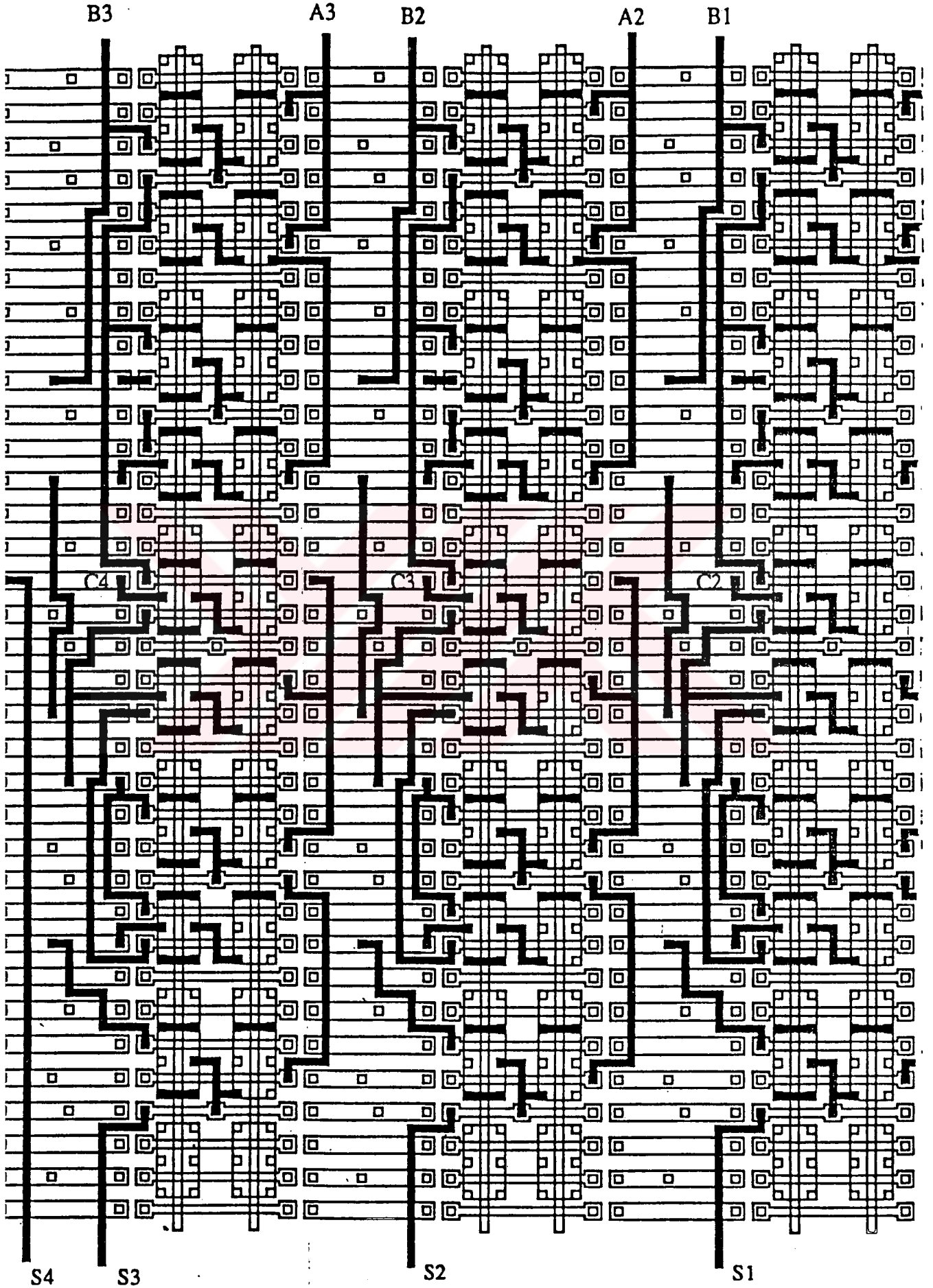
Belirli bir kapı yada hücre dizisinin oluşturulmasına dek olan işlemler, tüm pullar için aynıdır. Sadece bundan sonraki birkaç adım ile tasarlanması istenen devreler kırımlık üzerine işlenir. Bu nedenle gate array tasarım full custom ve standart cell tasarıma oranla hem daha ucuz, hem de üretimi kolaydır. Gate array mimarisi diğer tasarımlara göre tasarım özgürlüğünün en fazla sınırlandığı yapıdır. Bu da tasarım için geliştirilen algoritmaların basitliğini sağlar. Böylece tasarım süresi kısaltılmıştır.

2.4.2.3. Field Programmable Gate Array (FPGA) Tasarımı

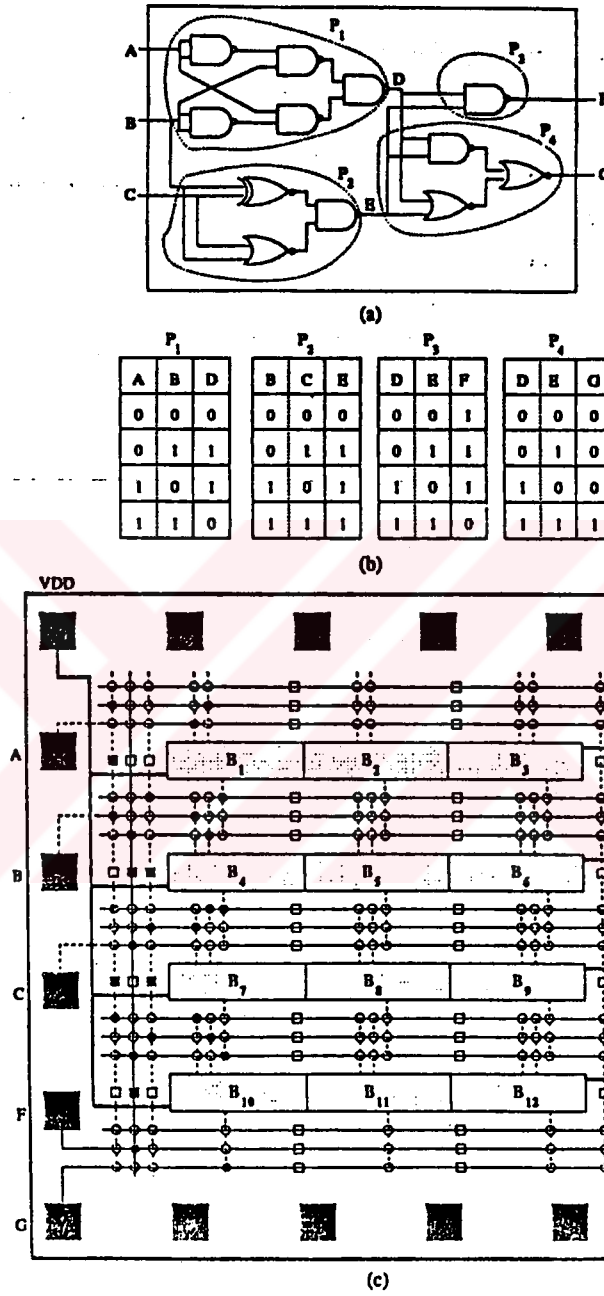
FPGA tasarımı ASIC (Uygulamaya Özgü Tümdevre) tasarım için yeni bir yaklaşım olup, tasarım süresi ve tasarım maliyetini oldukça düşürmektedir. Kullanıcı için programlanabilme imkanı yanında, geniş çaplı integrasyona olanak tanımaktadır. Bir FPGA yapısı, programlanabilen bağlantı devresine bağlanabilen ve yine programlanabilen yatay lojik bloklar içerir. Tipik bir FPGA lojik blok; bir kapı elemanından daha karmaşık olmasına rağmen, standart cell tasarımdaki bir hücre yapısına göre daha basittir. Bir lojik blok, lojik fonksiyon tablosunu hafızasında saklayabilen ve programlanabilen bir hafıza bloğundan ibarettir.



Şekil 2.4.2.2.1. Tasarımı Yapılmamış Gate Array Yapısı



Şekil 2.4.2.2.2. Tasarımı Yapılmış Gate Array Yapısı



Şekil 2.4.2.3. FPGA Yapısı

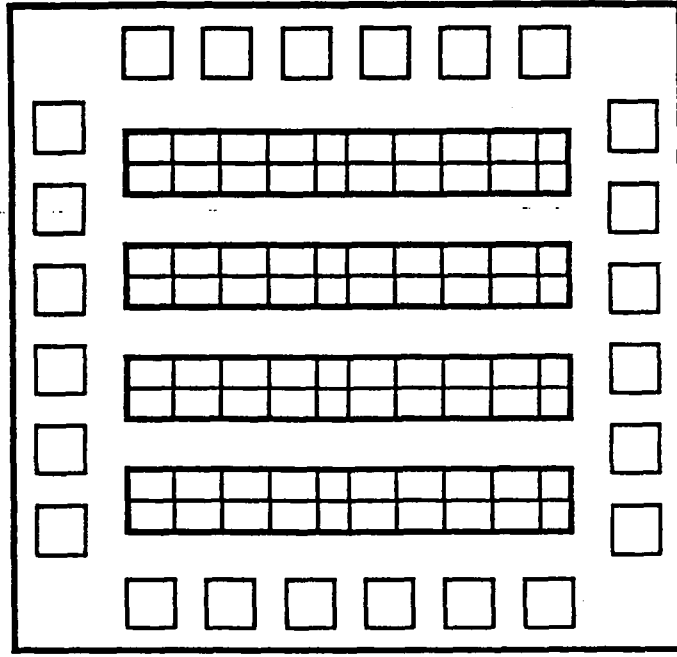
Şekil 2.4.2.3 genel bir FPGA yapısını göstermektedir. Burada 4 sıralı lojik bloklar bulunmaktadır. FPGA yapısının programlanması da oldukça kolaydır. VLSI tasarımı yapılacak devre önce küçük alt devrelere bölünür. Böylece herbir alt devrenin diğerleriyle bağlantısı lojik blokların programlanması ile başarılır.

Şekildeki devre P_1 , P_2 , P_3 , P_4 olarak dört alt devreye ayrılmıştır. İki giriş ve bir çıkışa sahip her bir alt devrenin lojik doğruluk tablosu çıkarılmıştır. P_1 , P_2 , P_3 ve P_4 ; B_1 , B_4 , B_7 , B_{10} lojik bloklarına kaydedilerek bu bloklar programlanmıştır.

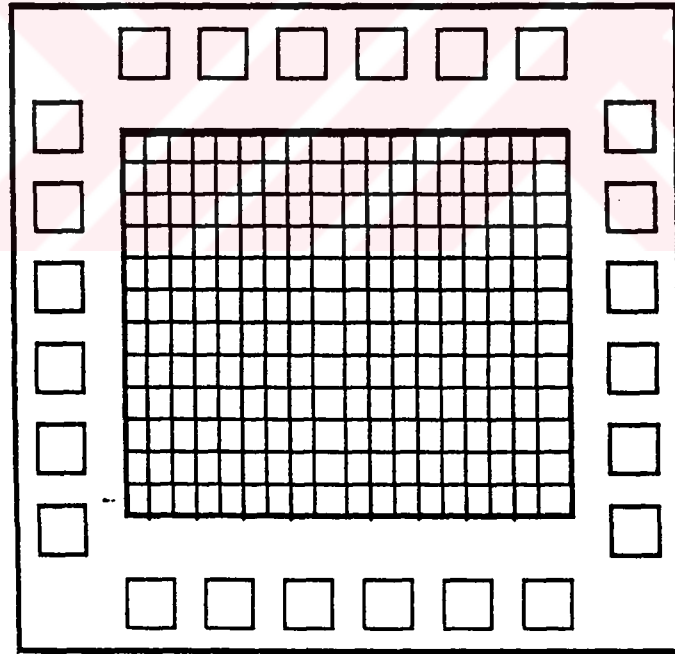
FPGA yeni ve yetenekli CAD algoritmalarına ihtiyaç duyar. Tasarım süresinin en kısa olduğu tasarım şeklidir.

2.4.2.4. Sea of Gates Tasarım

Gate array tasarımının iyileştirilmiş şekli olarak düşünülebilir. Si pul üzerinde tranzistör yapıları hazırdır. Bu yapıları içeren yoğun lojik bloklar kırmık üzerinde hazır bulunur ve tasarımcıya RAM gibi karmaşık devrelerin kolayca tasarımı imkanını verir. Gate array tasarıma göre alan kullanımı daha iyidir. Şekil Şekil 2.4.2.4'de gate array ve sea of gates yapıları birarada görülmektedir.



Gate Array



Sea-of-Gates

Şekil 2.4.2.4. Gate Array Ve Sea of Gates Yapıları

2.5 Farklı Tasarım Tiplerinin Karşılaştırılması

Tablo 2.5.1 hücre boyutları, hücre türü ve yerleşimi ile arabağlantı açısından dört ayrı tasarım türünün karşılaştırılmasını vermektedir.

Tasarım tipinin seçimi; kırmıktan istenen fonksiyonun niteliğine, tasarım süresine ve üretilecek kırmık sayısına bağlıdır. Mikroişlemciler için full-custom tasarım kullanılırken, küçük devreler için de FPGA kullanılabilir. Bunun yanında birkaç tasarım türünün aynı anda kullanıldığı kırmık yapıları da bulunmaktadır.

Tablo 2.5.1

	Tasarım Türü			
	Full Custom	Standart Cell	Gate Array	FPGA
Hücre boyutu	Değişken	* Sabit yükseklik	Sabit	Sabit
Hücre Türü	Değişken	Değişken	Sabit	Programlanabilir
Hücre Yerleşimi	Değişken	Belirli sıralar halinde	Sabit	Sabit
Arabağlantılar	Değişken	Değişken	Değişken	Programlanabilir

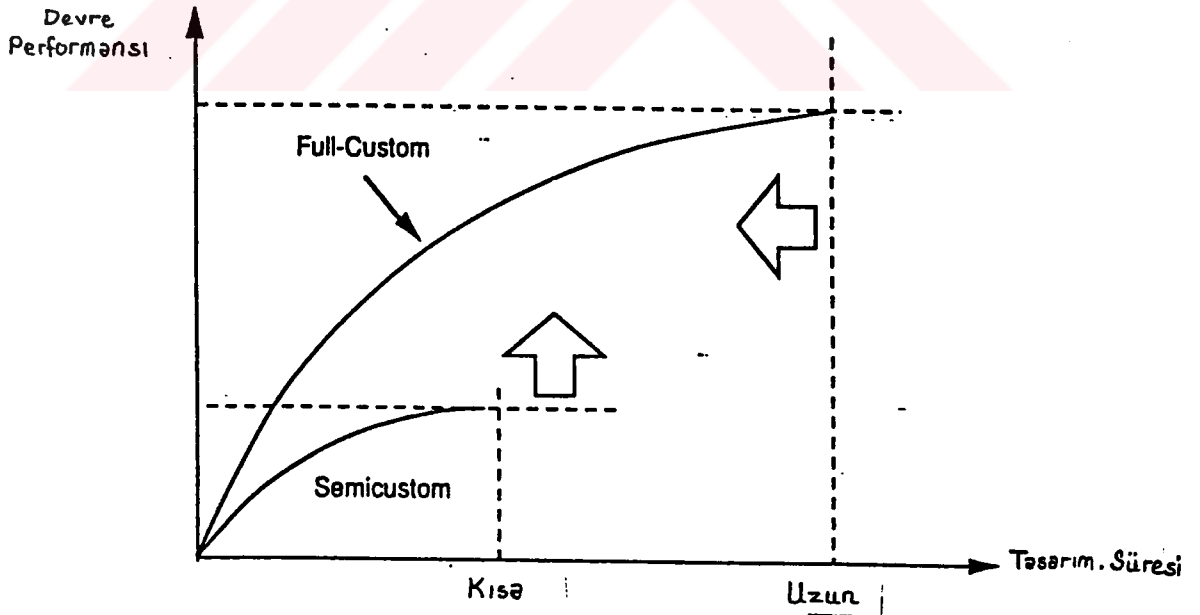
Diğer bir karşılaştırma ise alan kullanımı, performans yani birim alan başına olan fonksiyon yoğunluğu ve tasarım yapısının oluşumu için gereken üretim tabakalarının sayısına göre yapılmıştır (Tablo 2.5.2)

* istenilen yüksekliklerde belirli sıralar olarak

Tablo 2.5.2

	Tasarım Türü			
	Full Custom	Standart Cell	Gate Array	FPGA
Alan kullanımı	Oldukça iyi	Full customa göre kötü	Orta	Kötü
Performans	Yüksek	Ortanın üstü	Orta	Düşük
Tasarımdan sonraki Üretim tabakaları	Gereken tüm tabakalar	Gereken tüm tabakalar	Sadece arabağlantı tabakası	Yok

Tablodan görüldüğü gibi; full custom kompakt ve küçük bir alana sığdırılmış layout yapısını yüksek performans ile sunarken, tasarım süresini uzatır ve engin tasarımcı tecrübesine gerek duyar. FPGA ise üretim aşamasının tamamen önceden yapıldığı ve tasarımcının tasarımına göre herhangi bir üretim adımına gerek duymayan bir tasarım şekli olup sadece küçük ve genel amaçlı tasarımlarda kullanılabilir.



Şekil 2.5 Tasarım Türlerinin Karşılaştırılması

Şekil 2.5’de, full custom ve semi custom tasarımlarının devre performansı ve tasarım süresi açısından karşılaştırılması yapılmıştır.

2.6 Sistem Paketleme Türleri

Yarıiletken yapıların artan karmaşıklığı ve yoğunluğu ile daha gelişmiş VLSI paketleme ve arabağlantı yaklaşımları ortaya çıkmaktadır. Günümüzde PCB (baskılı devre tabakaları) ve MCM (çok sayıda kırmık modülleri) kullanılmaktadır.

2.7. Tasarımda Otomasyon

VLSI teknolojisinde başarının anahtarı, güçlü tasarım yazılımları ve güçlü donanım kullanmada yatmaktadır. Bu nedenle oldukça karmaşık bir süreç olan tümdevre tasarımını izleyen çaba, çok daha zorlu olan tasarım sınama ve doğrulama için ortaya konmaktadır. VLSI tasarım yazılımları büyük bir hızla değişmektedir. Nitekim; pekçok tasarım yazılımı oldukça kısa ömürlü olmuştur.

Günümüzde oldukça fazla sayıda ve çeşitte tasarım yazılımları mevcuttur. Sistem yada işlevsel tanımlamalarla ilgili yazılımlar hariç olmak üzere, burada aktarılabilecek yazılımlar, devre yerleşim çizimi yazılımları, yerleşim çizimi sınama yazılımları, işlevsel ve zamanlama analizi için simülasyon yazılımları olacaktır.

Tasarım otomasyonu için kullanılacak CAD yazılımlarından bazıları aşağıda belirtilmiştir:

L-Edit, MAGIC, SPICE.

L-Edit, kullanıcıya entegre devre maskelerinin geometrilerini oluşturma ve değiştirme imkanı veren bir grafik editörüdür. EGA grafik standardını destekleyen tüm PC’lerde kullanılabilen program, 640KB belleğe gerek duyar ve mouse (fare) kullanımıyla pratik layout tasarımı imkanı verir. Prosesde yani pul işlemede kullanılan

her katman ayrı bir renk ile gösterilir. Diktörgen şeklinde alanlar, belli uzunluk ve genişlikte arabağlantı hatları ve belli geometrik biçimlerin birarada oluşturduğu hücreler v.b. oluşturulabilmektedir.

L-EDIT, kendi özgün dosya formatı olan TDB (Tanner Data Base) dışında CIF ve GDS II gibi formatları da destekler.

MAGIC ise Kaliforniya Üniversitesinde geliştirilen diğer bir VLSI yazılımıdır. Mead ve Conway tasarım yapısını içerir. L-EDIT'e göre daha gelişmiştir. Otomatik arabağlantı ve kompakt hücrelerin tasarımına izin verir.

Hem tasarım otomasyonu hem de tasarım sına yazılımları, ilgilenilen devre işlevi ve yapısının bilgisayarca algılanabilecek tanımlamalarına gereksinim duyarlar. Bu bilgisayar tabanlı tanımlar, CIF (Caltech Intermediate Form) gibi basit geometrik tanımlama dillerinden, VHDL (bir donanım tasarım dili) gibi yüksek düzeyli dillere kadar uzanan çeşitliliktedir.

3. ANALOG İŞARET İŞLEME VE AKTİF FİLTRE YAPILARI

3.1 Aktif Filtre Yapıları

Belirli frekanslardaki işaret bileşenlerini geçiren diğerlerini ise olabildiğince zayıflatan devreler filtre olarak isimlendirilirler. Bir başka deyişle filtreler elektriksel işaretin frekans spektrumuna biçim verirler. Geçmişte kullanılan filtre yapıları pasif filtreler olarak tasarlanmışlardır. Ancak, L elemanı içeren yapıların bazı sakıncalı yanları bulunmaktadır:

1. L elemanları kayıplı elemanlardır. Özellikle, düşük frekanslı uygulamalarda, bu durum kendini daha fazla belli etmektedir. L elemanı Şekil 3.1.1'deki gibi bir eşdeğer devre ile gösterilebilir.



Şekil 3.1.1 L Elemanı Eşdeğeri

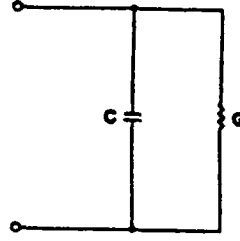
L elemanları için değer katsayısı (kalite faktörü) $Q_L = (\omega L/R)$ biçiminde tanımlanır. Q_L değer katsayısının alabileceği maksimum değer, pratikte yaklaşık olarak 1000 civarındadır.

2. Düşük frekanslarda L elemanlarının boyutları ve ağırlığı büyük olur. Q_L değer katsayısı L elemanlarının lineer boyutlarının karesi ile orantılıdır, bu nedenle bu elemanların boyutları, Q_L değer katsayısında düşmeye neden olmayacak biçimde büyük seçilmek zorundadır.

3. L elemanları, genellikle ferromagnetik malzeme içerirler. Ferromagnetik malzeme içeren L elemanları nonlineer özellik gösterirler ve istenmeyen harmonik bileşenleri oluştururlar.

4. L elemanları etrafa elektromagnetik dalga yayarlar ve aynı zamanda çevredeki elektromagnetik alanlardan etkilenebilirler. Dolayısıyla, bu elemanların devreye fazladan gürültü bileşenleri getirecekleri açıktır.

C elemanının eşdeğer devresi ise Şekil 3.1.2'deki gibi verilebilir.



Şekil 3.1.2 C Elemanı Eşdeğeri

C elemanının değer katsayısı $Q_C = (\omega.C/G)$ biçiminde tanımlanır. Q_C değer katsayısının kondansatörün fiziksel boyutlarından bağımsız olduğu gösterilebilir. Q_C değer katsayısının değeri oldukça yüksektir ve pratik olarak 10.000 mertebesinde dir.

Yukarıda bahsedilen nedenlerden dolayı, işlemsel kuvvetlendiricilerin ucuzlamaya başladığı son yirmibeş yılda aktif RC filtrelerinin oluşturulması için oldukça fazla gayret sarf edilmiştir. Tasarımcıların ilk çelişkisi, işlemsel kuvvetlendiricilerin bipolar teknolojiyle mi, yoksa MOS teknolojiyle mi gerçekleştirilmesi konusunda olmuştur. Tümüleştirme açısından her iki teknolojinin de uygun olmasına karşılık, MOS işlemsel kuvvetlendiriciler tercih edilmektedir. Bunun ilk nedeni, MOS tümdevre tenknojisinde oldukça yüksek değerli C elemanlarının da gerçekleştirilebilmesi, bu C elemanlarında oldukça uzun süreler boyunca yükün saklanabilmesinin yanısıra yükün sürekli olarak kontrol edilebilmesidir. MOS tranzistörler kesimde iken bu elemanlardan akan akım pA'ler mertebesinde olur. MOS tranzistörlerin giriş dirençlerinin çok büyük olması ve pratik olarak sonsuz kabul edilebilmeleri nedeniyle, düşük frekanslı giriş işaretlerinde bile yükün algılanabilmesi mümkün olmaktadır.

Daha önce de belirtildiği gibi MOS teknolojiyle oldukça kaliteli C elemanlarının gerçekleştirilmesi mümkündür. Ancak, büyük değerli C elemanlarının kullanılmasının kırmık üzerinde büyük alan kaplayacağı anlamına geleceği dikkate alınırsa, değer açısından bir üst sınırla karşılaşılacağı açıktır. Pratikte, 100pF'dan daha

büyük değerli C elemanlarının gerçekleştirilmesi yoluna gerek görülmedikçe gidilmemektedir.

Aktif elemanların ve C elemanlarının aynı kırmık üzerinde gerçekleştirilebilmesini sağlaması nedeniyle, MOS teknolojisi aktif filtre gerçekleştirilmesine son derece uygun düşmektedir. Bu teknolojiyle gerçekleştirilen çeşitli tipten aktif filtre yapıları bulunmaktadır. Bunların arasında S-C filtreleri, OTA-C filtreleri ve CCII - RC filtreleri sayılabilir.

R, C elemanları ve aktif elemanların kullanıldığı aktif filtrelerde boyut ve ağırlıkta küçülme, devre güvenilirliğinde artma, seri yapımda ucuzluk, davranış üstünlüğü, boyutun küçülmesi nedeniyle parazit azalması gibi üstünlükler sağlanmıştır. Bunların yanısıra; gerçekleştirme yöntemleri daha basit olmakta bu gerçekleştirmelerde bir kazanç sağlanabilmekte ve daha geniş bir fonksiyon kümesi gerçekleştirilebilmektedir. Ayrıca giriş ve çıkış kapılarına empedans uydurulmasına uygundurlar. Düşük frekans uygulamalarında analog devreler için sıkça kullanılırlar. Aktif filtrelerin en çok uygulama alanı bulduğu frekans bölgelerinden biri de ses frekansları bölgesidir. Kullanılan filtrenin ikinci dereceden olması bir çok uygulamada yeterli olmaktadır.

Bu olanaklara karşın, aktif RC gerçekleştirmelerinde aktif elemanların sonlu band genişlikleri erişilebilecek kutup frekansını sınırlar. Süzgeç karakteristiğinin keskinliğini tanımlayan Q ile maksimum kutup frekansının küçülmesi aktif filtrelerin sakıncalarından biridir.

Devre elemanlarında meydana gelebilecek değişimlerin sonucunda filtre karakteristiğindeki değişimlerin ölçüsü olan duyarlılığın pasif süzgeçlere oranla daha yüksek olması; ayrıca aktif devrelerin bir besleme gücü de gerektirmesi aktif süzgeçlerin sakıncaları olarak düşünülebilir.

Aktif devrelerin bir diğer sakıncası kararlılıklarının pasif devreler kadar iyi olmamasıdır. Pasif devreler karardır ve devre parametrelerindeki deęişmeler bu devrelerin devre fonksiyonlarında deęişikliğe neden olabilir ancak bu devreleri kararsız bir hale getiremezler. Fakat aktif elemanlarla gerçekleştirilen devrelerde devre parametrelerindeki deęişmeler, bu devreleri kararsız kılarlar veya istenen özellikleri gerçekleştirilemeyecek bir duruma gelmesine neden olurlar. Ayrıca devrede kullanılan aktif elemanlardan dolayı çalışma noktası lineer bölge dışına çıkmış bir devreye uygulanan işaretler, bu devrenin çıkışından bozulmuş olarak alınırlar.

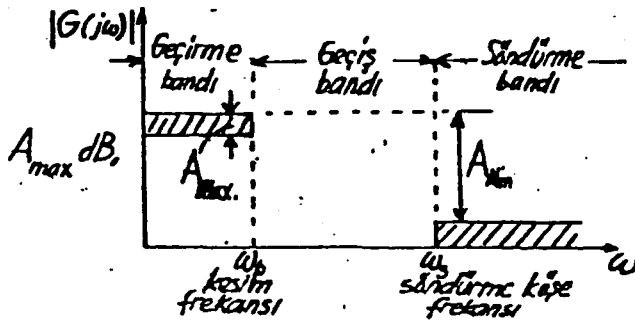
Tüm bunlara rağmen aktif filtreler günümüzde de pek çok uygulamada kullanılmaktadır.

3.2 Transfer Fonksiyonunun Biçimine Göre Filtreler

Transfer fonksiyonunun ve frekans eğrilerinin türüne göre filtreler; alçak geçiren, yüksek geçiren, band geçiren ve band söndüren filtreler olarak gruplandırılabilir. Belirli bir frekans bölgesinden daha düşük frekanslar kuvvetlendirilmek isteniyorsa alçak geçiren, belirli bir frekansın üst kısmı kuvvetlendirilecekse yüksek geçiren, eğer sadece bir frekans aralığı kuvvetlendirilecekse band geçiren, belirli bir frekans aralığı bastırılmak isteniyorsa band söndüren filtre kullanılır.

• Alçak Geçiren Filtreler

Bu tür filtre devreleri alçak frekansları küçük bir kayıpla geçiren devrelerdir. Geçirme bandındaki maksimum zayıflama A_{max} dB, söndürme bandındaki minimum zayıflama ise A_{min} dB olmak üzere ω_p , ω_s , A_{max} , A_{min} parametreleri şekildeki karakteristiği tam olarak tanımlar.

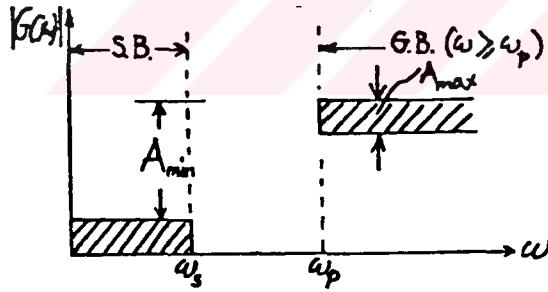


Transfer fonksiyonu

$$G(s) = b/(s^2 + as + b)$$

Şekil 3.2.1. Alçak Geçiren Filtre Yapısı

• Yüksek Geçiren Filtreler



Transfer fonksiyonu

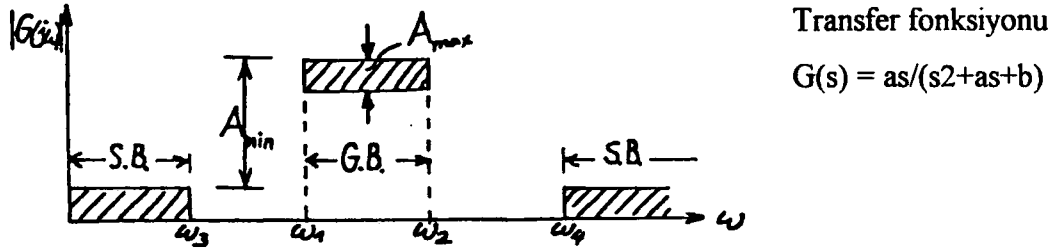
$$G(s) = s^2/(s^2 + as + b)$$

Şekil 3.2.2 Yüksek Geçiren Filtre Yapısı

Yüksek frekansları küçük bir kayıpla geçirirler.

• Band Geçiren Filtreler

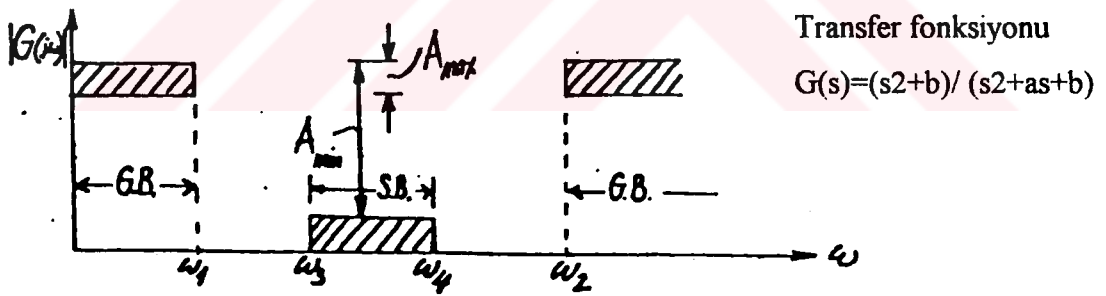
Belli bir frekans bandını geçirirler.



Şekil 3.2.3 Band Geçiren Filtre Yapısı

- Band Söndüren Filtreler (Çentik Filtresi)

Belli bir frekans bandını söndürüp, diğerlerini geçiren bir filtre yapısıdır.



Şekil 3.2.4. Band Söndüren Filtre Yapısı

Geçirme ve söndürme bandlarına ait tolerans sınırları içinde kalması istenen frekans karakteristiklerini sağlayan sistem fonksiyonlarının elde edilmesi yaklaşıklık sorununu oluşturur. Bunun için Butterworth ve Chebyshev yaklaşıklık türleri geliştirilmiştir.

Bu tezde akım taşıyıcı-RC filtre yapısına uygun bir alçak geçiren filtre gerçekleştirilmesi yapılmıştır. Bu nedenle akım taşıyıcılar ile gerçekleştirilmiş iki filtre yapısının ardından akım taşıyıcı yapısı ve çalışma ilkelerini incelemek gereklidir.

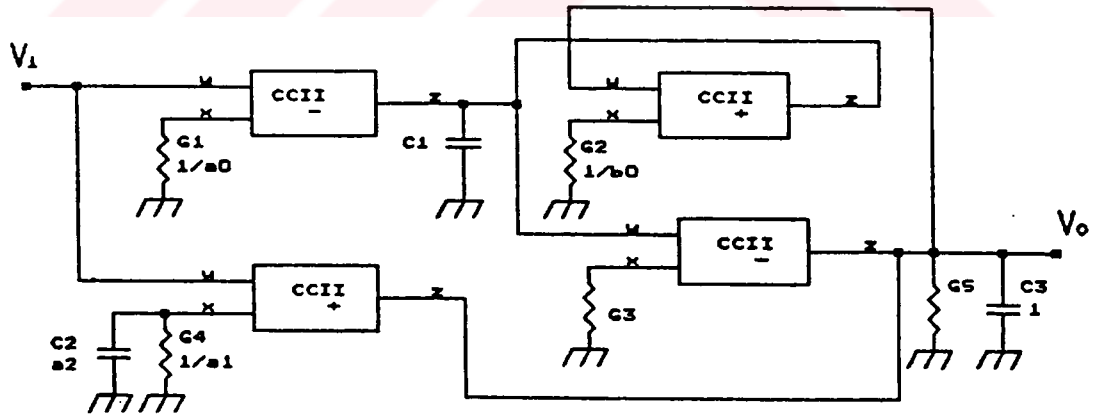
3.3 Akım Taşıyıcılar İle Gerçekleştirilen Aktif Filtre Yapıları

Akım taşıyıcı ve C elemanları kullanılarak akım ve gerilim modlarında:

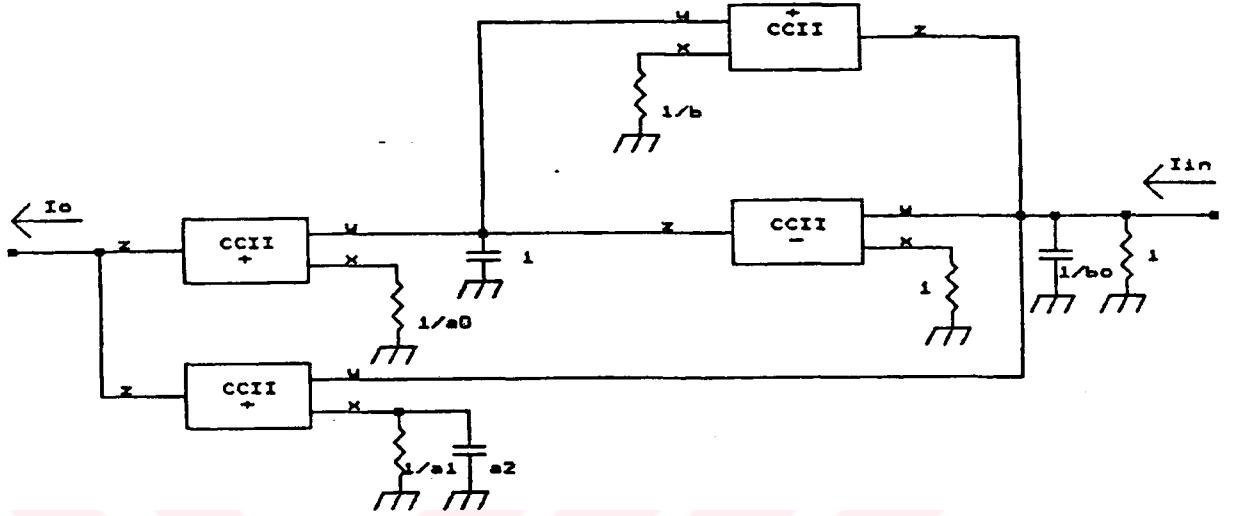
$$\frac{V_O}{I_{IN}} = \frac{I_O}{I_{IN}} = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + b_1 s + b_0}$$

transfer fonksiyonu gerçekleştirilebilir. Gerilim transfer fonksiyonu için Tek ve Anday tarafından 1989'da önerilen [2] genel ikinci derece transfer fonksiyonunu gerçekleştiren devre Şekil 3.3.1'de verilmiştir.

Akım transfer fonksiyonunu gerçekleştirmek için ise Şekil 3.3.2'deki yapı kullanılmaktadır.



Şekil 3.3.1. İkinci dereceden transfer fonksiyonunu gerçekleştiren genel akım taşıyıcı-RC aktif filtre yapısı.

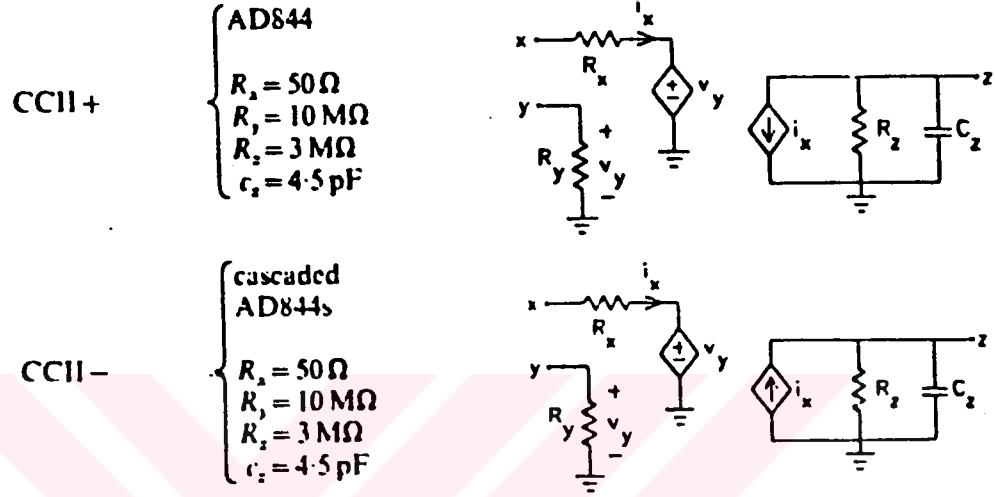


Şekil 3.3.2 İkinci dereceden akım transfer fonksiyonunu gerçekleştiren genel akım taşıyıcı-RC aktif filtre yapısı.

4. AKIM TAŞIYICILAR

Akım taşıyıcı, akımın çok farklı empedans seviyelerindeki iki kapı arasında taşındığı üç kapılı aktif bir devre olarak tanımlanabilir. İlk akım taşıyıcı olan birinci kuşak akım taşıyıcılar (CCI) 1968 yılında Smith ve Sedra tarafından ortaya atılmıştır. Smith ve Sedra 1970 yılında daha kullanışlı bir akım taşıyıcı devresi olan ikinci kuşak akım taşıyıcı devresini (CCII) geliştirmişlerdir. Günümüzde akım taşıyıcı denildiğinde, ikinci kuşak akım taşıyıcı (CCII) anlaşılmaktadır. Aktif eleman olarak akım taşıyıcının kullanılmasıyla çeşitli türden aktif devre yapıları gerçekleştirmek mümkündür. Bu yapılara örnek olarak, aktif süzgeç ve osilatör devreleri verilebilir.

Şekil 4’de akım taşıyıcı devre modelleri görülmektedir.



Şekil 4. Akım taşıyıcı devre sembolleri ve ideal olmayan devre modelleri

CCII aşağıda verilen bağıntılarla tanımlanan üç uçlu bir devre elemanıdır.

$$V_x = V_y, \quad i_y = 0, \quad i_z = \pm i_x$$

$i_z = i_x$ ise CCII pozitif akım taşıyıcı adını alır ve CCII+ sembolüyle gösterilir.

$i_z = -i_x$ ise CCII negatif akım taşıyıcı olarak isimlendirilir ve CCII- sembolü ile gösterilir. y ve z için küçük işaret uç empedansları büyük, x için ise küçük olmalıdır.

İki giriş (X ve Y) ve bir çıkış (Z)'den oluşan bir akım taşıyıcıda giriş işaretinin uygulanacağı giriş olan Y 'den akım çekilmez, akım taşıyıcının bağıntısı gereği Y 'ye uygulanan gerilim X 'e aktarılır ve bu gerilimle orantılı bir akım X girişinden çekilir. Z

çıkış akımı (iz) x' 'teki akım ile (ix) orantılıdır ve x' 'e ve z' 'ye bağlı dirençlerin oranıyla belirli bir akım kazancı elde edilebilir.

CCII'nin gerçekleştirilmesi için işlemsel kuvvetlendiriciler ve bipolar tranzistörlerle devre kurulmasına dayanan tasarım yöntemleri bulunmaktadır. Bu yöntemler, ilkesel olarak tümleştirmeye elverişli olsalar bile, özellikle işlemsel kuvvetlendiricilerden yararlanılmasına yönelik olanlar, gerçekleştirilme açısından ekonomik değildirler. Ayrıca op-ampların kazanç-band genişlikleri akım taşıyıcılara oranla daha dardır. Karmaşık yapıdaki sistemlerin küçük boyutta gerçekleştirilmesini sağlayan CMOS teknolojisinin hızlı gelişimi sonucunda, son yıllarda, analog fonksiyonları gerçekleştiren ve akım taşıyıcıları da kapsayan CMOS devrelerin geniş çapta tümleştirilebilmesi mümkün kılınmıştır.

Bu tezde CMOS tekniği ile gerçekleştirilebilen iki ayrı akım taşıyıcı yapısı gerçekleştirilmiş ve bu yapılar aktif alçak geçiren filtre gerçekleştirilmesinde kullanılmıştır.

4.1 CMOS CCII+ Devresi

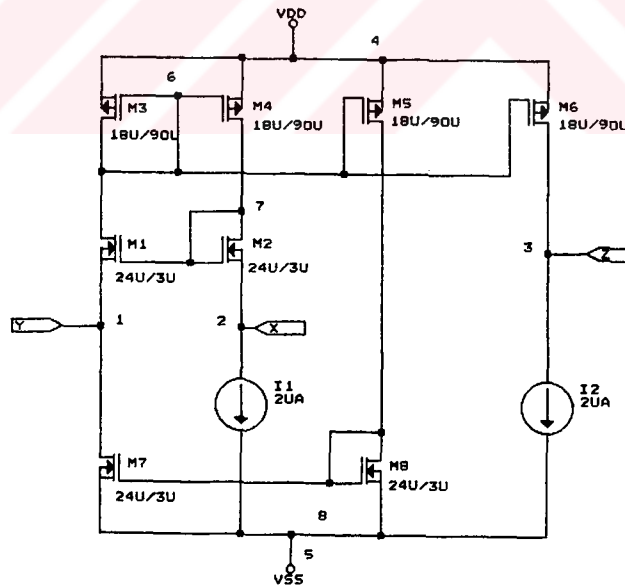
CMOS tekniği ile gerçekleştirilen bir pozitif akım taşıyıcı devresi Şekil 11.1.a'da verilmiştir. Bu devreler basit akım aynaları ve sabit akım kaynaklarından oluşmaktadır. M3-M6 PMOS tranzistörleri ile M7-M8 NMOS tranzistörleri akım aynası olarak görev yapmaktadır. I1 akım kaynağı ile devreye ilişkin kutuplama akımı (bias current) sağlanmıştır. NMOS ve PMOS tranzistörlerin kendi aralarında eş, akım aynalarının birim kazançlı oldukları ve tüm tranzistörlerin doyma bölgesinde çalıştıkları varsayılırsa devrenin çalışması şu şekilde açıklanabilir:

M3-M4 tranzistörleri M1 ve M2 tranzistörlerinden birbirine eş akımların akmasını sağlarlar. Böylece $V_{GS1}=V_{GS2}$ olur ki, bu da $V_Y=V_X$ olmasını sağlar. Devrenin X ucuna bir R_x direnci bağlanırsa R_x direncinden akan ix akımı M2 tranzistöründen ve M3-M4 akım aynasından da akar. $V_x>0$ olması durumunda direnç

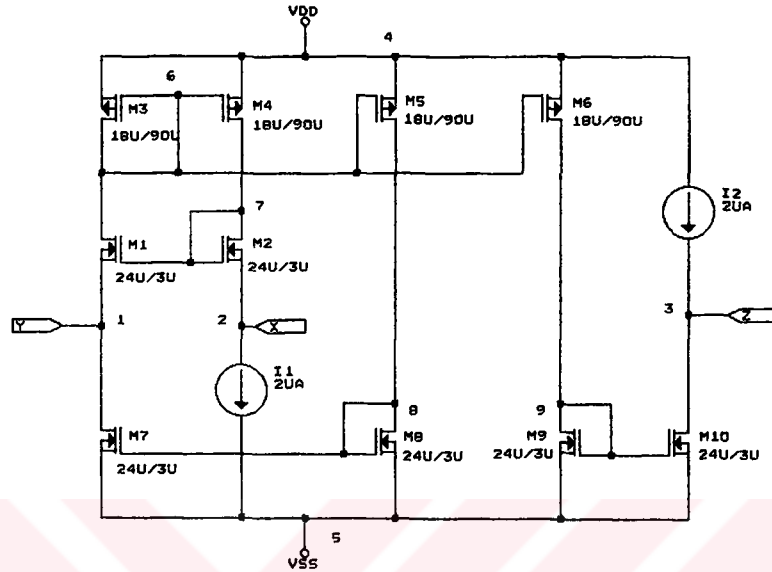
üzerindeki $i_x = V_x/R_x$ akımı x ucundan dışarıya doğru akacak ve M3-M4 akım aynasının akımı $I_1 + i_x$ olacaktır. Aynı akım M5 tranzistörü ve M7-M8 akım aynası ile y ucuna yansıtılır ve M1'in kaynak akımındaki değişimi kompanze eder. Dolayısıyla iy daima sıfır olur. M3-M6 akım aynası ile de $I_1 + i_x$ akımı z ucuna yansır. Bu durumda bağımsız akım kaynaklarının akımları eşit yapılırsa, z ucundan dışarıya doğru $i_z = i_x$ akımı akar. Burada i_z akımının yönü i_x akımı ile aynıdır. Bu nedenle, devre, pozitif akım taşıyıcı (CCII+) olarak isimlendirilir.

4.2 CMOS CCII- Devresi

Negatif akım taşıyıcı (CCII-) yapısı şekil 11.1.b'de verilmiştir. Bu devre pozitif akım taşıyıcıdan türetilmiştir. Yapıda, M9 ve M10 tranzistörleri $I_1 + i_x$ akımını z ucuna yansıtırlar. $I_2 = I_1$; akım kaynakları akımları eş yapıldığında z ucundan içeriye doğru bir $i_z = i_x$ akımı akar. Akım yönü gözönüne alındığında, $i_z = -i_x$ olduğundan devre CCII- olarak isimlendirilir.



Şekil 4.1.1 Bağımlı Kaynaklı CCII+



Şekil 4.2.1 Bağımlı Kaynaklı CCII-

Bu iki devrede kullanılan akım kaynağı ve dolayısıyla akım kaynağı yapılarına göz atalım.

4.3 NMOS Akım Kaynakları

Basit akım aynası, Wilson akım aynası gibi bipolar tekniğinden bilinen yapılar MOS tekniğine de uygulanabilmektedir.

4.3.1 Basit Akım Kaynağı

Basit akım kaynağı devresi Şekil 4.3.1’de verilmiştir. Transistörlerin aynı prosesle oluşturuldukları ve geometri dışında eş özellik gösterdikleri gözönüne alınacak olursa, iki koldaki akımların oranı

$$\frac{I_O}{I_{ref}} = \frac{(W/L)_2}{(W/L)_1}$$

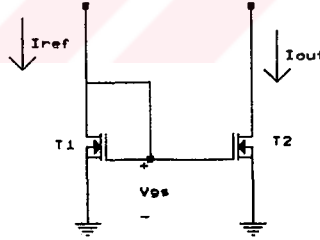
şeklindedir ve tam olarak 1 yapılabilir. Bipolar tranzistörlü düzenlerde bu oran, tranzistörler eş olsa bile, baz akımları nedeniyle

$$\frac{I_O}{I_{ref}} = \frac{1}{1 + \frac{2}{\beta}} < 1$$

şeklindedir. Akım kaynağının çıkış direnci ise

$$r_o = \frac{V_A}{I_D} = \frac{1}{\lambda \cdot I_D}$$

bağıntısıyla tanımlanır.



Şekil 4.3.1 Basit Akım Kaynağı

4.3.2 Wilson Akım Kaynağı

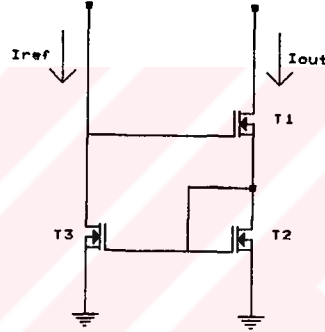
NMOS tranzistörlerle gerçekleştirilen Wilson akım kaynağı devresi Şekil 4.3.2’de görülmektedir. Bu yapıda tranzistörlerin tümüyle eş olmaları halinde

$$I_O = I_{ref}$$

olur. T3 tranzistörü üzerinden sağlanan geribesleme devrenin çıkış direncini yükseltmektedir. Küçük işaret eşdeğer devresi kullanılarak RO çıkış direnci hesaplanırsa

$$RO = r_{o1}.g_{m3}.r_{o3}$$

bağıntısı elde edilir. r_{o1} T1 tranzistörünün, r_{o3} de T3 tranzistörünün çıkış direnci, g_{m3} büyüklüğü ise T3 ün eğimi olmaktadır. $g_{m3}.r_{o3}$ çarpanı 50-100 mertebesindedir.



Şekil 4.3.2 Wilson Akım Kaynağı

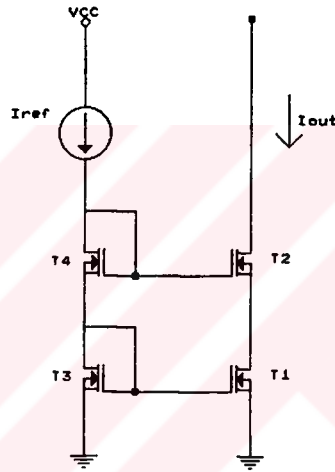
4.3.3 Kaskad Akım Kaynağı

Yüksek çıkış dirençli akım kaynaklarına sıkça gereksinme duyulur. Bunun temel nedenlerinden biri, aktif yüklü kuvvetlendiricilerde yüksek değerli gerilim kazancı elde edilmesi yönündeki istektir. Bu amaçla, bipolar tekniğindeki benzer şekilde kaskad akım kaynağı gerçekleştirilir. Yapı Şekil 4.3.3’de verilmiştir. Bu yapıda T2 tranzistörü T1 tranzistörünü çıkış ucundaki gerilim değişimlerinden yalıtmaktadır. Küçük işaret eşdeğer devresi kullanılarak çıkış direnci hesaplanırsa

$$RO = r_{o2}.(1+g_{m2}.r_{o1})$$

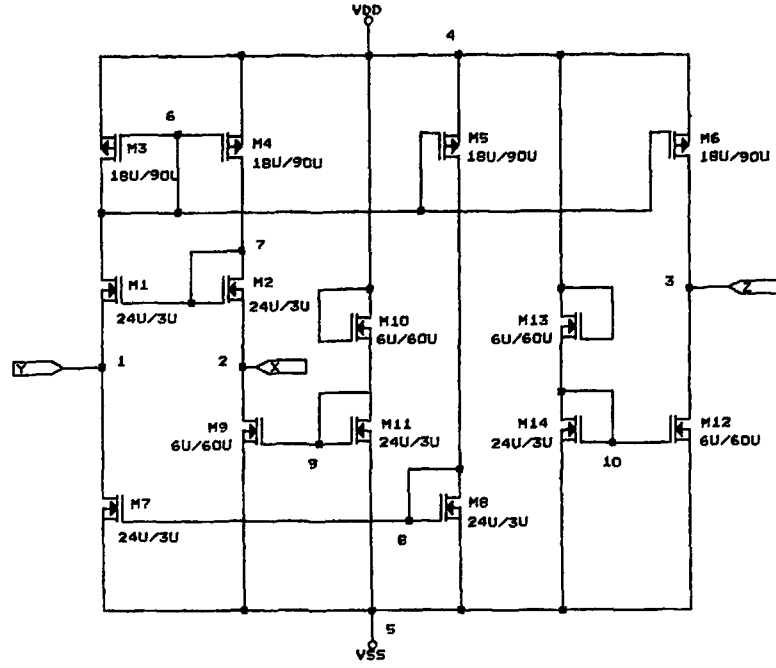
elde edilir. Diğer bir deyişle, tranzistörün çıkış direnci $1 + g_{m2}r_{o1}$ çarpanı ile çarpılarak çıkışa yansımaktadır.

MOS tekniğinde istenilen değerdeki yüksek empedans, çok sayıda kaskod katın üst üste yerleştirilmesi ile elde edilebilir. Her bir kaskad çıkış direncini $1 + g_m r_o$ kadar yükseltmektedir. Bipolar tekniğinde ise, baz akımlarının etkisi nedeniyle, bu mümkün değildir.

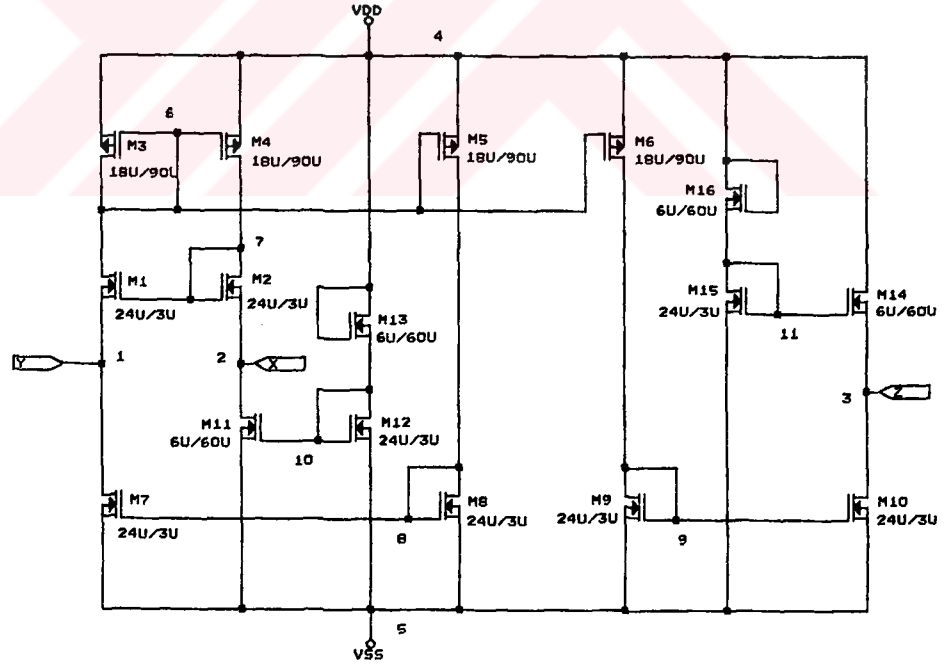


Şekil 4.3.3. Kaskad Akım Kaynağı

Bu tezde kullanılan akım kaynağının $2\mu A$ olan akımı; basit akım kaynağındaki tranzistörlerin boyutları değiştirilerek ayarlanmıştır. Buna göre devrelerin son şekli aşağıdaki gibidir. (Şekil 4.1.2 ve 4.2.2)



Şekil 4.1.2 CMOS CCII+ Akım Taşıyıcı



Şekil 4.2.2 CMOS CCII- Akım Taşıyıcı

5. GEOMETRİK YAPISI BELİRLENEN AKIM TAŞIYICI DEVRELERİN SPICE SİMÜLASYONLARI

CMOS tranzistör kullanılarak gerçekleştirilmiş akım taşıyıcıların PSPICE programından yararlanılarak DC ve AC analizleri yapılmış ve performansları incelenmiştir. Kaynak tez çalışmasındaki [1] aynı akım taşıyıcılar için SPICE giriş dosyasında önce bağımlı kaynaklardan ibaret ideal devreler tanımlanarak simülasyon yapılmış daha sonra ise bu tezde kullanılan akım taşıyıcı geometrilerinden farklı geometriler kullanılarak tasarlanmış CMOS akım taşıyıcılar kullanılarak aynı simülasyonlar tekrarlanmıştır.

Bu tezdeki farklı geometrilere sahip akım taşıyıcılar için de aynı DC ve AC analiz incelemesi yapılmıştır. Bu sonuçların yorumu ise kaynak tez çalışmasındaki [1] sonuçlara uygunluk açısından yapılmıştır.

MOSFET tranzistörler kullanılarak gerçekleştirilecek devreler ideal koşulları kuşkusuz tam olarak sağlayamaz. Bu yüzden son şekli tespit edilen CMOS akım taşıyıcı devreleri TÜBİTAK YİTAL'in 3µm CMOS proses kullanılarak simüle edilmiş ve sonuçlar ideal koşullardaki sonuçlarla karşılaştırılmıştır.

Bu incelemelerde SPICE programının TÜBİTAK YİTAL üretim parametrelerine en yakın modeli olan LEVEL 2 modeli kullanılmıştır.

MOSFET tranzistörlere ait SPICE model parametreleri ve fiziksel anlamları aşağıda verilmiştir.

İsim	Model Parametresi	Birim	Default	Tipik
LEVEL	Model tipi (1,2 veya 3)		1	
L	Kanal Uzunluğu	metre	DEFL	
W	Kanal Genişliği	metre	DEFW	

LD	Lateral difüzyon uzunluğu	metre	0	
WD	Lateral difüzyon genişliği	metre	0	
VTO	Eşik Gerilimi	Volt	1	0.1
KP	Transkondüktans	Amp/ Volt ²	2E-5	2.5E-5
GAMMA	Taban eşik parametresi	Volt ^{1/2}	0	0.35
PHI	Yüzey potansiyeli	Volt	0.6	0.65
LAMBDA	Kanal uzunluğu modülasyonu (Level 1,2)	Volt ⁻¹	0	0.02
RD	Savak ohmik direnci	Ohm	0	10
RS	Kaynak ohmik direnci	Ohm	0	10
RG	Geçit ohmik direnci	Ohm	0	1
RB	Taban ohmik direnci	Ohm	0	1
RDS	Savak-Kaynak şönt direnci	Ohm		
RSH	Savak-Kaynak difüzyon takası direnci	Ohm ²	0	20
IS	Taban pn doyma akımı	Amp	1E-14	1E-15
JS	Taban pn doyma akımı alanı	Amp . metre ²	0	1E-8
PB	Taban pn potansiyeli	Volt	0.8	0.75
CBD	Taban-Savak sıfır kutuplama pn kapasitesi	Farad	0	5PF
CBS	Taban-Kaynak sıfır kutuplama pn kap.	Farad	0	2PF
MJ	Taban pn dip derecelendirme sabiti		0.5	
MJSW	Taban pn yan duvar derecelendirme sabiti		0.33	
FC	Taban pn ileri kutuplama kapasite sabiti		0.5	
CGSO	Geçit - Kaynak örtüşme kapasitesi (Birim uzunluk için)	Farad/met re	0	
CGDO	Geçit - Savak örtüşme kapasitesi (Birim uzunluk için)	Farad/met re	0	
CGBO	Geçit - Taban örtüşme kapasitesi (Birim uzunluk için)	Farad/met re	0	
NSUB	Taban katkı yoğunluğu	1/cm ³	0	
NFS	Sıkışmış yüzey yoğunluğu	cm-2.V-1	1E10	
NSS	Yüzey yoğunluğu	1/cm ²	0	
TOX	Oksit kalınlığı	metre	∞	
XJ	Metalurjik jonksiyon derinliği	metre	0	
UO	Yüzey mobilitesi	cm ² /Volt . sn	600	
UCRIT	Mobilite azalma kritik alanı (LEVEL=2)	Volt/cm	1E4	
UEXP	Mobilite azalma exponenti (LEVEL=2)		0	
CJ	Birim alan başına olan (sıfır öngerilim) eşik kapasitesi	F/m2	0.0	2E-4
CJSW	Birim uzunluk başına yan duvar (sıfır öngerilim) kapasitesi	F/m	0.0	1E-9

VMAX	Maksimum kayma hızı	metre/sn	0	
NEFF	Kanal şarj sabiti (LEVEL=2)		1	
DELTA	Eşikte genişlik etkisi		0	
THETA	Mobilite modülasyonu (LEVEL= 3)	Volt ⁻¹	0	
ETA	Statik geribesleme (LEVEL=3)		0	
KAPPA	Doyma alan faktörü (LEVEL=3)		0.2	
KF	Titreme gürültüsü sabiti		0	1E-26
AF	Titreme gürültüsü eksponenti		1	1.2

5 1. TÜBİTAK YİTAL Proses Parametreleriyle Simülasyon

Parametre	PMOS	NMOS	Birim
LEVEL	2	2	-
VTO	-1.0	0.9	V
KP	1.5E-5	4.4E-5	A/V ²
GAMMA	0.7	0.22	V ^{1/2}
PHI	0.7	0.58	V
LAMBDA	0.035	0.035	V ⁻¹
TOX	4.5E-8	4.5E-8	m
LD	1E-7	1E-7	m
WD	4E-7	3E-7	m
JS	1.6E-6	25E-6	A/m ²
JSW	2.2E-9	4E-10	A/m
XJ	3.5E-7	2.5E-7	m
NFS	1E11	1E11	cm ⁻² V ⁻¹
ECRIT	28000	15000	
UCRIT	40000	60000	V/cm
UEXP	0.17	0.15	-
CJ	1.9E-4	1.1E-4	F/m ²
CJSW	6.3E-10	3E-10	F/m
MJ	0.3	0.5	
MJSW	0.35	0.4	
RSH	100	35	Ω/sq
DELTA	1	1	-

Şekil 4.1.2 ve 4.2.2'deki devrelerin TÜBİTAK YİTAL proses parametreleri ile üretilmeleri halinde gösterecekleri performansı incelemek amacıyla yukarıdaki parametreler ile simülasyonları yapılmıştır.

5.1.1 Çalışma noktası analizi

İlk olarak devrelerin girişlerine hiçbir işaret uygulanmadığında devrenin düğüm gerilimleri, kaynaktan çekilecek akımlar ve devrede harcanan gücü görmemizi sağlayan çalışma noktası analizi yapılmıştır. Bu analizdeki SPICE giriş dosyası ve sonuçlar pozitif ve negatif akım taşıyıcı için ayrı ayrı aşağıda verilmiştir.

CCII+ akım taşıyıcı için:

CCII+ AKIM TAŞIYICI

```
**** CIRCUIT DESCRIPTION ****
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 3 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 2 9 5 5 NQMOS W=6U L=60U
M10 4 4 9 5 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
.OP
.TRAN 10US 100US 10US
```

.PROBE
.END

CCII+ AKIM TAŞIYICI

**** MOSFET MODEL PARAMETERS ****

	PQMOS PMOS	NQMOS NMOS
LEVEL	2	2
L	100.000000E-06	100.000000E-06
W	100.000000E-06	100.000000E-06
LD	100.000000E-09	100.000000E-09
WD	400.000000E-09	300.000000E-09
VTO	-1	.9
KP	15.000000E-06	44.000000E-06
GAMMA	.7	.22
PHI	.7	.58
LAMBDA	.035	.035
RSH	100	35
JS	1.600000E-06	25.000000E-06
PBSW	.8	.8
CJ	190.000000E-06	110.000000E-06
CJSW	630.000000E-12	300.000000E-12
MJ	.3	
MJSW	.35	.4
CGSO	760.000000E-12	760.000000E-12
CGDO	760.000000E-12	760.000000E-12
NFS	100.000000E+09	100.000000E+09
TOX	45.000000E-09	45.000000E-09
XJ	350.000000E-09	250.000000E-09
UCRIT	40.000000E+03	60.000000E+03
UEXP	.17	.15
DELTA	1	1

CCII+ AKIM TAŞIYICI

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000
DEG C ****

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE
VOLTAGE

(1) -3.5284 (2) 3.3813 (3) 4.8908 (4) 5.0000

(5) -5.0000 (6) -3.4940 (7) 4.8990 (8) -3.5086
 (9) -3.3392 (10) -3.3392

VOLTAGE SOURCE CURRENTS NAME CURRENT

VDD -3.173E-04

VSS 3.173E-04

TOTAL POWER DISSIPATION 3.17E-03 WATTS

CCII+ AKIM TAŞIYICI

**** OPERATING POINT INFORMATION TEMPERATURE = 27.000
 DEG C *****
 *** MOSFETS

NAME	M1	M2	M3	M4	M5
MODEL	NQMOS	NQMOS	PQMOS	PQMOS	PQMOS
ID	5.89E-05	1.38E-06	-5.89E-05	-1.38E-06	-5.89E-05
VGS	8.43E+00	1.52E+00	-8.49E+00	-8.49E+00	-8.49E+00
VDS	3.44E-02	1.52E+00	-8.49E+00	-1.01E-01	-8.51E+00
VBS	-1.47E+00	-8.38E+00	0.00E+00	0.00E+00	0.00E+00
VTH	1.09E+00	1.46E+00	-1.05E+00	-1.05E+00	-1.05E+00
VDSAT	6.99E+00	8.26E-02	-6.19E+00	-6.20E+00	-6.19E+00
GM	6.80E-06	3.21E-05	1.49E-05	1.54E-07	1.49E-05
GDS	1.94E-03	5.10E-08	2.93E-06	1.36E-05	2.93E-06
GMB	5.50E-07	1.32E-06	2.79E-06	6.27E-08	2.79E-06
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	1.78E-14	1.78E-14	1.31E-14	1.31E-14	1.31E-14
CGDOV	1.78E-14	1.78E-14	1.31E-14	1.31E-14	1.31E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	2.56E-14	3.35E-14	7.90E-13	5.96E-13	7.90E-13
CGD	2.46E-14	0.00E+00	0.00E+00	5.89E-13	0.00E+00
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00

NAME	M6	M7	M8	M9	M10
MODEL	PQMOS	NQMOS	NQMOS	NQMOS	NQMOS
ID	-1.49E-06	5.89E-05	5.89E-05	1.38E-06	9.84E-05
VGS	-8.49E+00	1.49E+00	1.49E+00	1.66E+00	8.34E+00
VDS	-1.09E-01	1.47E+00	1.49E+00	8.38E+00	8.34E+00
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	-1.66E+00

VTH	-1.05E+00	9.38E-01	9.38E-01	9.47E-01	1.14E+00
VDSAT	-6.20E+00	5.21E-01	5.21E-01	6.59E-01	6.77E+00
GM	1.67E-07	2.02E-04	2.02E-04	3.71E-06	2.53E-05
GDS	1.36E-05	2.17E-06	2.17E-06	6.83E-08	4.86E-06
GMB	6.76E-08	2.54E-05	2.54E-05	5.08E-07	1.68E-06
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	1.31E-14	1.78E-14	1.78E-14	4.10E-15	4.10E-15
CGDOV	1.31E-14	1.78E-14	1.78E-14	4.10E-15	4.10E-15
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	5.96E-13	3.35E-14	3.35E-14	1.65E-13	1.65E-13
CGD	5.89E-13	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00

NAME	M11	M12	M13	M14
MODEL	NQMOS	NQMOS	NQMOS	NQMOS
ID	9.84E-05	1.49E-06	9.84E-05	9.84E-05
VGS	1.66E+00	1.66E+00	8.34E+00	1.66E+00
VDS	1.66E+00	9.89E+00	8.34E+00	1.66E+00
VBS	0.00E+00	0.00E+00	-1.66E+00	0.00E+00
VTH	9.38E-01	9.47E-01	1.14E+00	9.38E-01
VDSAT	6.73E-01	6.59E-01	6.77E+00	6.73E-01
GM	2.63E-04	4.01E-06	2.53E-05	2.63E-04
GDS	3.65E-06	7.98E-08	4.86E-06	3.65E-06
GMB	3.18E-05	5.49E-07	1.68E-06	3.18E-05
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	1.78E-14	4.10E-15	4.10E-15	1.78E-14
CGDOV	1.78E-14	4.10E-15	4.10E-15	1.78E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	3.35E-14	1.65E-13	1.65E-13	3.35E-14
CGD	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00

CCII- akım taşıyıcı için:

CCII- AKIM TASIYICI

**** CIRCUIT DESCRIPTION

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=24U L=3U

M2 7 7 2 2 NQMOS W=24U L=3U

```

M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 10 NQMOS W=6U L=60U
M14 4 11 3 3 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 11 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
.OP
.TRAN 10US 100US 10US
.PROBE
.END

```

CCII- AKIM TASIYICI

**** MOSFET MODEL PARAMETERS

	PQMOS PMOS	NQMOS NMOS
LEVEL	2	2
L	100.000000E-06	100.000000E-06
W	100.000000E-06	100.000000E-06
LD	100.000000E-09	100.000000E-09
WD	400.000000E-09	300.000000E-09
VTO	-1	.9
KP	15.000000E-06	44.000000E-06
GAMMA	.7	.22

PHI .7 .58
 LAMBDA .035 .035
 RSH 100 35
 JS 1.600000E-06 25.000000E-06
 PBSW .8 .8
 CJ 190.000000E-06 110.000000E-06
 CJSW 630.000000E-12 300.000000E-12
 MJ .3
 MJSW .35 .4
 CGSO 760.000000E-12 760.000000E-12
 CGDO 760.000000E-12 760.000000E-12
 NFS 100.000000E+09 100.000000E+09
 TOX 45.000000E-09 45.000000E-09
 XJ 350.000000E-09 250.000000E-09
 UCRIT 40.000000E+03 60.000000E+03
 UEXP .17 .15
 DELTA 1 1

CCII- AKIM TASIYICI

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000
 DEG C

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
------	---------	------	---------	------	---------	------	---------

(1) -3.5281 (2) 3.8972 (3) -4.9929 (4) 5.0000

(5) -5.0000 (6) -3.4942 (7) 4.8934 (8) -3.5086

(9) -3.5086 (10) -3.3291 (11) -3.3291

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
------	---------

VDD -3.817E-04

VSS 3.817E-04

TOTAL POWER DISSIPATION 3.82E-03 WATTS

**** OPERATING POINT INFORMATION TEMPERATURE = 27.000
 DEG C

***MOSFETS

NAME	M1	M2	M3	M4	M5
MODEL	NQMOS	NQMOS	PQMOS	PQMOS	PQMOS
ID	5.89E-05	1.45E-06	-5.89E-05	-1.45E-06	-5.89E-05
VGS	8.42E+00	9.96E-01	-8.49E+00	-8.49E+00	-8.49E+00
VDS	3.39E-02	9.96E-01	-8.49E+00	-1.07E-01	-8.51E+00
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
VTH	9.38E-01	9.38E-01	-1.05E+00	-1.05E+00	-1.05E+00
VDSAT	7.04E+00	8.17E-02	-6.19E+00	-6.20E+00	-6.19E+00
GM	6.67E-06	3.11E-05	1.49E-05	1.63E-07	1.49E-05
GDS	1.98E-03	5.27E-08	2.93E-06	1.36E-05	2.93E-06
GMB	9.74E-07	4.49E-06	2.79E-06	6.60E-08	2.79E-06
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	1.78E-14	1.78E-14	1.31E-14	1.31E-14	1.31E-14
CGDOV	1.78E-14	1.78E-14	1.31E-14	1.31E-14	1.31E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	2.52E-14	3.35E-14	7.90E-13	5.96E-13	7.90E-13
CGD	2.51E-14	0.00E+00	0.00E+00	5.89E-13	0.00E+00
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00

NAME	M6	M7	M8	M9	M10
MODEL	PQMOS	NQMOS	NQMOS	NQMOS	NQMOS
ID	-5.89E-05	5.89E-05	5.89E-05	5.89E-05	1.51E-06
VGS	-8.49E+00	1.49E+00	1.49E+00	1.49E+00	1.49E+00
VDS	-8.51E+00	1.47E+00	1.49E+00	1.49E+00	7.13E-03
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
VTH	-1.05E+00	9.38E-01	9.38E-01	9.38E-01	9.38E-01
VDSAT	-6.19E+00	5.21E-01	5.21E-01	5.21E-01	5.23E-01
GM	1.49E-05	2.02E-04	2.02E-04	2.02E-04	2.58E-06
GDS	2.93E-06	2.17E-06	2.18E-06	2.18E-06	2.14E-04
GMB	2.79E-06	2.54E-05	2.54E-05	2.54E-05	3.84E-07
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	1.31E-14	1.78E-14	1.78E-14	1.78E-14	1.78E-14
CGDOV	1.31E-14	1.78E-14	1.78E-14	1.78E-14	1.78E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	7.90E-13	3.35E-14	3.35E-14	3.35E-14	2.51E-14
CGD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	2.51E-14
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00

NAME	M11	M12	M13	M14	M15
MODEL	NQMOS	NQMOS	NQMOS	NQMOS	NQMOS
ID	1.45E-06	1.01E-04	1.01E-04	1.51E-06	1.01E-04

VGS	1.67E+00	1.67E+00	8.33E+00	1.66E+00	1.67E+00
VDS	8.90E+00	1.67E+00	8.33E+00	9.99E+00	1.67E+00
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
VTH	9.47E-01	9.38E-01	9.47E-01	9.47E-01	9.38E-01
VDSAT	6.68E-01	6.82E-01	6.85E+00	6.62E-01	6.82E-01
GM	3.86E-06	2.66E-04	2.55E-05	4.04E-06	2.66E-04
GDS	7.39E-08	3.76E-06	4.99E-06	8.13E-08	3.76E-06
GMB	5.27E-07	3.22E-05	1.94E-06	5.54E-07	3.22E-05
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGSOV	4.10E-15	1.78E-14	4.10E-15	4.10E-15	1.78E-14
CGDOV	4.10E-15	1.78E-14	4.10E-15	4.10E-15	1.78E-14
CGBOV	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGS	1.65E-13	3.35E-14	1.65E-13	1.65E-13	3.35E-14
CGD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00

NAME	M16
MODEL	NQMOS
ID	1.01E-04
VGS	8.33E+00
VDS	8.33E+00
VBS	0.00E+00
VTH	9.47E-01
VDSAT	6.85E+00
GM	2.55E-05
GDS	4.99E-06
GMB	1.94E-06
CBD	0.00E+00
CBS	0.00E+00
CGSOV	4.10E-15
CGDOV	4.10E-15
CGBOV	0.00E+00
CGS	1.65E-13
CGD	0.00E+00
CGB	0.00E+00

5.1.2 DC Analiz

CMOS akım taşıyıcılar ile gerçekleştirilmiş olan çeşitli devrelerin kendilerinden beklenen fonksiyonları tam olarak yerine getirebilmeleri için, bu

devrelerde kullanılan her bir akım taşıyıcının lineer olarak çalışması gerekir. Bu nedenle de akım taşıyıcılarının giriş ve çıkışlarına ilişkin akım veya gerilim sınır değerlerinin yani doyma akımlarının ve gerilimlerinin bilinmesi devre tasarımları açısından büyük önem taşır. Bu değerleri belirlemek amacıyla Şekil....de görülen devreler için akım taşıyıcıların lineer bölgede çalışma koşulları araştırılmıştır.

i) İlk olarak şekildeki devrelerde direnç değerleri $R_x = 7\text{Mohm}$, $R_z = 0\text{ ohm}$ (yani x girişi açık devre, z çıkışı ise kısa devre) alınmıştır. Daha sonra devrelerin Y girişlerine $-3 \leq V_y \leq +3$ aralığında lineer olarak değişen bir DC tarama gerilimi uygulanmıştır. Bu koşullar altında yapılan simülasyonlarda V_x geriliminin V_y 'yi hangi değerler arasında takip ettiği incelenmiştir. Tespit edilen MOSFET geometrileri ve parametreleri için; yapılan simülasyonlar sonucunda V_x 'in V_y 'yi verilen $-3 \leq V_y \leq +3$ aralığında aynen takip ettiği görülmüştür.

SPICE programı DC analizde işlem yaparken yakınsama problemi açısından $-3 \leq V_y \leq +3$ için olan analiz; $-3 \leq V_y$ ve $V_y \leq +3$ için ayrı ayrı yapılmıştır.

Bu analiz için olan SPICE giriş dosyası ve analiz sonuçları CCII+ ve CCII- için ayrı ayrı görülmektedir:

Sonuçlar şekil 5.1.2.1'de görülmektedir.

CCII+ akım taşıyıcı için:

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

M2 7 7 2 5 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 3 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

```

M8 8 8 5 5 NQMOS W=24U L=3U
M9 2 9 5 5 NQMOS W=6U L=60U
M10 4 4 9 9 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 10 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 7MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY -3V 0V 0.1V
.PROBE
.END

```

```

CCII+ AKIM TASIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 3 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 2 9 5 5 NQMOS W=6U L=60U
M10 4 4 9 5 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7

```

```

+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 7MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +3V 0.1V
.PROBE
.END

```

CCII- akım taşıyıcı için ise:

CCII- AKIM TASIYICI

```

VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 4 11 3 5 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 5 NQMOS W=6U L=60U
RX 2 0 7MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11

```

```

+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY -3V 0V 0.1V
.OP
.PROBE
.END

```

CCII- AKIM TASIYICI

```

VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 4 11 3 5 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 5 NQMOS W=6U L=60U
RX 2 0 7MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22

```

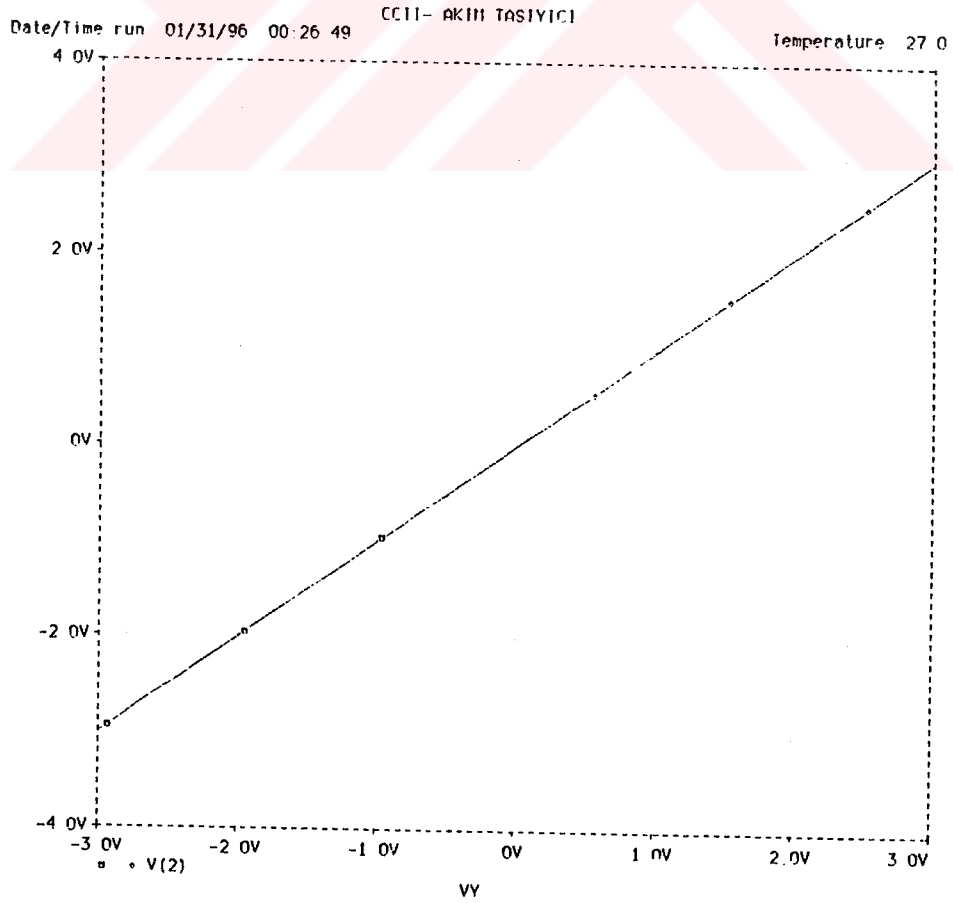
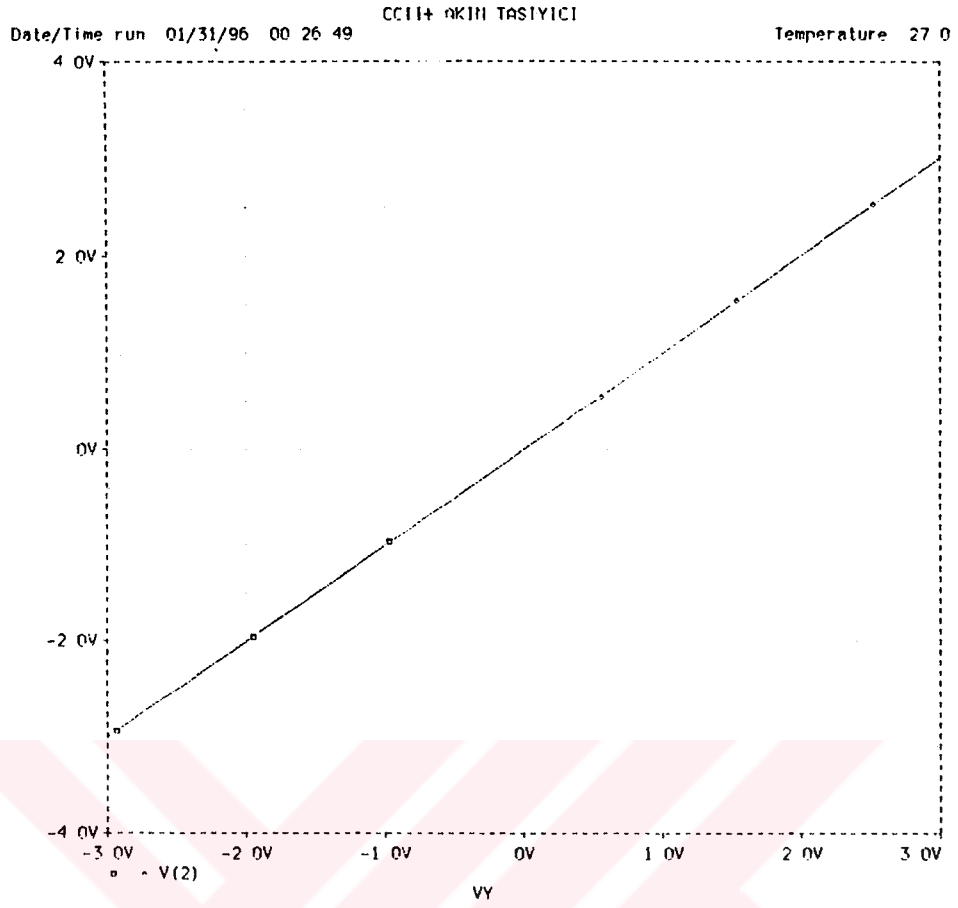
```

+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +3V 0.1V
.OP
.PROBE
.END

```

Tüm grafiklerde $V(1)=V_y$, $V(2)=V_x$ ve $V(3)=V_z$ alınarak SPICE tanım dosyasındaki 1, 2 ve 3 nolu düğümler sırasıyla Y, X ve Z uçlarına denk düşürülmüştür.





Şekil 5.1.2.1. Devrelere ait Vx-Vy Grafikleri

ii) İkinci olarak $R_z = 0$ ohm alınmış ve R_x 'in 500K, 1Mohm ve 2Mohm değerleri için ayrı ayrı olmak üzere y girişine, V_y , genliği $-2 \leq V_y \leq +2$ arasında değişen bir DC tarama gerilimi uygulanmıştır. Bu test koşulları altında yapılan simülasyonlarda I_z akımının her direnç değeri için değişen eğimde olmak üzere V_y giriş gerilimiyle belli aralıklarda lineer olarak değiştiği saptanmıştır.

Aşağıda CCII+ ve CCII- devresi için; her direnç değerinde ayrı ayrı yapılan analizler için tanımlanan giriş dosyaları ve bu dosyalara ait çıkışlar Şekil 5.1.2.2'de görülmektedir. (Yakınsama problemi çıkmaması için $-2 \leq V_y \leq +2$ arasındaki analiz; $-2 \leq V_y$ ve $V_y \leq +2$ olarak iki aşamalı yapılmaktadır.)

CCII+ akım taşıyıcı için:

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

M2 7 7 2 5 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 3 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

M9 2 9 5 5 NQMOS W=6U L=60U

M10 4 4 9 5 NQMOS W=6U L=60U

M11 9 9 5 5 NQMOS W=24U L=3U

M12 3 10 5 5 NQMOS W=6U L=60U

M13 4 4 10 5 NQMOS W=6U L=60U

M14 10 10 5 5 NQMOS W=24U L=3U

.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7

+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11

+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-6

+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1

+ CGDO=0.76E-9 CGSO=0.76E-9)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22


```

+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 1MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V -2V 0.1V
.PROBE
.END

```

CCII+ AKIM TASIYICI

```

VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 3 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 2 9 5 5 NQMOS W=6U L=60U
M10 4 4 9 5 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 1MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

```

```
.DC VY 0V +2V 0.1V
.PROBE
.END
```

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

M2 7 7 2 5 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 3 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

M9 2 9 5 5 NQMOS W=6U L=60U

M10 4 4 9 5 NQMOS W=6U L=60U

M11 9 9 5 5 NQMOS W=24U L=3U

M12 3 10 5 5 NQMOS W=6U L=60U

M13 4 4 10 5 NQMOS W=6U L=60U

M14 10 10 5 5 NQMOS W=24U L=3U

.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7

+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11

+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-6

+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1

+ CGDO=0.76E-9 CGSO=0.76E-9)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22

+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4

+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4

+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9

CGSO=0.76E-9)

RX 2 0 2MEG

VO 3 0 DC 0V

VY 1 0 DC 0V

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.DC VY 0V -2V 0.1V

.PROBE

.END

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

```

M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 3 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 2 9 5 5 NQMOS W=6U L=60U
M10 4 4 9 5 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 2MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +2V 0.1V
.PROBE
.END

```

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

M2 7 7 2 5 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 3 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

M9 2 9 5 5 NQMOS W=6U L=60U

```

M10 4 4 9 5 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 500K
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V -2V 0.1V
.PROBE
.END

```

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

M2 7 7 2 5 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 3 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

M9 2 9 5 5 NQMOS W=6U L=60U

M10 4 4 9 5 NQMOS W=6U L=60U

M11 9 9 5 5 NQMOS W=24U L=3U

M12 3 10 5 5 NQMOS W=6U L=60U

M13 4 4 10 5 NQMOS W=6U L=60U

M14 10 10 5 5 NQMOS W=24U L=3U

.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7

+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11

+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E6

```

+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 500K
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +2V 0.1V
.PROBE
.END

```

CCII- akım taşıyıcı için ise:

CCII- AKIM TASIYICI

```

VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 1 NQMOS W=24U L=3U
M2 7 7 2 2 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 10 NQMOS W=6U L=60U
M14 4 11 3 3 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 11 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4

```

```

+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 1MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V -2V 0.1V
.PROBE
.END

```

CCII- AKIM TASIYICI

```

VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 1 NQMOS W=24U L=3U
M2 7 7 2 2 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 10 NQMOS W=6U L=60U
M14 4 11 3 3 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 11 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 1MEG
VO 3 0 DC 0V
VY 1 0 DC 0V

```

```
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +2V 0.1V
.PROBE
.END
```

CCII- AKIM TASIYICI

```
VDD 4 0 DC 5V
```

```
VSS 5 0 DC -5V
```

```
M1 6 7 1 1 NQMOS W=24U L=3U
```

```
M2 7 7 2 2 NQMOS W=24U L=3U
```

```
M3 6 6 4 4 PQMOS W=18U L=90U
```

```
M4 7 6 4 4 PQMOS W=18U L=90U
```

```
M5 8 6 4 4 PQMOS W=18U L=90U
```

```
M6 9 6 4 4 PQMOS W=18U L=90U
```

```
M7 1 8 5 5 NQMOS W=24U L=3U
```

```
M8 8 8 5 5 NQMOS W=24U L=3U
```

```
M9 9 9 5 5 NQMOS W=24U L=3U
```

```
M10 3 9 5 5 NQMOS W=24U L=3U
```

```
M11 2 10 5 5 NQMOS W=6U L=60U
```

```
M12 10 10 5 5 NQMOS W=24U L=3U
```

```
M13 4 4 10 10 NQMOS W=6U L=60U
```

```
M14 4 11 3 3 NQMOS W=6U L=60U
```

```
M15 11 11 5 5 NQMOS W=24U L=3U
```

```
M16 4 4 11 11 NQMOS W=6U L=60U
```

```
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
```

```
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
```

```
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-6
```

```
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
```

```
+ CGDO=0.76E-9 CGSO=0.76E-9)
```

```
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
```

```
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
```

```
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
```

```
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
```

```
CGSO=0.76E-9)
```

```
RX 2 0 2MEG
```

```
VO 3 0 DC 0V
```

```
VY 1 0 DC 0V
```

```
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
```

```
.DC VY 0V -2V 0.1V
```

```
.PROBE
```

```
.END
```

CCII- AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=24U L=3U

M2 7 7 2 2 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 9 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

M9 9 9 5 5 NQMOS W=24U L=3U

M10 3 9 5 5 NQMOS W=24U L=3U

M11 2 10 5 5 NQMOS W=6U L=60U

M12 10 10 5 5 NQMOS W=24U L=3U

M13 4 4 10 10 NQMOS W=6U L=60U

M14 4 11 3 3 NQMOS W=6U L=60U

M15 11 11 5 5 NQMOS W=24U L=3U

M16 4 4 11 11 NQMOS W=6U L=60U

.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7

+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11

+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-6

+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1

+ CGDO=0.76E-9 CGSO=0.76E-9)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22

+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4

+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4

+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9

CGSO=0.76E-9)

RX 2 0 2MEG

VO 3 0 DC 0V

VY 1 0 DC 0V

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.DC VY 0V +2V 0.1V

.PROBE

.END

CCII- AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=24U L=3U

M2 7 7 2 2 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U


```

M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 10 NQMOS W=6U L=60U
M14 4 11 3 3 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 11 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 500K
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V -2V 0.1V
.PROBE
.END

```

CCII- AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=24U L=3U

M2 7 7 2 2 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 9 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

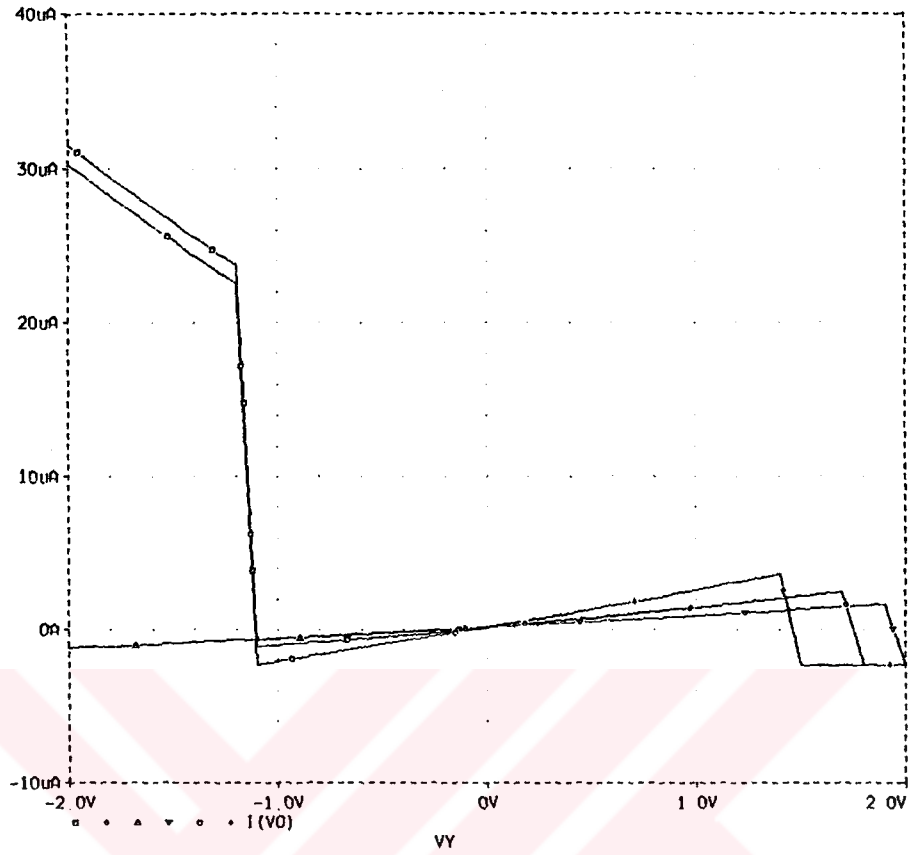
M9 9 9 5 5 NQMOS W=24U L=3U

```

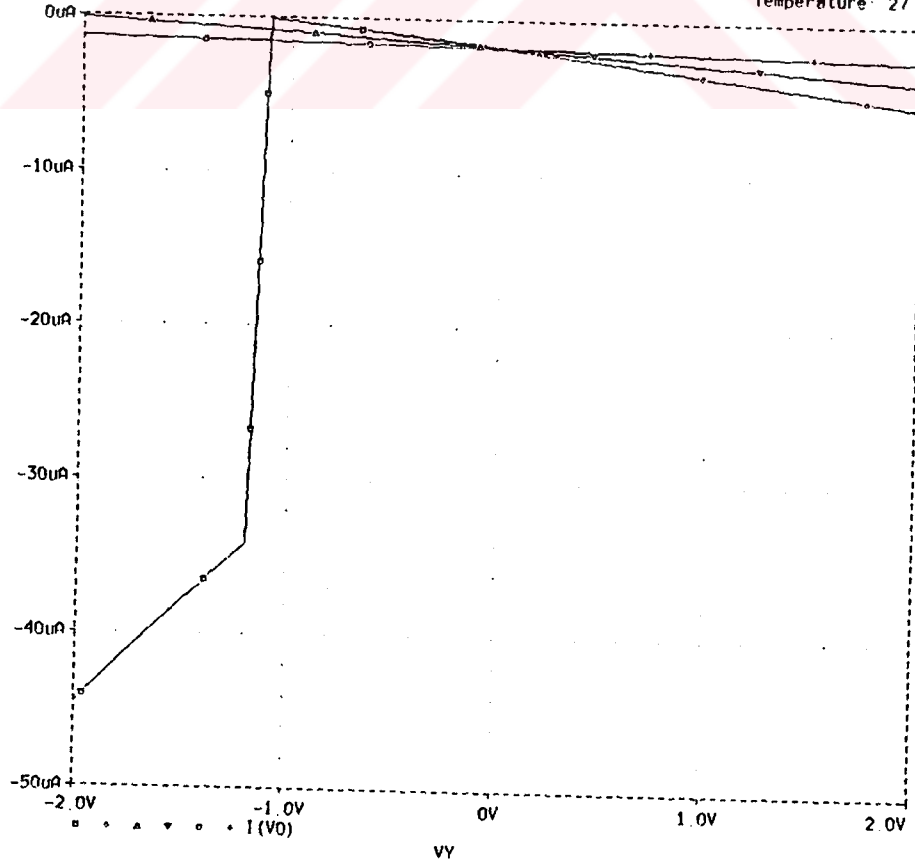
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 10 NQMOS W=6U L=60U
M14 4 11 3 3 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 11 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 500K
VO 3 0 DC 0V
VY 1 0 DC 0V
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +2V 0.1V
.PROBE
.END

```

Date/Time run: 01/31/96 00:33:02 CCII+ AKIM TASIYICI Temperature: 27.0



Date/Time run: 01/31/96 00:29:09 CCII- AKIM TASIYICI Temperature: 27.0



Şekil 5.1.2.2. Devrelere ait I_z - V_y Grafikleri

iii) Son olarak her iki devrede $V_y=0V$ $R_z=2Mohm$ olarak alınarak X uçlarından genliği $-1\mu A \leq I_x \leq +1\mu A$ aralığında değişen bir akım kaynağı uygulanmıştır. Bu test koşulları altında V_z geriliminin verilen aralıkta ne şekilde değiştiği incelenmiş ve sonuçta bu değişimin yaklaşık olarak lineer olduğu görülmüştür. Aşağıda bu analize ait tanım dosyaları ve sonuç grafikleri görülmektedir. (Şekil 5.1.2.3)

CCII+ akım taşıyıcı için:

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

M2 7 7 2 5 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 3 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

M9 2 9 5 5 NQMOS W=6U L=60U

M10 4 4 9 5 NQMOS W=6U L=60U

M11 9 9 5 5 NQMOS W=24U L=3U

M12 3 10 5 5 NQMOS W=6U L=60U

M13 4 4 10 5 NQMOS W=6U L=60U

M14 10 10 5 5 NQMOS W=24U L=3U

.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7

+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11

+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-6

+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1

+ CGDO=0.76E-9 CGSO=0.76E-9)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22

+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4

+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4

+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9

CGSO=0.76E-9)

RZ 3 0 2MEG

VY 1 0 DC 0V

IX 2 0 DC 0UA

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.DC IX 0UA -1UA 0.05UA

.PROBE
.END

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

M2 7 7 2 5 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 3 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

M9 2 9 5 5 NQMOS W=6U L=60U

M10 4 4 9 5 NQMOS W=6U L=60U

M11 9 9 5 5 NQMOS W=24U L=3U

M12 3 10 5 5 NQMOS W=6U L=60U

M13 4 4 10 5 NQMOS W=6U L=60U

M14 10 10 5 5 NQMOS W=24U L=3U

.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7

+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11

+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-6

+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1

+ CGDO=0.76E-9 CGSO=0.76E-9)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22

+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4

+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4

+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9

CGSO=0.76E-9)

RZ 3 0 2MEG

VY 1 0 DC 0V

IX 2 0 DC 0UA

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.DC IX +1UA 0UA 0.05UA

.PROBE

.END

CCII- akım taşıyıcı için ise:

CCII- AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

```

M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 4 11 3 5 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 5 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RZ 3 0 2MEG
VY 1 0 DC 0V
IX 2 0 DC 0UA
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC IX 0UA -1UA 0.05UA
.PROBE
.END

```

CCII- AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

```

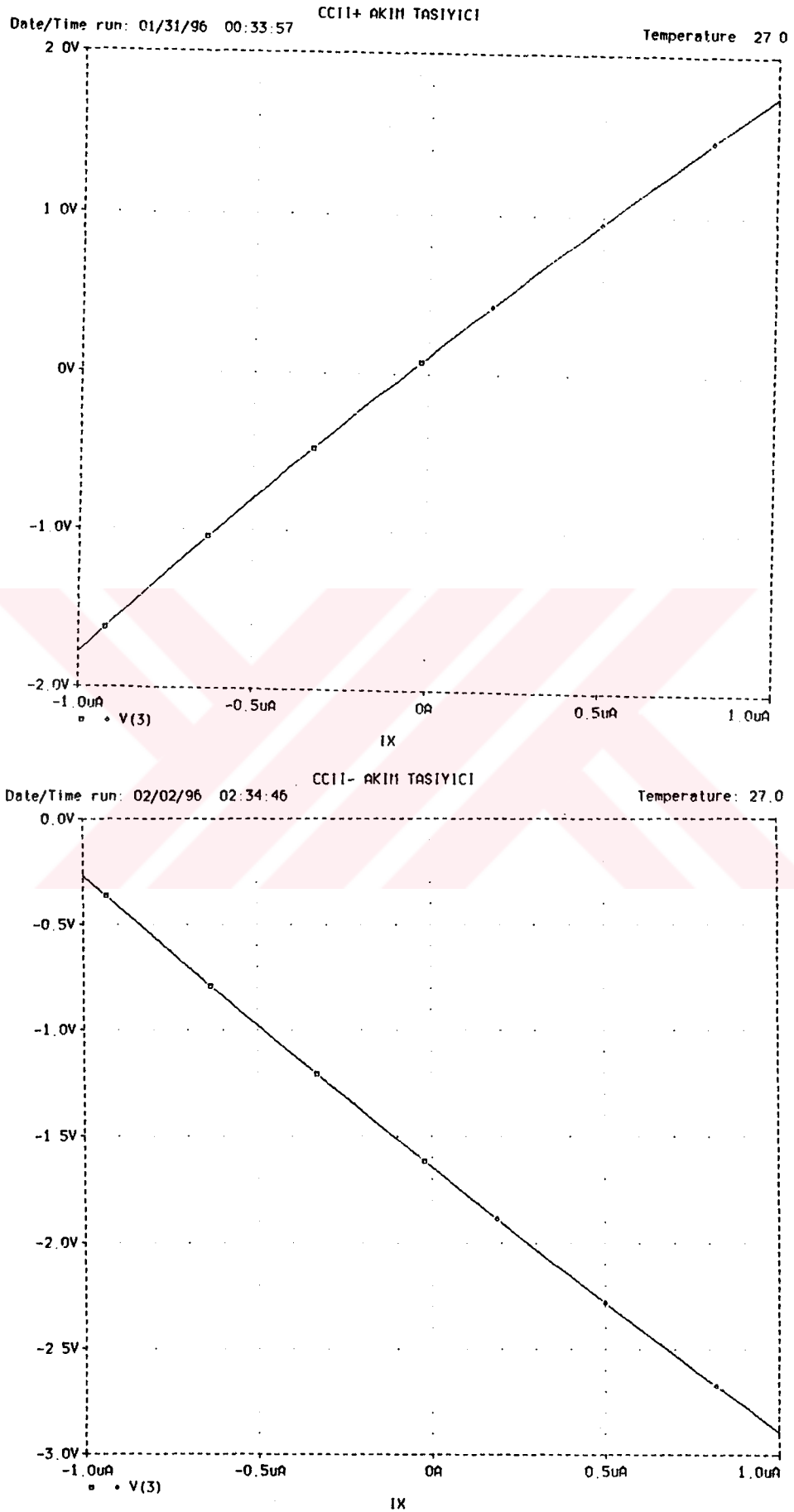
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U

```

```

M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 4 11 3 5 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 5 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RZ 3 0 2MEG
VY 1 0 DC 0V
IX 2 0 DC 0UA
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC IX +1UA 0UA 0.05UA
.PROBE
.END

```



Şekil 5.1.2.3. Devrelere ait V_z - I_x Grafikleri

5.1.3 AC Analiz

Akım taşıyıcıların AC şartlardaki davranışlarını incelemek ve frekans karakteristiklerini çıkarmak amacıyla, her bir akım taşıyıcının X ve Z uçları Rx ve Rz dirençleriyle sonlandırılmıştır. Böylece, bir gerilim kuvvetlendirici devresi elde edilmiştir. Bu devrelerin gerilim kazancını:

$$|V_z/V_y| = R_z/R_x \text{ yada } |V_z/V_y|_{dB} = 20\log(R_z/R_x)$$

olarak hesaplamak mümkündür.

Her iki devrenin analizinde Rz direnci 1000K olarak sabit tutulmuş ve Rx direncinin 10K, 50K ve 100K değerleri için Vy girişlerine genliği 100mV olan ve frekansı 10Hz ile 2 MHz arasında değişen bir AC tarama gerilimi uygulanmıştır. Bu koşullar altında Vx / Vy ve Vz / Vy gerilim transfer karakteristikleri incelenmiştir.

Bu analize ait giriş dosyaları aşağıda CCII+ ve CCII- için olmak üzere her bir direnç için ayrı ayrı verilmiştir. Sonuç karakteristikleri Şekil 5.1.3'de görülmektedir.

CCII+ akım taşıyıcı için, Rx = 10K Rz = 1000K durumundaki giriş dosyası:

CCII+ AKIM TAŞIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 5 NQMOS W=24U L=3U

M2 7 7 2 5 NQMOS W=24U L=3U

M3 6 6 4 4 PQMOS W=18U L=90U

M4 7 6 4 4 PQMOS W=18U L=90U

M5 8 6 4 4 PQMOS W=18U L=90U

M6 3 6 4 4 PQMOS W=18U L=90U

M7 1 8 5 5 NQMOS W=24U L=3U

M8 8 8 5 5 NQMOS W=24U L=3U

M9 2 9 5 5 NQMOS W=6U L=60U

M10 4 4 9 5 NQMOS W=6U L=60U

M11 9 9 5 5 NQMOS W=24U L=3U

```

M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 10K
RZ 3 0 1000K
VG 1 0 DC 0V AC 100MV
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.AC DEC 10 0.1 2MEGHZ
.PLOT AC VDB(3) V(3) VP(3)
.PROBE
.END

```

CCII+ akım taşıyıcı için, $R_x = 50K$ $R_z = 1000K$ durumundaki giriş dosyası:

```

CCII+ AKIM TASIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 3 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 2 9 5 5 NQMOS W=6U L=60U
M10 4 4 9 5 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7

```

```

+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 50K
RZ 3 0 1000K
VG 1 0 DC 0V AC 100MV
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.AC DEC 10 0.1 2MEGHZ
.PLOT AC VDB(3) V(3) VP(3)
.PROBE
.END

```

CCII+ akım taşıyıcı için, Rx = 100K Rz = 1000K durumundaki giriş dosyası:

```

CCII+ AKIM TASIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 3 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 2 9 5 5 NQMOS W=6U L=60U
M10 4 4 9 5 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)

```

```
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 100K
RZ 3 0 1000K
VG 1 0 DC 0V AC 100MV
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.AC DEC 10 0.1 100MEGHZ
.PLOT AC VDB(3) V(3) VP(3)
.PROBE
.END
```

CCII- akım taşıyıcı için, $R_x = 10K$ $R_z = 1000K$ durumundaki giriş dosyası:

```
CCII- AKIM TASIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 4 11 3 5 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 5 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
```

```

+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 10K
RZ 3 0 1000K
VG 1 0 DC 0V AC 100MV
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.AC DEC 10 0.1 100MEGHZ
.PLOT AC VDB(3) V(3) VP(3)
.PROBE
.END

```

CCII- akım taşıyıcı için, $R_x = 50K$ $R_z = 1000K$ durumundaki giriş dosyası:

CCII- AKIM TASIYICI

```

VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 4 11 3 5 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 5 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4

```

```

+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
RX 2 0 50K
RZ 3 0 1000K
VG 1 0 DC 0V AC 100MV
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.AC DEC 10 0.1 100MEGHZ
.PLOT AC VDB(3) V(3) VP(3)
.PROBE
.END

```

CCII- akım taşıyıcı için, $R_x = 100K$ $R_z = 1000K$ durumundaki giriş dosyası:

CCII- AKIM TASIYICI

```

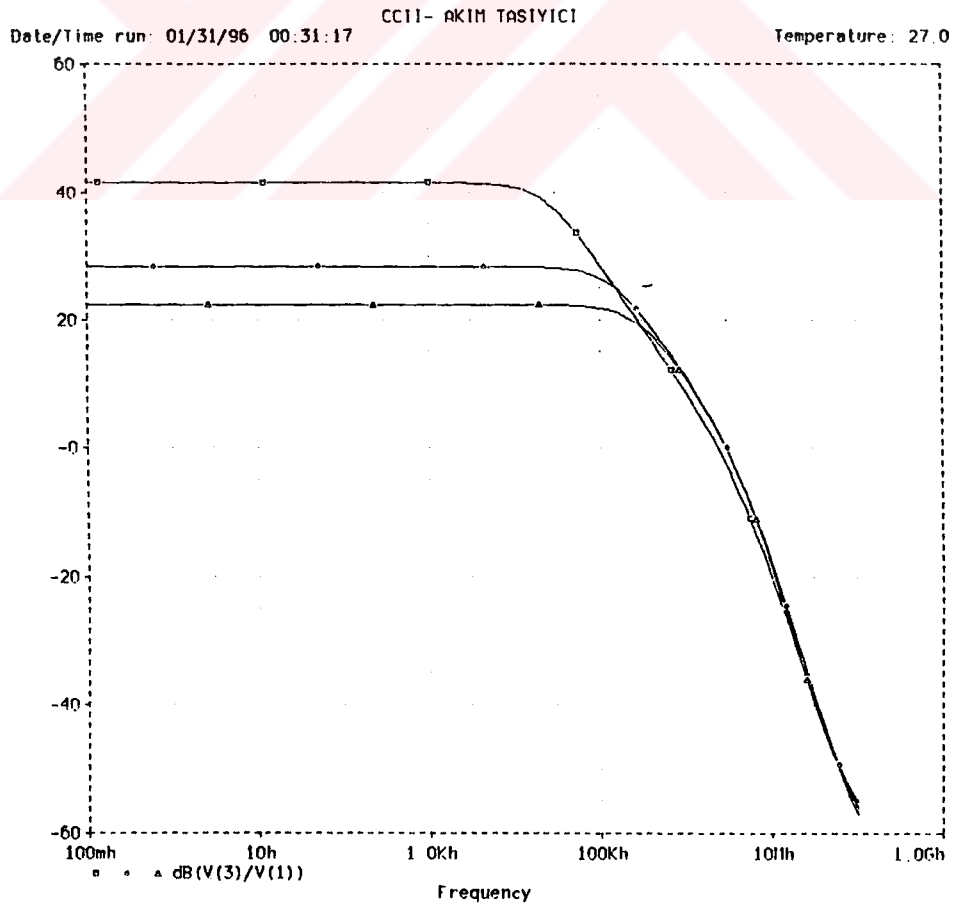
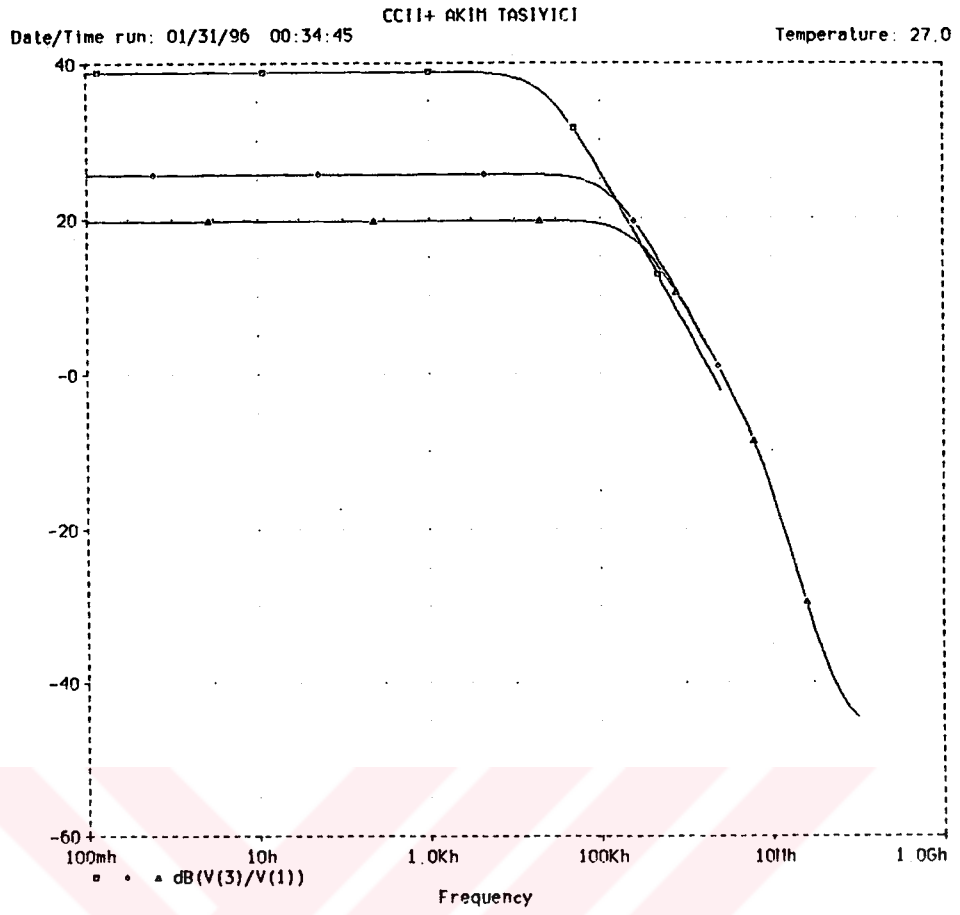
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 4 11 3 5 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 5 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)

```

```
RX 2 0 100K  
RZ 3 0 1000K  
VG 1 0 DC 0V AC 3V  
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V  
.AC DEC 10 0.1 100MEGHZ  
.PLOT AC VDB(3) V(3) VP(3)  
.PROBE  
.END
```

Analizler sonucu devrelerin yukarıda tespit edilen geometriler ve TUBİTAK YİTAL 3 μ m proses parametreleri ile üretildiklerinde akım taşıyıcı olarak çalışabilecekleri görülmüştür.





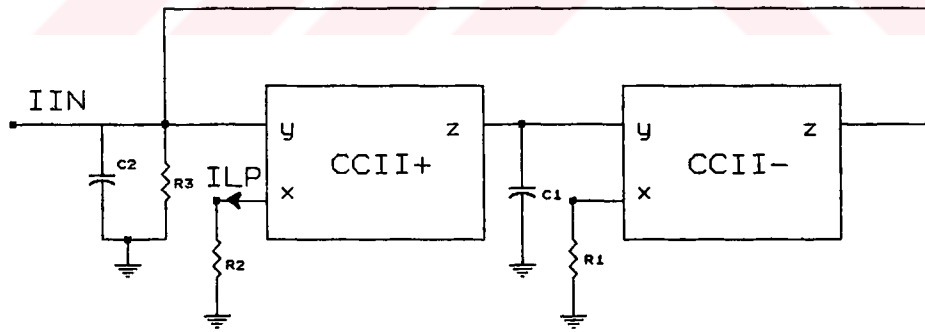
Şekil 5.1.3. Devrelerin Z-Y uçlarına ilişkin AC gerilim transfer karakteristikleri

6. FİLTRE DEVRESİNE AİT SPICE SİMÜLASYONLARI VE LAYOUT TASARIMI

6.1 İncelenen Filtre Devresinin Tanıtımı

CCII'ları kullanarak oluşturulan aktif filtre yapıları bu konuda yapılan çalışmalarla önemli aşama kaydetmiştir. Bunun yanında; çalışmalar göstermiştir ki gerilim temelli devrelere oranla, akım temelli devreler daha geniş band genişliğine sahip olup daha iyi bir lineer yapı ve de daha geniş bir dinamiklik sunmaktadırlar. Bu nedenle; gerilim modunda çalışan devreler yanında akım modunda çalışan devreler de ortaya atılmıştır.

Buradaki filtre devresinde iki adet CCII (bir CCII+ ve bir CCII-), bir uçları topraklı olmak üzere üç adet direnç, iki adet kapasite içeren ve akım modunda alçak geçiren 2. dereceden bir karakteristik veren yapı tanıtılmıştır (Şekil 6.1).



Şekil 6.1 İncelenen Filtre Devresi

Devreye ait transfer fonksiyonu ise:

$$\frac{I_{LP}}{I_i} = \frac{G_1 G_2}{s^2 C_1 C_2 + s C_1 G_3 + G_1 G_2}$$

şeklinde olup kalite faktörü $Q = R_3(G_1 G_2 C_2 / C_1)^{1/2}$ ve kesim açısal frekansı olan $\omega_0 = (G_1 G_2 / C_2 C_1)^{1/2}$ olarak tanımlanabilir. ω_0 ve Q 'nun pasif elemanlara olan duyarlılıkları oldukça küçüktür.

$$S_{G1}^{\omega_0} = S_{G2}^{\omega_0} = - S_{C1}^{\omega_0} = - S_{C2}^{\omega_0} = S_{G1}^Q = S_{G2}^Q = S_{C1}^Q = - S_{C2}^Q = 1/2 \text{ ve } S_{R3}^Q = 1$$

Devre sonuç olarak şu avantajlara sahiptir:

- * ω_0 ve Q 'nun pasif elemanlara bağlı olarak ortogonal kontrolü.
- * Bir ucu topraklı olmak üzere, sadece iki adet kapasite ve üç adet direnç kullanımıyla devrenin IC gerçekleştirilmesine uygun oluşu.
- * Düşük aktif ve pasif duyarlılığa sahip olması.

6.2 PSPICE Simülasyonları

Devreye dışarıdan bağlanan pasif elemanlardan $R_1 = 200\Omega$, $R_2 = 100\Omega$, $R_3 = 1\text{Mohm}$ olarak sabit tutulmak koşuluyla, C_1 ve C_2 'nin değişimiyle alçak geçiren filtrenin kesim frekansı değiştirilebilmektedir. Aşağıdaki tabloda değişik kapasite değerlerinde elde edilen f_0 kesim frekansı değerleri görülmektedir (f_0 : çıkış genliğinin -3dB düştüğü frekans).

Tablo 6.2.

$C_1 = C_2$	f_0
0.1 uF	11 Hz
0.01 uF	110 Hz
1 nF	1.1 KHz
0.1 nF	10.7 KHz
0.01 nF	75 KHz
1 pF	200 KHz
0.1 pF	245 KHz
0.01 pF	250 KHz
1 fF	254 KHz

V.C. YATIRIM
DOKÜMANASYON MERKEZİ

Tablodaki her kapasite değeri için filtre devrelerinin frekans karakteristikleri çıkarılmıştır. Bunlara ait PSPICE giriş dosyaları ve sonuç grafikleri her frekans için ayrı ayrı elde edilmiştir. Burada sadece, $C_1 = C_2 = 1$ nF için olan giriş dosyası aşağıda verilmiş olup, tablodaki kapasite değerlerine ait sonuç grafikleri sırasıyla her frekans için ayrı ayrı görülmektedir. (Şekil 6.2.1, 6.2.2, 6.2.3, 6.2.4, 6.2.5, 6.2.6, 6.2.7, 6.2.8, 6.2.9)

Filtre akım modunda olduğu için, girişe bir akım kaynağı bağlanmıştır.

ALÇAK GEÇİREN FİLTRE

```
VO 5 0 DC 5V
IO 5 1 DC 0 AC 1A
X1CC2P 1 2 3 CC2P
X5CC2N 3 4 1 CC2N
R1 4 0 200
R2 2 0 100
R3 1 0 1MEG
C1 3 0 1NF
C2 1 0 1NF
```

* CCII+ AKIM TASIYICI ALT PROGRAMI *

.SUBCKT CC2P 1 2 3

```

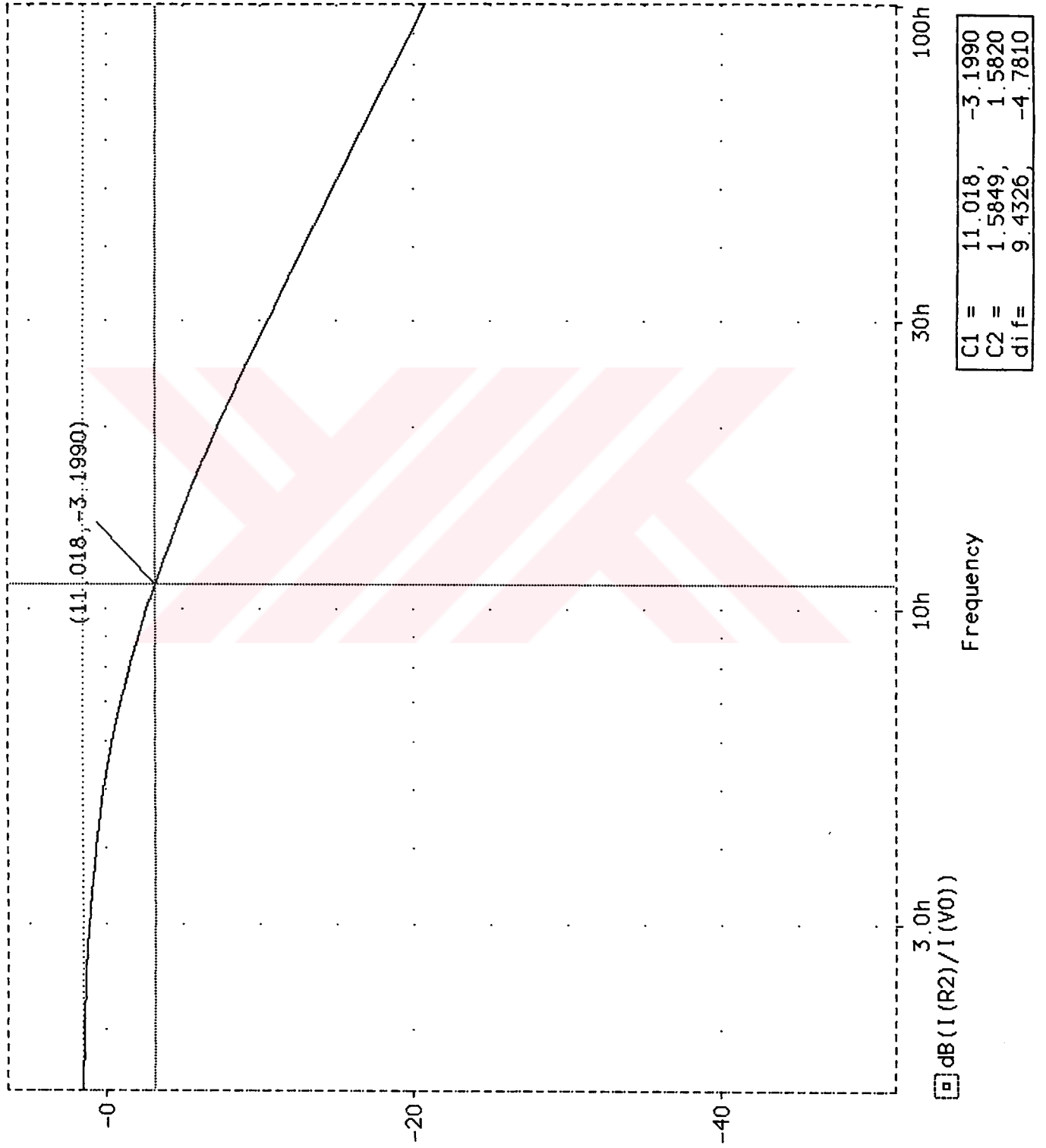
* ..... Y X Z
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 5 NQMOS W=24U L=3U
M2 7 7 2 5 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 3 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U
M9 2 9 5 5 NQMOS W=6U L=60U
M10 4 4 9 5 NQMOS W=6U L=60U
M11 9 9 5 5 NQMOS W=24U L=3U
M12 3 10 5 5 NQMOS W=6U L=60U
M13 4 4 10 5 NQMOS W=6U L=60U
M14 10 10 5 5 NQMOS W=24U L=3U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
.ENDS CC2P
*****
* CCII- AKIM TASIYICI ALT PROGRAMI *
*****
.SUBCKT CC2N 1 2 3
* ..... Y X Z
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 1 NQMOS W=24U L=3U
M2 7 7 2 2 NQMOS W=24U L=3U
M3 6 6 4 4 PQMOS W=18U L=90U
M4 7 6 4 4 PQMOS W=18U L=90U
M5 8 6 4 4 PQMOS W=18U L=90U
M6 9 6 4 4 PQMOS W=18U L=90U
M7 1 8 5 5 NQMOS W=24U L=3U
M8 8 8 5 5 NQMOS W=24U L=3U

```

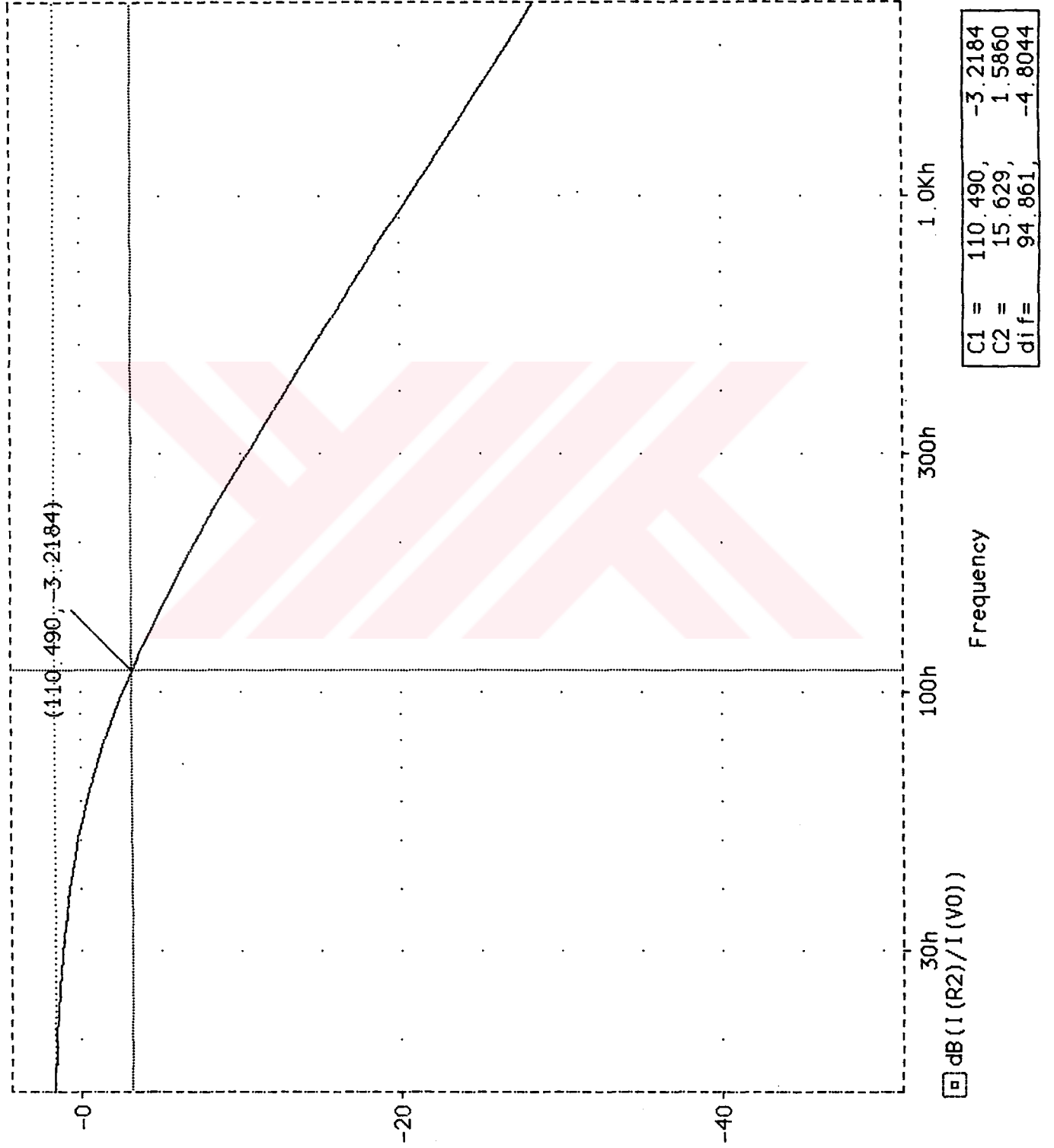
```

M9 9 9 5 5 NQMOS W=24U L=3U
M10 3 9 5 5 NQMOS W=24U L=3U
M11 2 10 5 5 NQMOS W=6U L=60U
M12 10 10 5 5 NQMOS W=24U L=3U
M13 4 4 10 10 NQMOS W=6U L=60U
M14 4 11 3 3 NQMOS W=6U L=60U
M15 11 11 5 5 NQMOS W=24U L=3U
M16 4 4 11 11 NQMOS W=6U L=60U
.MODEL PQMOS PMOS (LEVEL=2 VTO=-1 KP=1.5E-5 GAMMA=0.7
+ PHI=0.7 LAMBDA=0.035 JS=1.6E-6 NFS=1E11
+ UCRIT=4E4 UEXP=0.17 XJ=3.5E-7 TOX=4.5E-8 LD=1E-7 WD=4E-7 JS=1.6E-
6
+ CJ=1.9E-4 CJSW=6.3E-10 MJ=0.3 MJSW=0.35 RSH=100 DELTA=1
+ CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.9 KP=4.4E-5 GAMMA=0.22
+ PHI=0.58 LAMBDA=0.035 NFS=1E11 UCRIT=6E4
+ UEXP=0.15 XJ=2.5E-7 LD=1E-07 TOX=4.5E-8 WD=3E-7 JS=25E-6 CJ=1.1E-4
+ CJSW=3E-10 MJ=0.5 MJSW=0.4 RSH=35 DELTA=1 CGDO=0.76E-9
CGSO=0.76E-9)
.ENDS CC2N
*****
* ANALIZ TURUNUN TANIMLANMASI *
*****
.OPTIONS NOPAGE NOMOD
.AC DEC 10 0.1 100MEGHZ
.PROBE
.END

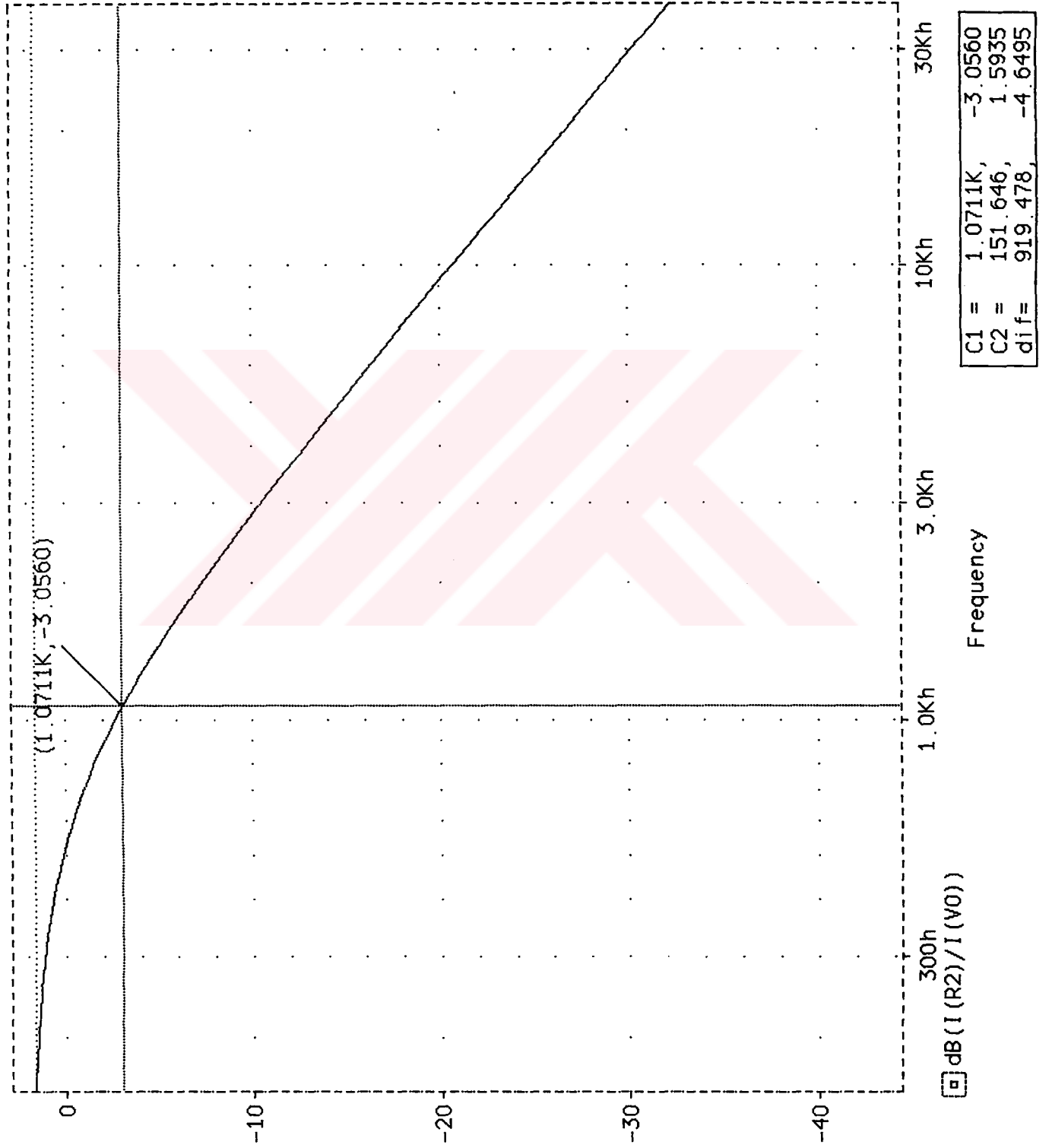
```



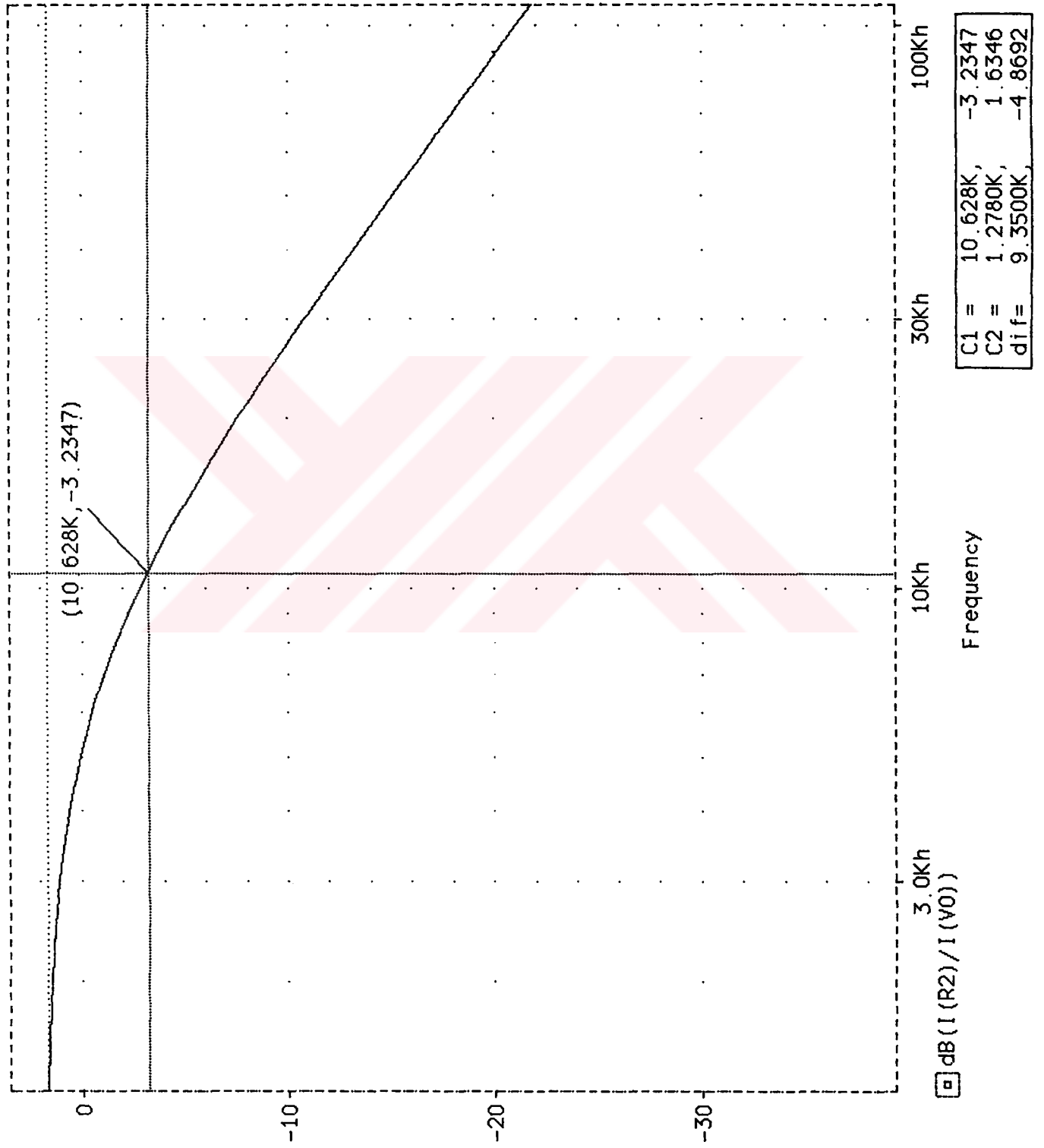
Şekil 6.2.1. $C_1=C_2=0.1\mu\text{F}$ ve $f_0=11\text{Hz}$ için filtre çıkışı



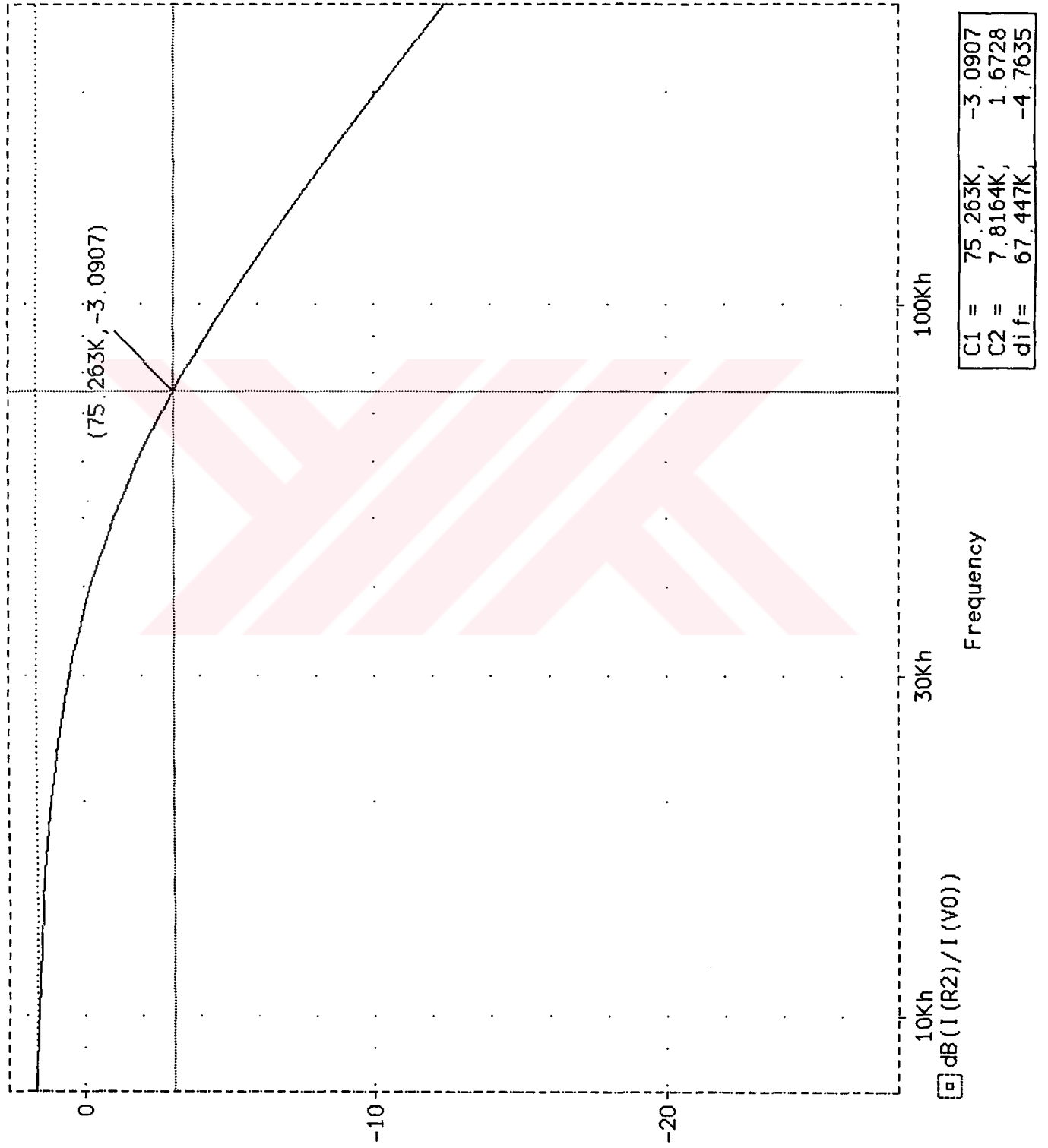
Şekil 6.2.2. $C_1=C_2=0.01\mu\text{F}$ ve $f_0=110\text{Hz}$ için filtre çıkışı



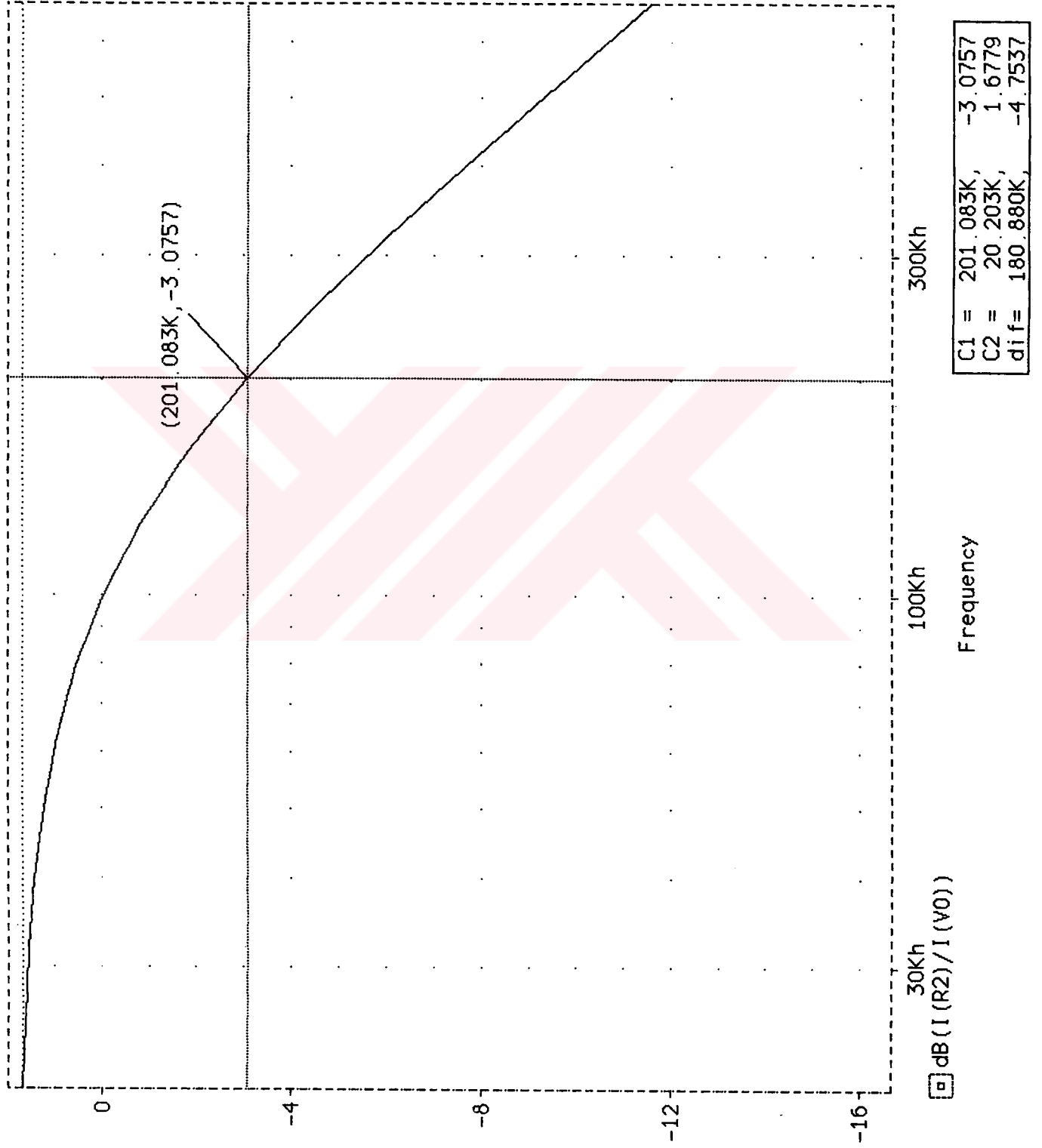
Şekil 6.2.3. $C_1=C_2=1\text{nF}$ ve $f_0=1.1\text{KHz}$ için filtre çıkışı



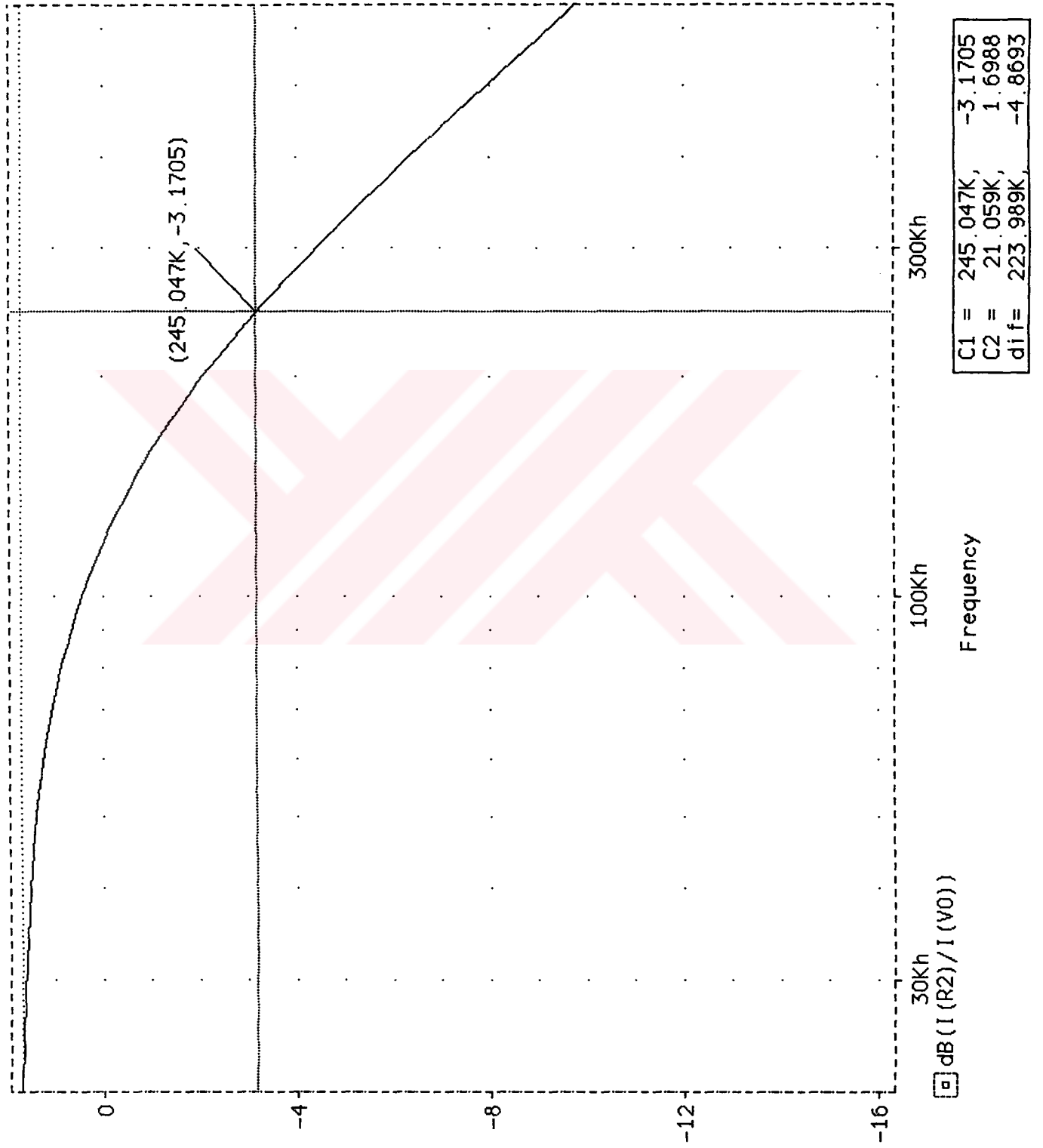
Şekil 6.2.4. $C_1=C_2=0.1\text{nF}$ ve $f_0=10.7\text{KHz}$ için filtre çıkışı



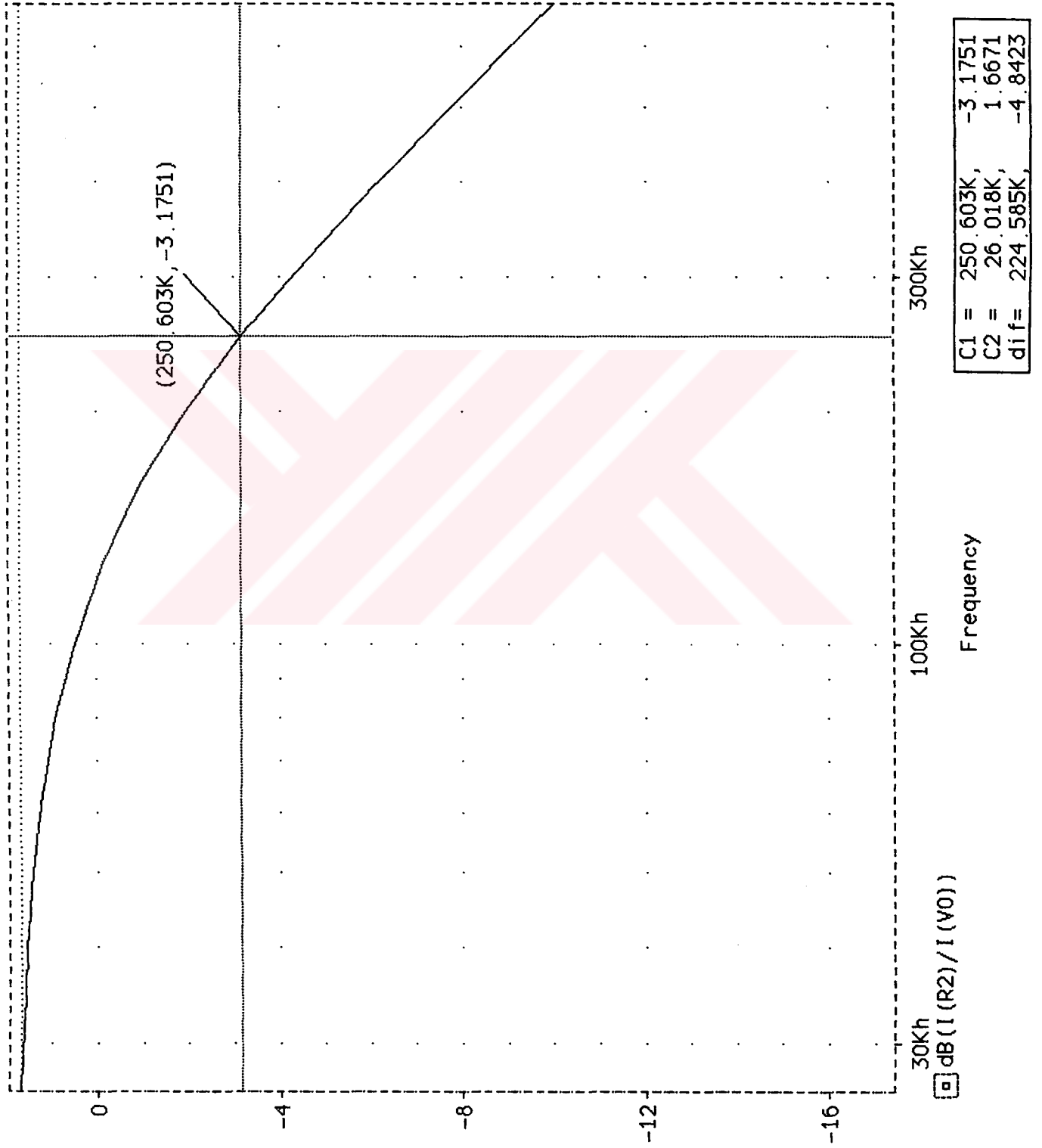
Şekil 6.2.5. $C_1=C_2=0.01\text{nF}$ ve $f_0=75\text{KHz}$ için filtre çıkışı



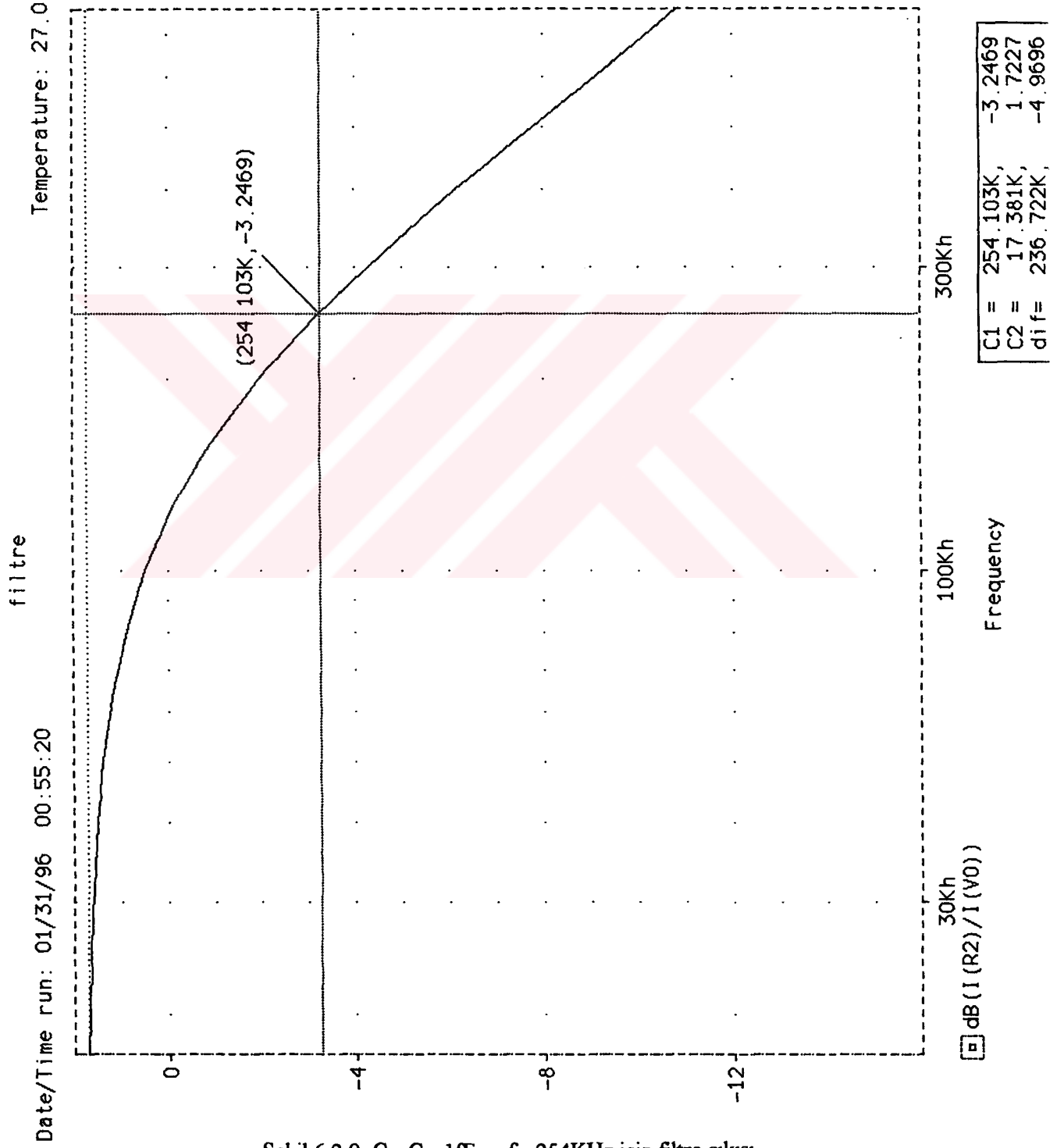
Şekil 6.2.6. $C_1=C_2=1\text{pF}$ ve $f_0=201\text{KHz}$ için filtre çıkışı



Şekil 6.2.7. $C_1=C_2=0.1\text{pF}$ ve $f_0=245\text{KHz}$ için filtre çıkışı



Şekil 6.2.8. $C_1=C_2=0.01\text{pF}$ ve $f_0=250\text{KHz}$ için filtre çıkışı



Şekil 6.2.9. $C_1=C_2=1\text{fF}$ ve $f_0=254\text{KHz}$ için filtre çıkışı

6.3 Devrenin Serimi (Layout)

Devrenin analog yapıda olması ve en küçük kırmık alanının kullanılması amaçlandığı için layout full-custom olarak tasarlanmıştır. Layout; devrede kullanılan tranzistörlerin kırmık üzerindeki gerçek görünüşleri ve birbirleriyle bağlantılarını vermektedir. Devrede; en az sayıda ve en kısa uzunlukta bağlantı kullanmak, en az kırmık alanı harcamak ve sonuç olarak istenmeyen parazitik etkileri (parazitik diyot, kapasite, direnç) en aza indirmek için oldukça yoğun bir çaba harcanmıştır.

İlk layout; kağıt üzerinde tasarlanarak; L-EDIT programı ile bilgisayara aktarılmıştır. Layout hazırlanmasında dikkat edilen tasarım kuralları aşağıda verilmiştir.

6.3.1 Tasarım Kuralları

Filtre devresinin tasarımında kullanılan ve minimum uzaklıkları temsil eden kurallar aşağıda verilmiştir.

TÜBİTAK-YİTAL 3 μ m Poli Geçitli CMOS Prosesi Tasarım Kuralları

<u>N-Kuyu</u>	<u>Mikron</u>
Minimum N-Kuyu Genişliği	6
Minimum N-Kuyu - N-Kuyu Açıklığı	14
Minimum N-Kuyu - Scribe Center Açıklığı	90
<u>Aktif</u>	<u>Mikron</u>
Minimum Aktif Genişliği	3
Minimum n ⁺ Aktif p ⁺ Aktif Açıklığı	4
Minimum Aktif - Aktif Açıklığı	4
Minimum N-Kuyu p ⁺ Aktif Örtüşmesi	2
Minimum N-Kuyu p ⁺ Aktif (N-Kuyu Dışı) Açıklığı	6
Minimum N-Kuyu n ⁺ Aktif (N-Kuyu Dışı) Açıklığı	10

Minimum Aktif - Scribe Center Açıklığı	90
Minimum N-Kuyu n^+ Aktif Örtüşmesi	0

<u>Geçit Polisilisyumu</u>	<u>Mikron</u>
Minimum Poli Genişliği	3
Minimum Poli - Poli Açıklığı	3
Minimum Geçit Uzunluğu	3
Minimum Poli - Geçit Uzantısı	3
Minimum Poli - Difüzyon Açıklığı	2
Minimum Poli - Scribe Center Açıklığı	90
Minimum Kaynak Savak Genişliği	3

<u>P⁺ Difüzyon Katkısı</u>	<u>Mikron</u>
Minimum p ⁺ Select - p ⁺ Select Aktif Bölge Örtüşmesi	2
Minimum p ⁺ Select - n ⁺ Select Aktif Bölge Aralığı	2
Minimum n ⁺ Select - p ⁺ Select Aktif Açıklığı	2
Minimum p ⁺ Select Penceresi Açıklığı	2
Minimum p ⁺ Select Penceresi - N Kanal Açıklığı	4
P Kanal Çevresinde Minimum p ⁺ Select Difüzyon Genişliği	4
Minimum p ⁺ Select Genişliği	3

<u>Kontak Pencereleeri</u>	<u>Mikron</u>
Minimum Kontak Penceresi Genişliği	3
Maksimum Metal - Aktif Kontak Genişliği	3
Maksimum Metal - Aktif Kontak Uzunluğu	10
Kontak - Kontak Açıklığı	3
Minimum Metal-Aktif Kontak - Difüzyon Örtüşmesi	2
Minimum Difüzyon Kontak - Adjacent Geçit Açıklığı	3
Minimum Metal-Poli Kontak Genişlik veya Uzunluğu	3
Maksimum Metal-Poli Kontak Genişliği	3
Maksimum Metal-Poli Kontak Uzunluğu	10
Kontak Etrafında Minimum Poli Genişliği	2
Kontak Etrafında Minimum Metal Genişliği	2
Difüzyon Kontak Çevresinde Minimum Metal Genişliği	2

Poli Kontak Etrafında Minimum Metal Genişliği	2
Minimum Metal-Poli Kontak - Aktif Uzaklığı	3
Minimum Butting Kontak Örtüşmesi (İki Yönde)	5

<u>Metalizasyon</u>	<u>Mikron</u>
Minimum Metal Genişliği	4
Minimum Metal - Metal Açıklığı	3
Minimum Metal - Poli Açıklığı	2
Minimum Metal - Poli Örtüşmesi	2
Minimum Aktif Metali - Scribe Center Açıklığı	90
Minimum Bond Pad Metal Boyutu	130
Minimum Test Metali Boyutu	80
Minimum Pad Açıklığı	70
Minimum Pad Metali - Bağlantısız Metal Alanı	40
Minimum Pad Metali - Aktif Açıklığı	40
Minimum Pad Metali - Poli Açıklığı	40
Bond Metali Boyunca Minimum Fillet Genişliği	50
Minimum Fillet Uzunluğu	20
Minimum Bond Pad Metali - Taban Açıklığı	40
Minimum Bond Pad Metali - Scribe Center Uzaklığı	90
Minimum Test Pad Metali - Scribe Center Uzaklığı	75
Maksimum Bond Pad Metali - Scribe Center Uzaklığı	200

Devrenin tasarımında bu kurallara uyulmuştur.

6.3.2 Hazırlanan Serim Hakkında Bazı Temel Bilgiler

Paketlenmiş tümdevrenin bacak bağlantıları Şekil 6.3.2.1'de, layout tasarımı Şekil 6.3.2.2'de, devre şeması ise Şekil 6.3.2.3'de görülmektedir. Layout için metal hatlar gri, poli hatlar siyah, N-kuyu açık gri, aktif koyu, gri ve kontaklar da küçük beyaz bölgeler olarak görülüyor.

Layout'da giriş ve çıkış uçlarına bağlantı sağlayan metallere VSS ve VDD metal hatları devrenin can alıcı kısımları olarak mümkün olduğu kadar diğer hatlara göre kalın alınmıştır. Layout üzerinde ilk kısım CCII+, ikinci kısım ise CCII- yapısını içermektedir.

Giriş ve çıkışlar ise;

IIN: Filtreye ait giriş

VDD: Tümdevreye ait pozitif besleme

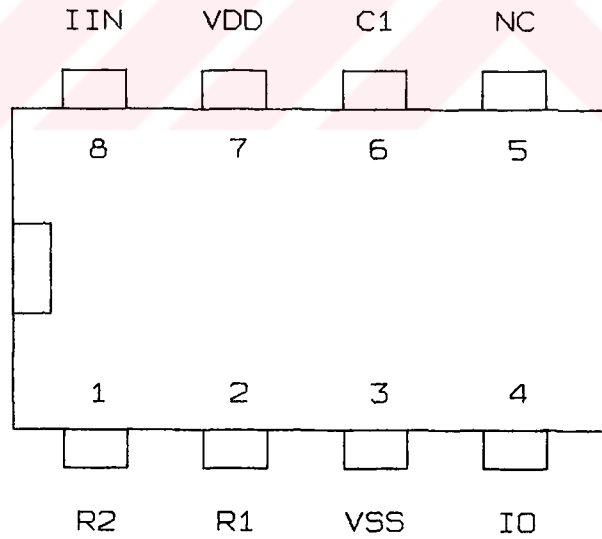
C₁, C₂: Filtrenin kesim frekans ayarı için dışarıdan bağlanan kapasiteler.

R₁, R₂: Filtrenin kazanç ve kesim frekans ayarı için dışarıdan bağlanan dirençler.

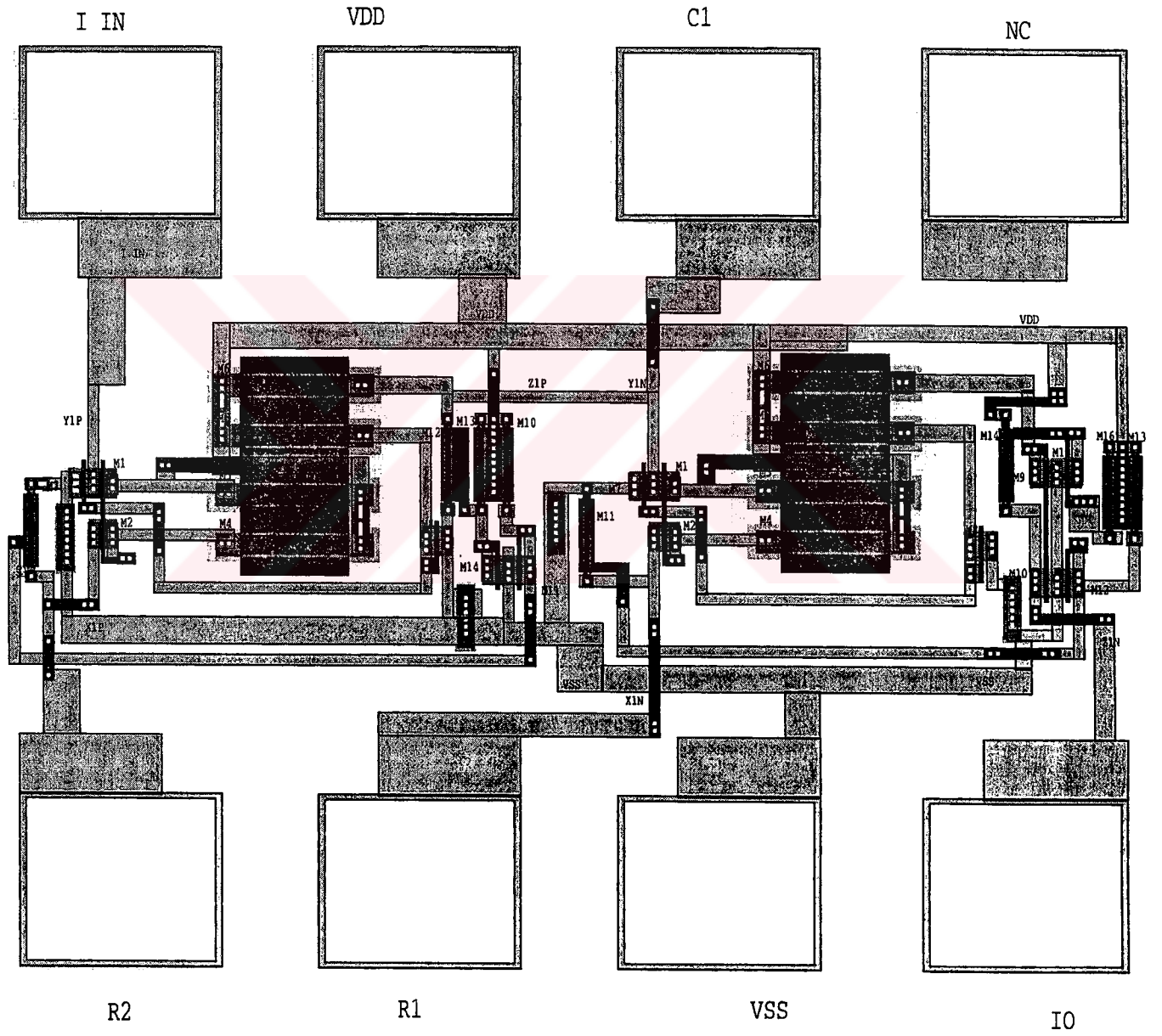
VSS: Tümdevreye ait negatif besleme.

IO: Filtreye ait çıkış.

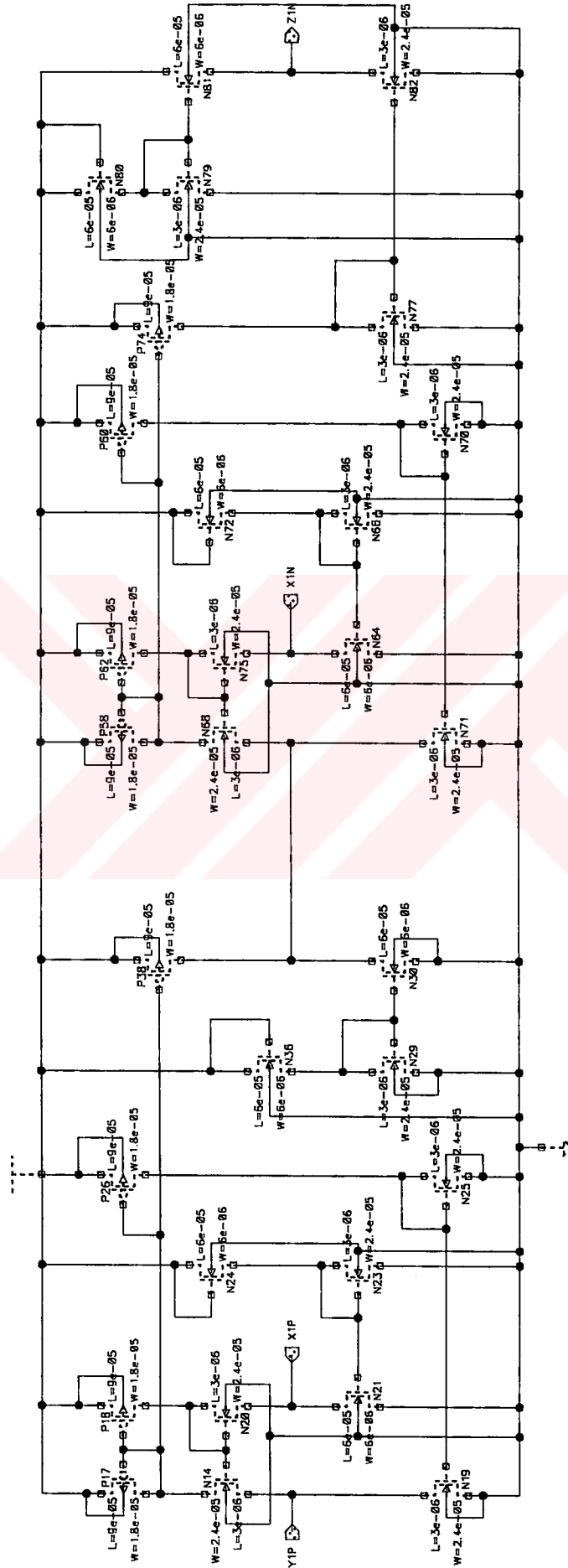
Son olarak; hazırlanan layout, bölüm 3.6'da bahsedilen DRC ve LVS işlemlerine tabi tutularak, burada ortaya çıkan tasarım hataları düzeltilmiştir.



Şekil 6.3.2.1 Paketlenmiş Tümdevre



Şekil 6.3.2.2 Devrenin Serimi



Şekil 6.3.2.3 Devre Şeması

6.3.4. Postsimülasyon

Layout hazırlanarak geometrileri belirlenen devreye, parazitik etkilerin de ele alındığı bir simülasyon daha yapılmıştır. Post simülasyon; adından da anlaşıldığı gibi layout sanrası simülasyon olup, son olarak devrenin kırmık olarak çalışıp çalışmadığını parazitik etkileri de devreye dahil ederek kontrol eder. Bu nedenle en son ve en önemli aşamadır.

Post-simülasyon CADENCE yazılımında H-SPICE alt programı kullanılarak yapılmıştır. Uygulanan simülasyon ve sonuç (Şekil 6.3.4) sırasıyla aşağıda görülmektedir. Devrenin frekans karakteristiği logaritmik ekseninde çizilmiş olup, daha önce PSPICE simülasyonları ile elde edilen sonucu vermektedir.

```

mx10 n12 n26 n27 n27 nmos4 w=6e-06 l=6e-05
mx8 n11 n25 n25 n27 nmos4 w=6e-06 l=6e-05
mx6 n8 n25 n25 n27 nmos4 w=6e-06 l=6e-05
mx5 n27 n8 n14 n27 nmos4 w=6e-06 l=6e-05
mx0 n2 n11 n27 n27 nmos4 w=6e-06 l=6e-05
.ac dec 10 0.1 100meghz
.end

```

```

Low Pass Filter
.option post
vp n25 gnd dc 5v
vn n27 gnd dc -5v
io n25 nl dc 0 ac lma
r1 n12 gnd 200
r2 n2 gnd 100
r3 n1 gnd 1meg
c2 n1 gnd lmf
c1 n14 gnd lmf

```

```

* HSPICE Netlist:

```

```

* Block: hd4

```

```

* Netlist Time: Dec 5 10:32:28 1995

```

```

* MODEL Declarations

```

```

.model nmos4 nmos level=2 vto=0.8 phi=0.57 gamma=0.1 kp=4.4e-05 lambda=0.035
+ecrit=15000 nts=1e+11 ucrit=60000 uexp=0.15 xj=2.5e-07 ld=5e-07 tox=4.25e-08
+wd=2e-07 js=0.0016 jsd=4e-10 cjs=0.0001 cjsd=3.9e-10 rsh=60 delta=1
.model pmos4 pmos level=2 vto=-0.9 phi=0.7 gamma=0.65 kp=1.5e-05 lambda=0.035
+ecrit=28000 nts=1e+11 ucrit=40000 uexp=0.17 xj=3.5e-07 ld=6e-07 tox=4.25e-08
+wd=3e-07 js=0.0062 jsd=2.2e-09 cjs=0.0006 cjsd=3.4e-10 rsh=108 delta=1

```

```

* Main Circuit Netlist:

```

```

* Block: hd4

```

```

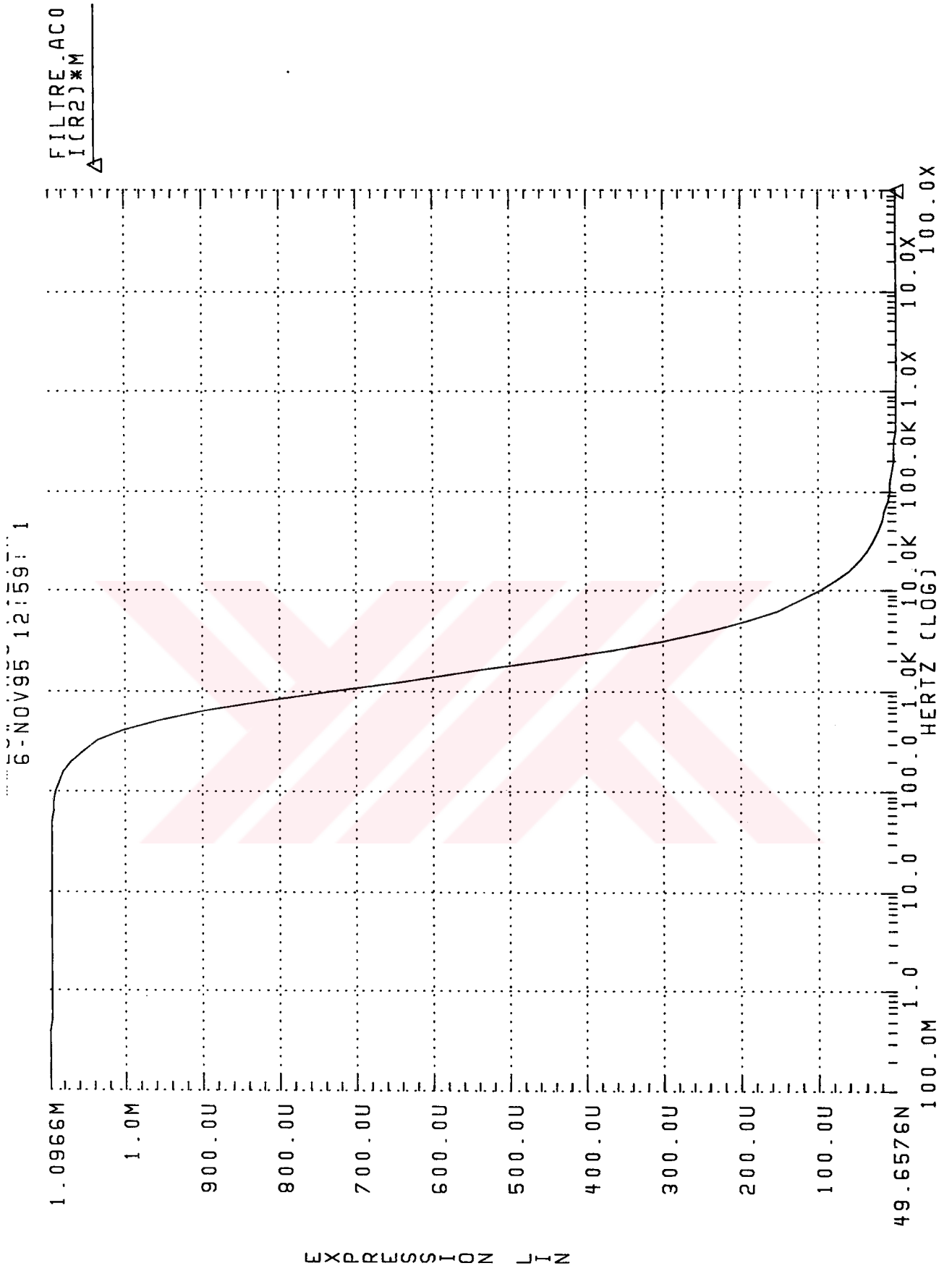
* Last Time Saved: Dec 5 10:25:21 1995

```

```

mx29 n25 n17 n13 n25 pmos4 w=1.8e-05 l=9e-05
mx28 n25 n17 n17 n25 pmos4 w=1.8e-05 l=9e-05
mx27 n18 n17 n25 n25 pmos4 w=1.8e-05 l=9e-05
mx26 n19 n17 n25 n25 pmos4 w=1.8e-05 l=9e-05
mx25 n25 n6 n5 n25 pmos4 w=1.8e-05 l=9e-05
mx24 n25 n6 n6 n25 pmos4 w=1.8e-05 l=9e-05
mx23 n7 n6 n25 n25 pmos4 w=1.8e-05 l=9e-05
mx22 n14 n6 n25 n25 pmos4 w=1.8e-05 l=9e-05
mx19 n26 n26 n27 n27 nmos4 w=2.4e-05 l=3e-06
mx18 n20 n20 n27 n27 nmos4 w=2.4e-05 l=3e-06
mx17 n27 n19 n22 n27 nmos4 w=2.4e-05 l=3e-06
mx16 n27 n19 n19 n27 nmos4 w=2.4e-05 l=3e-06
mx14 n27 n18 n18 n27 nmos4 w=2.4e-05 l=3e-06
mx13 n13 n12 n27 nmos4 w=2.4e-05 l=3e-06
mx12 n17 n14 n27 nmos4 w=2.4e-05 l=3e-06
mx11 n14 n18 n27 n27 nmos4 w=2.4e-05 l=3e-06
mx9 n11 n11 n27 n27 nmos4 w=2.4e-05 l=3e-06
mx7 n27 n8 n8 n27 nmos4 w=2.4e-05 l=3e-06
mx4 n27 n7 n7 n27 nmos4 w=2.4e-05 l=3e-06
mx3 n5 n5 n27 nmos4 w=2.4e-05 l=3e-06
mx2 n6 n5 n1 n27 nmos4 w=2.4e-05 l=3e-06
mx1 n1 n7 n27 nmos4 w=2.4e-05 l=3e-06
mx21 n26 n25 n25 n27 nmos4 w=6e-06 l=6e-05
mx20 n20 n25 n25 n27 nmos4 w=6e-06 l=6e-05
mx15 n22 n20 n25 n27 nmos4 w=6e-06 l=6e-05

```



Şekil 6.3.4. Postsimülasyon Sonucu

7. SONUÇLAR

Bu çalışmada ikinci kuşak akım taşıyıcılar (CCII's) kullanılarak aktif devre sentezi yapılmıştır.

Aktif alçak geçiren filtre devresine layout öncesi PSPICE programıyla simülasyon ve layout sonrası HSPICE (CADENCE yazılımı içinde) programıyla postsimülasyon uygulanmıştır. Her iki simülasyonda elde edilen sonuçların uyuşması, devrenin kırmık olarak üretildiğinde çalışacağını göstermiştir.

Ayrıca; alçak geçiren filtre devresinde bulunan CCII+ ve CCII- devrelerine de:

- *Çalışma noktası gerilim değerleri,
- *Devrede harcanan güç,
- *Giriş-çıkış akım ve gerilimleri arasındaki lineerlik,
- *Frekans karakteristiği

hakkında bilgi edinilmesini sağlayan analizler yapılmış ve sonuçlar akım taşıyıcıların da, akım taşıyıcı amacına uygun olarak çalıştığını göstermiştir.

Postsimülasyon sonrası kırmık olarak çalışacağı belirlenen, alçak geçiren filtre devresinin üretilmesi ve üretilen tümdevrenin testi son adımdır. Test için yapılacak işlemler ise, tümdevredeki filtrenin frekans karakteristiğini ortaya çıkaran analizin tekrarlanması olacaktır.

Sonuç olarak; bu tezde önerilen ve iki akım taşıyıcı (CCII+ ve CCII-), bir ucu topraklı iki kapasite ve üç direnç içeren tümdevre, kesim frekansı ayarlanabilen bir alçak geçiren filtre devresi olup, **diğer aktif devre elemanlarıyla oluşturulan (OP-AMP, OTA) filtrelerle oranla daha geniş bir frekans bandında çalışabilirler.**

Bunun yanında; bu tezde gerekleřtirilen ve akım modunda alıřan filtre devresinin gerilim modunda alıřan aktif filtre devrelerine olan stnlė ise, **akım temelli devrelerin gerilim temelli devrelere oranla daha geniř band geniřliėi, daha iyi bir lineer yapı ve daha geniř bir dinamiklik sunmasıdır.**

Tasarlanan tmdevrenin TBİTAK YİTAL’de retimine bařlanmış olup, bundan sonraki ařama ise tmdevreye ait test iřlemlerinin yapılmasıdır.



KAYNAKLAR

- [1] GÜLSER GÖKHAN, "Akım Taşıyıcı Devrelerin SPICE Simülasyonu ve VLSI Gerçeklemesi", Yüksek Lisans Tezi, Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Eylül, 1995.
- [2] TEK H., ANDAY F., "Voltage Transfer Function Synthesis Using Current Conveyors", Electronics Letters, vol.25, No.23, November 1989.
- [3] CHANG C.M., "Universal Active Current Filters Using Single Second-Generation Current Conveyor", Electronics Letters, vol.27, No.18, August 1991.
- [4] CHANG C.M., "Current Mode Allpass/Notch and Bandpass Filter Using Single CCII", Electronics Letters, vol.27, No.20, September 1991.
- [5] HOU C.L., WU Y.-P., LIU S.-I., "New Configuration For Single-CCII First-Order And Biquadratic Current-Mode Filters", Int.J.Electronics, vol.71, No.4, 1991.
- [6] SURAKAMPON TORN W., RIWERUJA V., CHEEVASUVIT F., "Integrable CMOS-Base Realization of Current Conveyors", Int. J. Electronics, vol.71, No.5, 1991.
- [7] CHANG C.-M., CHEN P.-C., "Universal Active Current Filter With Three Inputs And One Output Using Current Conveyors", Int.J. Electronics, vol.71, No.5, 1991.
- [8] LIU, SHEN-IUAN, KUO, JIANN-HORNG, TSAY JIAN-HORNG, "New CCII-Based Current-Mode Biquadratic Filters", Int.J.Electronics vol.72, No.2, Feb.1992.
- [9] CHEN, JUN, YANG, SHUKONG, "Synthesis of single CCII filter with high input impedance", Tien Tzu Hsueh Pao/Acta Electronica Sinica, vol.21, No.25, May 1993.

- [10] IKEDA K., TOMITA Y., "A realization of current-mode biquadratic filter using CCII's with current followers, Transactions of the Institute of Electronics, Information and Communication Engineers C-II", vol.J76C-II No.10, Oct 1993.
- [11] FABRE-A, ALAMI-M, "Instentive Current-Mode Notch Filter Implemented from Translinear Conveyors", Int.Journal of Electronics, vol.74, No.5, 1993.
- [12] CHAN, C.M. "Novel Universal Current-Mode Filter with Single Input and Three Outputs Using Only Five CCII's", Electronics Letters, vol.29, No.23, Nov 11, 1993.
- [13] CHANG, C.-M, CHIEN, C.-C, WANG, H.-Y., "Universal Active Current Filters Using Single CCII's", Electronics Letters vol.29, No.13, Jun 24, 1993.
- [14] IKEDA, Katsuji, Tomita, Yasushi, "Synthesis of Biquadratic Filters from CCII's", Electronics Communication in Japan, Part II: Electronics vol.76, No.2, Feb 1993.
- [15] Chan, Chun-Ming, Chien, Chih-Chan, "Universal Active Current Filter with Three Inputs Using CCII's", Int.Journal of Electronics, vol.76, No.1, Jan 1994.
- [16] WU, HWANG, LIU, WU, "New Multifunction Filter Using an Inverting CCII and Voltage Follower", Electronics Letters, vol.30, No.7, Mar 31, 1994.
- [17] FABRE-A, DAYOUB, DURUISSEAU, KAMOUN, "High Input Impedance Insensitive 2nd-Order Filters Implemented from CCII's", IEEE Trans. on Cir. and Sys. I Fund Theory and Appl., vol.41, No.12, 1994.
- [18] NANDI-R, "Insensitive Current-Mode Realization of 3rd-order Butterworth Characteristics Using CCII's.
- [19] HORNG-JW, LEE-MH, HOU-CL, "Universal Active-Filter Using 4 OTAs and One CCII", Int.Journal of Electronics, vol.78, No.5, 1995.
- [20] CHANG-CM, LEE-MS, "Universal Voltage-Mode Filter with 3 Inputs and one Output Using 3 CCII's and one Voltage Follower", Electronics Letters, vol.31, No.5, 1995.
- [21] SEDEF Herman, "Akım Taşıyıcıları Kullanarak Devre Sentezinde Yeni Olanaklar", Yüksek Lisans Tezi, Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Eylül 1995.

- [22] İTÜ ETA Vakfı, “Uygulamaya Özgü Tümdevre Teknolojisine (ASIC) Giriş”, 1993.
- [23] ÖZDEMİR Hakan, “İleri Analog Tümdevre Tasarımı (Analog Tümdevre Elemanları ve Özellikleri)”, İTÜ ETA Vakfı, 31 Ocak-4 Şubat 1994.
- [24] KUNTMAN Hakan, “İleri Analog Tümdevre Tasarımı”, İTÜ ETA Vakfı, 1994.
- [25] LEBLEBİCİ Yusuf, “Selected Topics on Computer Aided VLSI Design”, 1992.
- [26] LEBLEBİCİ Yusuf, ÖZDEMİR Hakan, DOĞANALP Sedat, KEPKEP Asım, “Digital VLSI Design”, 10-18 Ocak 1994.
- [27] DILLINGER Thomas E., “VLSI Engineering”, Prentice Hall International Editions, 1988.
- [28] NAVEED A.Sherwani, “VLSI Design”, 1992.
- [29] Tanner Research Inc., “L-EDIT, Layout Editor User’s Manual”, 1989.
- [30] RASHID Muhammad, “SPICE For Circuits And Electronics Using PSPICE”, Prentice Hall, 1990.
- [31] ANTOGNETTI Paolo, MASSOBRIO Giuseppe, “Semiconductor Device Modeling with SPICE”, 1988.
- [32] KUNTMAN Hakan, “Analog Tümdevre Tasarımı”, Eylül 1992.

ÖZGEÇMİŞ

Adı Soyadı: Hülya DAMGACI

Doğum Tarihi: 1 Nisan 1971

Doğum Yeri: Buldan - Denizli

Eğitim: Lise, İst. Erenköy Kız Lisesi, 1988
Üniversite, Yıldız Teknik Üniversitesi (Y. T. Ü.) Elektronik ve Haberleşme Müh. Bölümü, 1992
Yüksek Lisans İngilizce Hazırlık, Y. T. Ü. Yabancı Diller Bölümü, 1993
Yüksek Lisans, Y. T. Ü. Elektronik ve Haberleşme Müh. Bölümü, 1996

İş deneyimi: Y. T. Ü. Elektronik ve Haberleşme Müh. Bölümü, Elektronik Anabilim Dalı Araştırma Görevliliği, 1993 -