

46960

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

AKIM TAŞIYICI DEVRELERİN SPICE SİMÜLASYONU VE VLSI GERÇEKLENMESİ

Elektronik ve Hab. Müh. Gökhan GÜLSER

F.B.E. Elektronik ve Haberleşme Mühendisliği Anabilim Dalında
hazırlanan

YÜKSEK LİSANS TEZİ

Tez Danışmanı : Prof. Dr. Atilla ATAMAN

YÜKSEKÖĞRETİM KURULU
TEZ YAKLAŞTIRMA VE
KAYIT BÖLÜMÜ

İSTANBUL, 1995

ÖZET

Bu tezde, CMOS tekniği ile oluşturulmuş iki çeşit akım taşıyıcı devrenin önce TÜBİTAK YİTAL 3 μ m CMOS prosesine ait parametreler kullanılarak PSPICE simülasyonları yapılmış, ardından devrelerin silisyum kırmık üzerindeki serimleri aynı prosese ait tasarım kuralları kullanılarak tasarlanmıştır. Son olarak devrelerin parazitik etkileri de hesaba katan postsimülasyonları yapılmıştır.

Bu tezde tasarlanan akım taşıyıcı devreler CMOS tekniği ile oluşturulmuş ikinci kuşak pozitif ve negatif akım taşıyıcı devreleridir. Negatif akım taşıyıcı (CCII-) devresinin pozitif akım taşıyıcıdan (CCII+) tek farkı çıkış akımının ters yönde olmasıdır. Bu devreler aktif devre sentezindeki pek çok uygulamada kullanılabilir.

Tezde tasarlanan devrenin kullanılabileceği alanlardan biri, yine bu tezde sözü edilecek olan TH (Temel Hücre) devresidir. Bu devrenin gerçekleştirilmesi için iki adet pozitif akım taşıyıcı (CCII+) ve iki adet de negatif akım taşıyıcı (CCII-) gerektiğinden tasarlanan kırmık üzerinde bu iki çeşit akım taşıyıcı devreden ikişer adet bulunmaktadır.

Yapılan simülasyonlarda devrelerin çalışması üç açıdan incelenmiştir. İlk olarak devredeki düğüm gerilimleri, kaynaklardan çekilen akımlar ve devrede harcanan gücü görmemizi sağlayacak çalışma noktası analizi, daha sonra devrenin temel fonksiyonlarını yerine getirip getirmediğini test eden DC analiz ve son olarak da devrenin kullanılabileceği frekans aralığının belirlenmesini sağlayan AC analizdir.

Serimin tasarlanmasında L-EDIT programı kullanılmış, daha sonra Cadence ortamında devrenin tasarım kurallarına ilişkin son kontrolleri, düzeltmeler ve postsimülasyonları yapılmıştır.

ABSTRACT

In this thesis, first of all, two types of CMOS current conveyor circuits are simulated by using PSPICE program. In this simulation, TÜBİTAK YİTAL's 3 μ m CMOS process parameters are used. Then, the silicon chip layout of these circuits are designed by using the design rules of the same process. Finally, the postsimulation is applied to these circuits which also evaluates the parasitic effects.

The current conveyor circuits designed in this thesis are the second generation positive and negative CMOS current conveyors. The only difference of the negative current conveyor from the positive one is that it has an inverse output current. These circuits can be used in many applications in active circuit synthesis.

One of the application of the circuit designed in this thesis is the TH (Basic Cell) circuit which is going to be mentioned in this thesis later. Two positive and two negative current conveyors are necessary to implement the TH circuit. So, the chip designed in this thesis consists of two current conveyors of each type.

The functions of the circuits are investigated in three ways in the simulations. First, the node voltages, power supply currents and the power dissipation of the circuits are investigated in an operating point analysis. Then, a DC analysis which tests the basic functions of the circuits is applied and finally an AC analysis which determines the frequency distance that the circuit can be used is applied to the circuit.

The L-EDIT program is used to design the layout and then the last controls for design rules and some corrections in the circuit are done and postsimulations are applied to the circuit by using Cadence software.

Bu tezin hazırlanmasında yardımlarını esirgemeyen sayın hocam Prof. Dr. Atilla ATAMAN'a, değerli düşüncelerinden yararlandığım Yrd. Doç. Dr. Herman SEDEF'e, TÜBİTAK YİTAL çalışanlarına, değerli çalışma arkadaşım Hülya DAMGACI'ya ve bu çalışmaya katkıda bulunan herkese en içten teşekkürlerimi sunarım.

Eylül 1995

Gökhan GÜLSER

İÇİNDEKİLER

1.	GİRİŞ.....	1
2.	TÜMDEVRE TASARIMI.....	2
2.1	Temel Bağlıntılar.....	2
2.1.1	Gövde Etkisi.....	3
2.1.2	MOS Küçük İşaret Modeli.....	3
2.2	Tasarım Kuralları.....	5
2.3	Tasarım Yöntemleri.....	6
2.3.1	Full-Custom Tasarım.....	6
2.3.2	Standart Cell Tasarım.....	7
2.3.3	Gate Array Tasarım.....	7
2.4	Tasarım Otomasyonu.....	7
2.5	Analog Tümdevre Tasarımı.....	8
2.6	Tasarım Adımları.....	8
3.	AKIM TAŞIYICILAR VE UYGULAMA ALANLARI.....	9
3.1	Uygulama Alanları.....	10
3.2	TH (Temel Hücre) Devresi.....	11
4.	TASARLANAN DEVRELER.....	11
4.1	Akım Taşıyıcıların Performansı.....	13
4.2	Bağımsız Akım Kaynaklarının Gerçeklenmesi.....	15
5.	İDEAL DEVRELERE AİT SİMÜLASYONLAR.....	18
5.1	Çalışma Noktası Analizi.....	18
5.2	DC Analiz.....	19
5.3	AC Analiz.....	25
6.	GERÇEK DEVRELERİN SİMÜLASYONU.....	28
6.1	MOSFET Transistörlere Ait SPICE Modelleri.....	28
6.2	Proses Parametreleri İle Simülasyon.....	30
6.2.1	Çalışma Noktası Analizi.....	30
6.2.2	DC Analiz.....	34
6.2.3	AC Analiz.....	43
7.	SERİM (LAYOUT) TASARIMI.....	47
7.1	L-EDIT Programı.....	47
7.2	Tasarım Kuralları.....	47
7.3	Devrenin Serimi (Layout'u).....	49
8.	POSTSİMÜLASYON.....	52
8.1	Çalışma Noktası Analizi.....	52
8.2	DC Analiz.....	53
8.3	AC Analiz.....	54
9.	SONUÇ.....	55

EK-1

KAYNAKLAR

ÖZGEÇMİŞ

1. GİRİŞ

Bu tez, devre sentezinde yeni bazı olanaklar sağlayan akım taşıyıcı devrelerin CMOS'lar ile gerçekleştirilmesi amacına yönelik simülasyon ve VLSI tümleştirme çalışmalarından oluşmaktadır. Aktif devre sentezinde çeşitli işlevlerin gerçekleştirilmesi amacıyla OTA, OP-AMP, CDA ve COA gibi elemanlara ek olarak akım taşıyıcılar (CC, Current Conveyor) da kullanılır ve bu devrelerin avantajlarından biri tümleştirmeye uygunluktur.

Ayrıca Herman Sedef'in çalışmasında [1] görüldüğü gibi bu devreler yardımıyla L elemanı (Endüktans) kullanmadan çeşitli filtre devreleri gerçekleştirilebilmektedir. Empedans uydurmada kolaylıklar, 1'den büyük gerilim ve güç kazançları gibi diğer avantajlar da eklendiğinde akım taşıyıcı devrelerin pratik olarak gerçekleştirilmesi bir gereklilik olmaktadır.

Bu tezde, Kaynak tez çalışması [1]'de örnek olarak verilmiş iki çeşit akım taşıyıcı devre TÜBİTAK Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı (YİTAL) tarafından geliştirilen 3µm CMOS proses parametreleri kullanılarak PSPICE programıyla simüle edilmiş ve ardından devrelerin yine aynı prosese ait tasarım kuralları kullanılarak L-EDIT programı yardımıyla VLSI tasarımları yapılmıştır. Son olarak, tasarlanan devrenin Cadence yazılımı kullanılarak üretime yönelik postsimülasyonu yapılmıştır.

[1]'de önerilen TH (Temel Hücre) devresinin oluşturulabilmesi için pozitif ve negatif akım taşıyıcılardan ikişer adet gerektiğinden bu tezde tasarlanan devrede tek kırkık (chip) üzerinde iki adet pozitif akım taşıyıcı (CCII+) ve iki adet negatif akım taşıyıcı (CCII-) bulunmaktadır.

Bu tezdeki çalışma ile kırkık (chip) üzerindeki yerleşim planı tasarlanan devreler [1]'de örnek olarak verilmiş pozitif ve negatif CMOS akım taşıyıcı devreleridir. Şemaları incelendiğinde görüleceği gibi bu örnek devrelerde MOS transistörler dışında bağımsız akım kaynakları da bulunmaktadır. Bu yüzden tümleştirme çalışmalarına geçmeden önce bu akım kaynaklarının yerine MOS'larla gerçekleştirilmiş karşılıklarının konulması gerekmektedir. Bu yolla elde edilen yeni devre şemaları bu tez boyunca kullanılan asıl devreler olmuştur.

Tasarımdan önceki tüm simülasyonlarda PSPICE 5.0 kullanılmıştır. Pozitif ve negatif akım taşıyıcılar önce ideal tanımlanarak simüle edilmiş, sonuçların akım taşıyıcı tanım bağıntılarına uyduğu görülmüş ve daha sonra TÜBİTAK YİTAL 3µm CMOS proses parametreleriyle aynı simülasyonlar tekrarlanmıştır. Sonuçların olumlu olması bir sonraki adım olan tasarıma geçilmesine olanak vermiştir.

Simülasyonlarda devrenin çalışması üç açıdan incelenmiştir. İlk olarak devrenin çalışma noktası analizleri yapılmış ve düğüm gerilimleri tespit edilmiştir. Daha sonra DC analiz yapılarak devrenin temel fonksiyonları test edilmiş, son olarak da AC analiz ile devrenin kullanılabileceği frekans aralığı tespit edilmiştir.

Devrenin kırmık üzerindeki yerleşiminin belirlenmesi aşamasında, her birinde ikişer giriş ve bir çıkış bulunan iki çeşit akım taşıyıcı devreden ikişer adedini tek bir kırmık üzerine yerleştirecek şekilde tasarım yapılmış ve böylece besleme hatlarıyla birlikte 14 uçlu bir entegre devre yapısı ortaya çıkmıştır. Tasarımda tamamen TÜBİTAK YİTAL'in standartlarına uyulmuştur. L-EDIT bilgisayar programı kullanılarak yapılan tasarımda en az kırmık alanı ve en az sayıda bağlantı kullanılmasına dikkat edilmiştir.

Tasarım yaparken belli bir standart kalıp kullanılmamış, bu çalışma için tasarım süresinden çok tasarımın kendisi önemli olduğundan "full-custom" tasarım tercih edilmiştir.

Tasarlanan devrenin son haliyle üretildiği takdirde çalışıp çalışmayacağını test etmek amacıyla parazitik etkiler de dikkate alınarak yapılan son simülasyonlarda (Postsimülasyon), TÜBİTAK'daki Cadence yazılımının HSPICE'ı kullanılmıştır. Kırmık üzerinde birbirinden bağımsız dört ayrı devre bulunduğundan testler dört devreye de uygulanmıştır. Sonuçta, pozitif ve negatif akım taşıyıcıların bu tasarım ile üretildikleri takdirde işlevlerini yerine getirecekleri anlaşılmıştır.

2. TÜMDEVRE TASARIMI

2.1 Temel Bağlantılar

MOS Tümdevre teknolojisinin temel yapıtaşı MOS transistördür. MOS transistörün elektriksel özellikleri aşağıdaki bağlantılarla verilmektedir :

Doymasız bölgede $V_{DS} \leq V_{GS} - V_T$ için

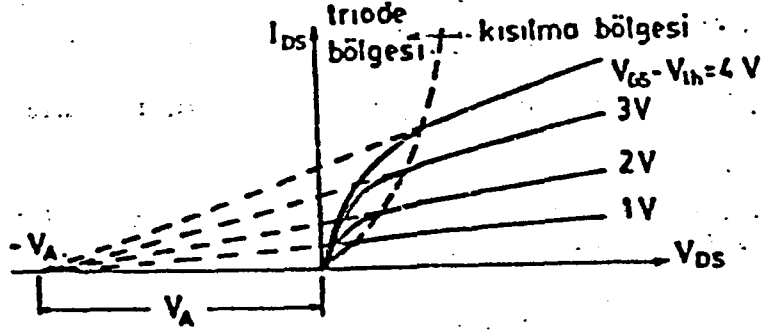
$$I_D = \frac{w}{L} \mu C_{ox} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \left[1 + \frac{V_{DS}}{V_A} \right]$$

doymalı bölgede $V_{DS} \geq V_{GS} - V_T$ için ise

$$I_D = \frac{w}{L} \mu C_{ox} [V_{GS} - V_T]^2 \left[1 + \frac{V_{DS}}{V_A} \right]$$

Bu bağlantılarda V_A büyüklüğü, BJT'deki Early gerilimi biçiminde tanımlanan bir büyüklüktür. Bu parametrenin geometrik tanımı Şekil 2.1'de görülmektedir.

Kanal boyunun V_{DS} ile değişmesini modelleyen V_A büyüklüğü Early gerilimi olarak isimlendirilir. Literatürde kanal boyu modülasyonu için $\lambda = 1/V_A$ şeklinde tanımlanan ve kanal boyu modülasyon parametresi olarak isimlendirilen bir büyüklük de modelleme amacıyla kullanılmaktadır.



Şekil 2.1. V_A parametresinin geometrik anlamı

2.1.1 Gövde Etkisi

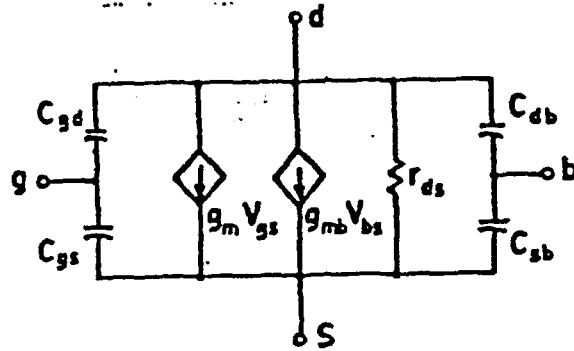
MOS transistörlerde etkili olan diğer bir özellik gövde etkisidir. Bir NMOS'da kaynak ile savak arasındaki n tipi kanal ile p tipi katkılı gövde bir pn jonksiyonu gibi düşünülebilir. Kaynak - gövde ve savak - gövde jonksiyonlarından hiçbirinin iletim yönünde kutuplanmaması için gövde ucu en düşük potansiyele bağlanmalıdır. Dolayısıyla, kanal ve gövde arasındaki jonksiyon tıkama yönünde kutuplanmış olur. Tıkama yönünde kutuplanmış bir jonksiyonun iki yanında oluşan fakirleşmiş bölge artan tıkama yönü gerilimiyle genişler. Buna göre, sabit geçit gerilimi altında akan I_D akımı gövde potansiyelinin değiştirilmesi ile kontrol edilebilir. Bu olay, JFET'lerde savak akımının geçit gerilimi ile kontrol edilmesine benzemekle birlikte, MOS transistörler için istenmeyen bir durumdur. Zira, gövde etkisi I_D akımını azaltacak yönde etkiye bulunmaktadır. Akımdaki bu azalmayı dengelemek üzere, geçit gerilimini arttırmak gerekir. Bu açıdan bakıldığında, gövde etkisinin V_T eşik gerilimini arttırdığı söylenebilir. Eşik gerilimindeki bu artma, V_{SB} kaynak gövde gerilimi ve C değeri 0.5 ile 2 arasında değişen, gövde katkılama oranına bağlı bir sabit olmak üzere

$$\Delta V_T = C \sqrt{V_{SB}}$$

bağıntısı ile verilmektedir.

2.1.2 MOS Küçük İşaret Modeli

MOS transistörün küçük işaret modeli Şekil 2.2'de görülmektedir. Analog uygulamalarda MOS transistörler hemen hemen sadece doyma bölgesinde kullanıldıklarından, verilen model doyma bölgesi için geçerlidir. Modeldeki g_m geçiş iletkenliği doyma bölgesindeki I_D akımını veren bağıntıdan türev alınarak bulunabilir.



Şekil 2.2. Küçük işaret modeli

Böylece

$$g_m = \mu C_{ox} \left(\frac{w}{L} \right) [V_{GS} - V_T]$$

yahut

$$g_m = \left[2 \mu C_{ox} \left(\frac{w}{L} \right) I_D \right]^{1/2}$$

$$g_m = \frac{I_D}{V_{GS} - V_T}$$

olur. Bu bağıntılardan yararlanarak MOS ile bipolar transistörler karşılaştırılabilirler.

g_m iletkenliği gövde etkisini gösteren bir büyüklüktür ve gövde etkisi V_{SB} gerilimi ile arttığından, $\partial I_D / \partial V_{SB}$ şeklinde ifade edilir. Bu türev alındığında

$$\lambda_b = \frac{\gamma}{(-V_{BS} + 2\Phi_F)^{1/2}}$$

olmak üzere

$$g_{mb} = \lambda_b g_m$$

bağıntısı elde edilir.

Devre hesaplarında λ_b katsayısından çok

$$\alpha_b = \frac{1}{(1 + \lambda_b)}$$

bağıntısıyla tanımlanan gövde etkisi faktörü kullanılmaktadır.

r_{ds} (ya da r_o) çıkış direnci kanal boyu modülasyonundan ileri gelmekte ve

$$r_{ds} = \left. \frac{\partial V_{DS}}{\partial I_D} \right|_{V_{GS}=st} = \frac{V_A}{I_D} = \frac{1}{\lambda I_D}$$

bağıntısıyla verilmektedir. r_{ds} direncinin değeri megaohmlardan birkaç kiloohm mertebesine kadar değişebilir.

C_{gs} geçitten kaynağa ve kanalın kısılmamış kısmına ilişkin kapasitedir. Bu kapasitenin değeri birim yüzey kapasitesi C_{ox} ile geçit oksidi ile kaynak ve kanal arasında kalan alanın çarpımına eşittir.

C_{gd} büyüklüğü, geçit ile savak arasında kalan bölgeden ileri gelen kapasitedir. Diğer kapasiteler için de benzer düşünceler ileri sürülebilir. En önemli kapasite, Miller etkisi nedeniyle C_{gd} kapasitesi olmaktadır.

2.2 Tasarım Kuralları

Son yıllarda VLSI teknolojisinde gerçekleşen en göz alıcı gelişme, tasarımcıların proses ve üretim parametreleriyle ilgilenmelerinin gerekmediği bir düzeyde çalışmalarını olanaklı kılan güçlü tasarım yöntemlerinin ortaya çıkması olmuştur. VLSI tasarımcısı, devresine ilişkin üretim maskelerinin oluşturulmasını olanaklı kılan geometrik şekillerden ve bu şekilleri bir araya getirme kurallarından yararlanır. Bu kurallar belli proses değişimleri ve toleransları için bile devrelerin amaca uygun çalışabilmesini sağlar. Böylelikle tasarımcı doğrudan tasarımıyla ilgili ayrıntılar üzerine yoğunlaşma olanağı bulur.

Üretilen tümdevre üzerindeki biçimlerle tasarımcının oluşturduğu şekiller arasında farklılıklar yaratan birkaç hata mekanizması vardır. Bunlar, maskelerin hatalı ayarlanmaları, ışıktandırma koşullarındaki değişimler sonucu fotorezist kenarlarında oluşan bozulmalar, fazla ışıktandırma, ince oksit filmlerin köşelerden açılması, difüzyon ve implantasyon bölgelerinin yayılması ve kalın oksit pencerelerinin boyut toleranslarıdır. Zaman içinde devrenin çalışması ile de boyutlarda değişimler olur. Örneğin belirlenen sınırları aşan akımların varlığı metal bağlantı hatlarında metal göçü denen ve zamanla bağlantı hatlarının kopmasına yol açan olayın ortaya çıkmasına sebep olabilir. Bundan

kaçınmak için, söz konusu olacak akım yoğunluklarının üst sınırına karşı düşen minimum metal bağlantı hattı genişliğinin garanti edilmesi gereklidir.

Tasarım kurallarının amacı, yukarıda sözü edilen proses değişimlerinin en kötü durumda üst üste gelmesi halinde bile devrenin çalışmasının sağlanmasıdır. Yani, ayrı bölge üst üste çıkmamalı, küçük boyutlu bölgeler kopmamalı, hedeflenen devrenin özgün topolojisi korunmalıdır. Ayrıca kurallar, bölgelerin fiziksel boyutları tarafından belirlenen direnç ve kapasite gibi elektriksel parametrelerin proses değişimi sonucu devre performansını ciddi bir şekilde etkileyecek düzeye gelmesine olanak tanımamalıdır.

Bir prosesi tek başına karakterize eden yegane parametre "feature size", yani izin verilen en küçük boyuttur. Proses adımları değişmedikçe minimum boyut cinsinden verilen tasarım kuralları güvenilir kurallar olacaktır. Mead ve Conway (1980) bir çeşit üniversite standardı haline gelen bir dizi tasarım kuralını ilk olarak ortaya koymuşlardır [2].

Bu tasarım kurallarında temel uzunluk birimi olarak λ seçilmiştir. λ büyüklüğü, pul üzerindeki biçimin, özgün tasarımdan sapma miktarının üst sınırını belirlemektedir. Buna göre farklı katmanlarda yer alan iki şekil en fazla 2λ kadar kötü ayarlanabilir. Yani çakışması tasarımın çalışmamasına yol açacak iki bölge en azından 2λ kadar aralıklandırılmalıdır.

Mead-Conway tasarım kuralları, üç iletken maske (metal, polisilisyum, difüzyon), temas pencereleri ve kanal ayarlamalı yükteki implantasyon tabakası için "genişlik", "aşma" ve "taşma" kısıtlamaları getirmektedir. Bu kuralların tümüne birden λ temelli tasarım kuralları denmektedir.

Belli bir prosesi geliştiren ve gerçekleştiren bir çalışma grubu o prosese ait özgün tasarım kurallarını da belirleyebilir. Bu kurallara ait büyüklükler genellikle uzunluk ölçüsüne dayalı olarak mikron cinsinden verilir. Bu kurallara ise mikron temelli tasarım kuralları denir. Bu tezde TÜBİTAK'ın 3 μ CMOS prosesine ait tasarım kuralları kullanılmıştır. Söz konusu kurallar ileride özetlenecektir.

2.3 Tasarım Yöntemleri

VLSI teknolojisi günümüzde elektronğin itici gücü olmuştur. Uygulamalarda VLSI'nın yeri ve rolü arttıkça daha ekonomik, daha güvenilir, daha çabuk tasarlanabilen ve daha küçük bir alana sıkıştırılmış devrelerin ortaya çıkması da bir ihtiyaç haline gelmektedir. Bu gereklilik birbirlerinden çeşitli yönleriyle farklı bazı tasarım yöntemlerinin ortaya çıkmasına sebep olmuştur.

2.3.1 Full-Custom Tasarım

Bu tasarım yönteminde devrenin her parçasının konumu, yerleşim biçimi, diğer bölgelerle bağlantıları, vb. tamamen özgürce ve tasarımcının tercih ettiği şekilde yapılmaktadır. Böylece yüksek performanslı, yüksek yoğunluklu ve kaliteli çipler ortaya çıkabilmektedir. Fakat bu tür bir tasarım çok uzun tasarım süresine ihtiyaç göstermekte,

pahalıya malolmakta ve ASIC (Uygulamaya özgü tümdevre tasarımı) için her zaman uygun olmamaktadır.

2.3.2 Standart Cell Tasarım

Bu yöntemde program kütüphanelerinde belli işlevleri olan standart hücreler bulunmaktadır ve tasarım sırasında tasarımcıya düşen bu hücreleri oluşturmak istediği sistemi meydana getirecek şekilde birbirine bağlamaktır. Bu yöntemle tasarım işlemi daha kolaylaşmakta ve hızlanmaktadır. Fakat hücrelerin yapısı, biçimi ve işlevi belirli olduğundan tasarımda esneklik yoktur. Çalışma hızı ve çip alanı açısından devrenin performansı düşmektedir.

2.3.3 Gate Array Tasarım

Bu tasarım yönteminde belli lojik işlevleri olan bloklar çip üzerinde önceden hazırlanmış, kontaklar ve devre parçalarına ait düğümler belli konumlarda sabitleştirilmiş, yalnızca bağlantısız bırakılmıştır. Bu sayede tasarım süresi yine kısaltılmıştır. Ayrıca bu yöntemle tasarlanan çipler nispeten yüksek yoğunluklu olduğu gibi bu tarz bir tasarım yöntemi değişik tasarım gruplarının paralel şekilde çalışmasına da izin vermektedir. Tasarımda bilgisayarın getirdiği kolaylıklardan büyük ölçüde yararlanılabildiği gibi teknolojinin güncelleştirilebilme özelliği de vardır.

2.4 Tasarım Otomasyonu

Oldukça karmaşık bir süreç olan tümdevre tasarımını izleyen çaba çok daha zorlu olan tasarım sinama ve doğrulama için ortaya konmalıdır. VLSI teknolojisinde başarının anahtarı, güçlü tasarım yazılımları ve güçlü donanım kullanmada yatmaktadır. VLSI tasarım yazılımları gün geçtikçe değişmektedir. Bir çok tasarım yazılımı çok kısa ömürlü olmuştur.

Günümüzde çok fazla sayıda ve çeşitte tasarım yazılımları mevcuttur. Sistem ya da işlevsel tanımlamalarla ilgili yazılımlar dışında devre yereleşim çizimi yazılımları, yerleşim çizimi sinama yazılımları, işlevsel ve zamanlama analizi için simülasyon yazılımları kullanılmaktadır.

Bir tasarım otomasyonu sisteminin genel yapısını ve yazılımlar arası ilişkileri incelediğimizde sisteme ait olarak karşımıza çıkan temel elemanlar ve bloklar şunlardır: Sistem ve işlevsel tanımlama, simülasyon, tasarım girişi, yerleşim çizimi tasarım formatının oluşturulması ve fiziksel tasarımın alt seviyelerinde yapılan simülasyonlar. Tasarım, üretim hattına gönderilmeden önce birkaç seviyede sinanır ve gerekli değişiklikler yapılır. Bu sistemin en önemli bloklarından biri ise bağımsız olarak yapılan test adıdır.

Hem tasarım otomasyonu hem de tasarım sinama yazılımları, ilgilenilen devre işlevi ve yapısının bilgisayarca algılanabilecek tanımlamalarına gereksinim duyarlar. Bu bilgisayar tabanlı tanımlamalar, CIF (Caltech Intermediate Form) gibi basit geometrik tanımlama dillerinden VHDL gibi yüksek düzeyli dillere kadar uzanan çeşitliliktedir.

Tarihsel olarak, devre tasarımı ve devre yerleşim çizimi işleri ayrı gruplarca yerine getirilen etkinlikler idi. Devre tasarımcısı, mantık kapısı ve transistör gösterilimlerinin bir arada kullanıldığı devre şemalarını, şemadan yerleşim çizimini oluşturmada uzman olan mühendislerle aktarırdı. İlk ticari ürünler için yerleşim çizimleri “rubylith” maskelere tamamen elde geçirilmekteydi. Sonraları çizimler gerekli değişikliklerin yapılmasını olanaklı kılan “vellum” adlı yarı şeffaf çizim malzemesi üzerinde yapılmıştır. Maske oluşturma ve gerekli kontrollerin yapılması için geniş vellum çizimlerinden bilgisayarın değerlendirebileceği veriler elde edilirdi. Bu yöntem her ne kadar ilk mikroişlemcilerin üretildiği yıllara kadar, uzunca bir süre kullanılmış olsa da, modern tümdevrelerin gerektirdiği çok sayıda elemanı tamamen elde çizmek hem çok zaman alıcı hem de hataya açık bir işlemdir.

2.5 Analog Tümdevre Tasarımı

MOS teknolojisi son zamanlara kadar daha çok sayısal sistemlerde kullanılmıştır. Bunun başlıca nedeni, söz konusu teknolojinin geniş çapta tümleştirme için (LSI) son derece uygun olmasıdır. 1970’lerin ortalarına kadar MOS teknolojisi genelde bellek ve lojik fonksiyonlar için kullanılmış, belirli bir sistem içindeki analog fonksiyonlar ise işlemsel kuvvetlendiriciler gibi bipolar tümdevreler kullanılarak gerçekleştirilmiştir. Günümüzde ise MOS teknolojisinin analog tümdevrelerde kullanılması gittikçe yaygınlaşmaktadır. Bunun nedeni analog ve sayısal devrelerin gittikçe iç içe girmesidir. Sayısal sistemlerde MOS teknolojisi yaygın olarak kullanıldığından, analog sistemler için de aynı teknolojinin kullanılması ekonomik açıdan büyük yararlar sağlamaktadır. Ayrıca MOS teknolojisinde bipolar transistörlere göre %30-%50 daha az kırmık alanı kullanılmaktadır.

Sayısal ve Analog tümdevre tasarımını şu şekilde karşılaştırabiliriz :

	<u>Sayısal</u>	<u>Analog</u>
Duyarlılık	İyi	Tasarım eleman duyarlılıklarına bağlı
Kararlılık	Var	Osilasyon problemi çıkabilir
Tasarım Otomasyonu	Var	Yok
Tasarım Becerisi	Gerekmez	Gerekir
Proses Bağımlılık	Düşük	Yüksek
Proses Tecrübesi	Gerekmez	Gerekir
Transistör Düzeyinde Tasarım	Gerekmez	Gerekir
Performans	Düşük	Yüksek
Tasarım Süresi	Kısa	Uzun

2.6 Tasarım Adımları

1. Devrenin Tanımlanması
2. Devrenin tasarımı (transistör seviyesinde)
3. Simülasyon
4. Devrenin geometrik olarak tanımlanması ve silisyum üzerindeki yerleşim planının çizimi

5. Parazitik etkileri de içeren bir simülasyon (post-layout simülasyonu)
6. Üretim
7. Test

Devrenin tanımlanması ve sentezi performansı belirleyecek en önemli adımdır. Bir sonraki aşama olan verifikasyonda tasarlanan devrenin spesifikasyonları sağlayıp sağlamadığını görmek amacı ile simülasyon yapılır. Tasarımda verilen iterasyon sayısı genellikle çok fazla olduğundan simülasyon-verifikasyon aşamasını devre tasarımı ile aynı adımda saymak gerekir.

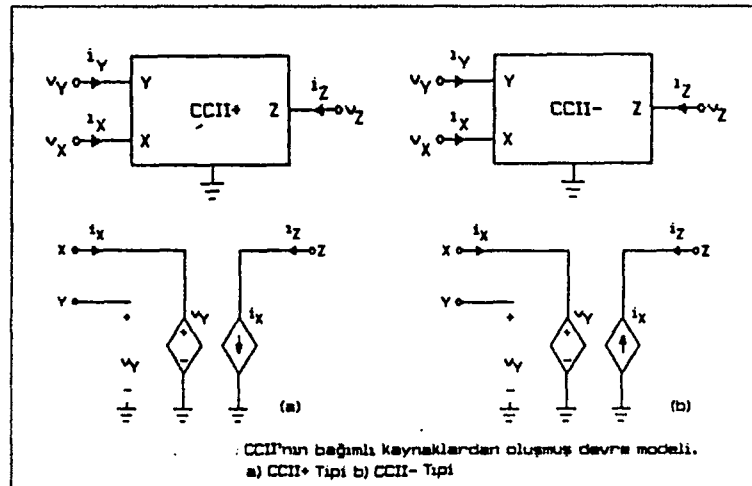
Geometrik tanımlama (layout) aşamasında transistörleri ve pasif devre elemanlarını oluşturacak fiziksel katmanların geometrileri belirlenir. Tasarımcı özellikle bu adımdaki başarı için proses adımlarını yeteri kadar bilmelidir.

Parazitiklerle simülasyon aşamasında geometrik tanımlama sırasında ortaya çıkan parazitik etkilerin devre performansı üzerindeki etkisi incelenir. Bu aşamada spesifikasyonlar sağlanmıyorsa geometrik tanımlamanın veya devre tasarımının yeniden yapılması gerekir.

Üretim tasarımcının sorumlu olmadığı tek adımdır. Üretim sonunda devrenin nasıl test edileceği tasarım aşamasında ciddi bir şekilde düşünülmemişse ortaya çıkan devrenin spesifikasyonları sağlayıp sağlamadığı kontrol edilemeyebilir.

3. AKIM TAŞIYICILAR VE UYGULAMA ALANLARI

Akım taşıyıcılar lineer analog sistemlerin tasarımlarında basitlikler ve esneklikler sağlayan devre elemanlarıdır. Şekil 3.1’de CCII olarak isimlendirilen ikinci kuşak akım taşıyıcıların devre sembolleri ve bağımlı kaynaklardan oluşan devre modelleri görülmektedir.



Şekil 3.1. CCII'ların devre sembolleri ve devre modelleri

Söz konusu akım taşıyıcılara ait tanım bağıntıları ise aşağıda matrisel formda verilmiştir :

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & k & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix}$$

Matristeki k parametresi negatif akım taşıyıcılarda -1, pozitif akım taşıyıcılarda ise +1'dir. Yani i_z akımı pozitif akım taşıyıcılarda i_x akımı ile aynı yönde, negatif akım taşıyıcılarda ise ters yöndedir.

Bu devre elemanlarının işlevlerini kısaca şöyle açıklayabiliriz : İki giriş (X ve Y) ve bir çıkış (Z)'dan oluşan bir akım taşıyıcıda giriş işaretinin uygulanacağı giriş olan Y'den akım çekilmez. Fakat akım taşıyıcının tanım bağıntısı gereği Y'ye uygulanan gerilim aynen X'e aktarılır ve bu gerilimle orantılı bir akım X girişinden çekilir. Yine tanım bağıntısından görüleceği gibi Z çıkış akımı (i_z), X'teki akım ile (i_x) orantılıdır ve eğer X'e ve Z'e bağlı dirençlerin değerleri farklı seçilirse bu dirençlerin oranıyla belirli bir akım kazancı elde edilebilir. Negatif devre ile pozitif devre arasındaki tek fark pozitif devrede i_z akımının i_x akımıyla aynı yönde, negatif devrede ise ters yönde olmasıdır.

3.1 Uygulama Alanları

Akım taşıyıcıların uygulamalarına ait ayrıntılı bilgi yararlanılan kaynaklarda bulunabilir [1], [9]. Fakat burada kısaca bahsetmek gerekirse akım taşıyıcılar kullanılarak sentezlenebilecek bazı devre elemanları şunlardır :

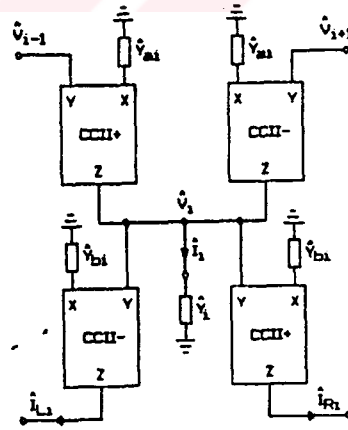
- Akım kuvvetlendiricisi.
- Genel n girişli gerilim toplayıcı devre.
- Geribeslemeli gerilim kuvvetlendirici devreleri.
- Bir ucu topraklı endüktans simülasyonu.
- Bir ucu topraklı FDNR simülasyonu.
- Gerilim kontrollü gerilim kaynağı (GKGK).
- Gerilim kontrollü akım kaynağı (GKAK).
- Akım kontrollü akım kaynağı (AKAK).
- Akım kontrollü gerilim kaynağı (AKGK).
- Jirator.

- Genel bir giriş n çıkışlı gerilim-akım dönüştürücü devresi.
- Genel bir giriş n çıkışlı akım dağıtıcı devresi.
- Genel n girişli akım toplayıcı devreleri.

Ayrıca devrelerin bu tez açısından önemli bir başka uygulaması da [1]'de önerilen TH (Temel Hücre) devresidir. TH kullanılarak L, R ve C elemanları bir uçları topraklı olarak simüle edilebilmekte, bu ise örneğin çeşitli filtrelerin yarıiletken eleman olarak kırkık (chip) üzerinde gerçekleştirilmelerine olanak vermektedir.

3.2 TH (Temel Hücre) Devresi

Şekil 3.2'de görülen devre iki pozitif iki de negatif akım taşıyıcıdan yararlanarak gerçekleştirilen, [1]'de ayrıntılı olarak tanımlanmış TH devresidir. İki ucu serbest devre elemanlarının bir ucu topraklı yapılar kullanılarak gerçekleştirilmesi imkanı yaratan TH devresinde görülen admitans değerleri, devrenin kullanılacağı uygulamaya bağlı olarak tespit edilmekte ve hesaplanabilmektedir. Bu konudaki ayrıntılı bilgi [1]'de bulunabilir. Bu tezde yalnızca TH'nin burada tasarlanan devreler yardımıyla gerçekleştirilebilmesi üzerinde durulacaktır. TH, içindeki admitans değerlerinin uygulamaya bağlı olarak değişebilirliği yüzünden bu tezdeki simülasyonlar çerçevesine alınmamıştır.

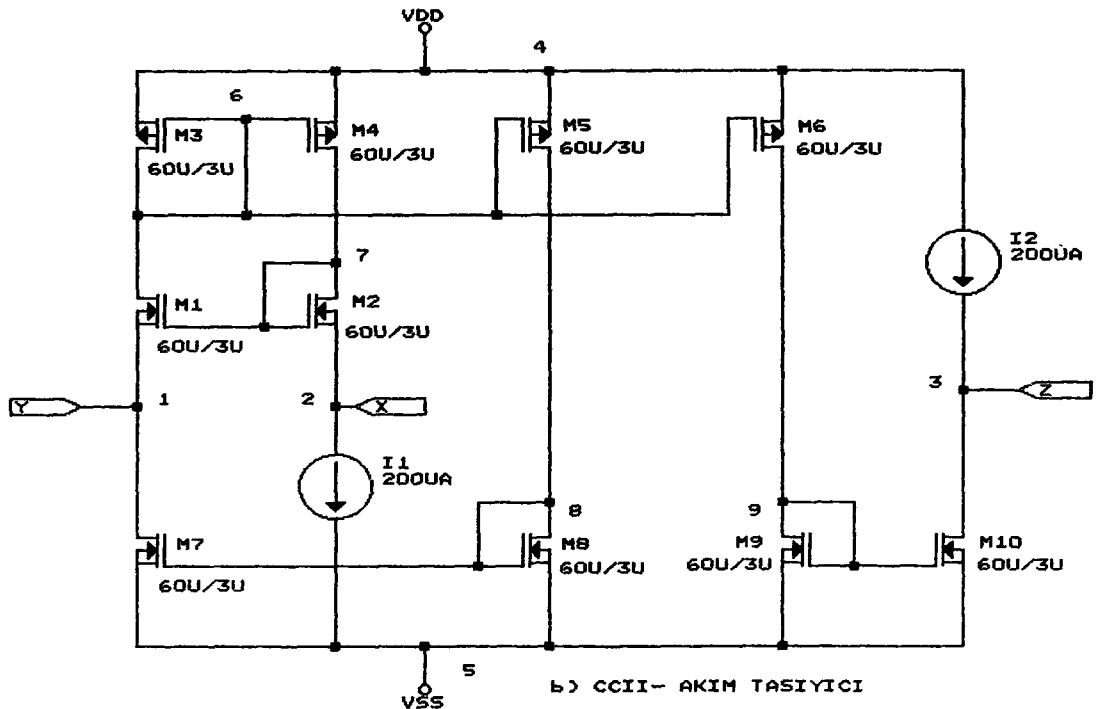
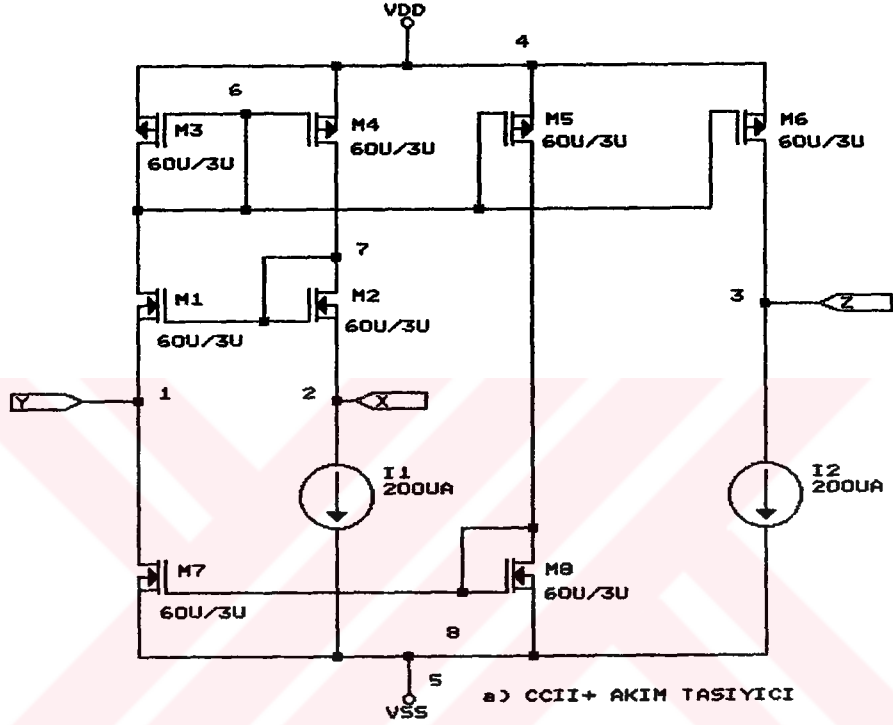


Şekil 3.2. Temel Hücre (TH) devresi

4. TASARLANAN DEVRELER

Bu tezde tasarlanan (Silisyuma geçirilen) devreler Şekil 4.1'de görülmektedir. Şekil 4.1a'da CMOS tekniği ile gerçekleştirilen bir pozitif akım taşıyıcı devresi, Şekil 4.1b'de ise negatif bir CMOS akım taşıyıcı görülmektedir. Bu devreler basit akım aynaları ve sabit akım kaynaklarından oluşmaktadır.

CCII+ devresinde M3-M6 transistörleri ile M7-M8 transistörleri akım aynası olarak görev yapmaktadırlar. I_1 akım kaynağı devre için gerekli kutuplama akımını sağlar. Transistörlerin eş, akım aynalarının birim kazançlı oldukları varsayılırsa devrenin çalışması aşağıdaki gibi açıklanabilir :



Şekil 4.1. CMOS Akım Taşıyıcılar

M3-M4 transistörleri M1 ve M2 transistörlerinden birbirine eşit akım akmasını sağlar. Böylece $V_{GS1}=V_{GS2}$ olur ki, bu da $V_Y=V_X$ olmasını sağlar. R_X direncinden akan i_X akımı M2 transistöründen ve M3-M4 akım aynasından da akar. $V_X>0$ olması durumunda $i_X=V_X/R_X$ akımı X ucundan dışarı doğru akacak, dolayısıyla M3-M4 akım kaynağının akımı I_1+i_X olacaktır. Bu akım, M5 transistörü ve M7-M8 akım aynası ile Y ucuna yansıtılarak M1 transistörünün kaynak akımındaki değişimi kompanse eder, Böylece i_Y akımı daima 0 olur. Aynı zamanda, M6 transistörü I_1+i_X akımını Z ucuna yansıtacaktır. Bu durumda $I_1=I_2$ yapılırsa Z ucundan dışarıya doğru $i_Z=i_X$ akımı akar. Fark edilebileceği gibi i_Z akımının yönü i_X akımı ile aynıdır. Bu nedenle devre, pozitif akım taşıyıcı (CCII+) olarak çalışır.

CCII- devresi ise Şekil 4.1b'de görülmektedir ve yapı itibarıyla CCII+'dan türetilmiştir. Yapıya M9 ve M10 transistörleri eklendiğinde I_1+i_X akımı Z bu transistörler tarafından aktarılır. $I_1=I_2$ yapılması durumunda, Z ucundan içeriye doğru bir $i_Z=i_X$ akımı akar.

4.1 Akım Taşıyıcıların Performansı

Şimdiye kadarki incelemelerde bütün transistörlerin eş oldukları ve doyma bölgesinde çalıştıkları varsayılmıştı. Pratikte ise imalat hataları ve parazitik kapasitelerden dolayı transistörlerin birbirlerine tam olarak eş olmamalarından kaynaklanan bir hatanın ortaya çıkacağı ve bu hatanın, yapının performansında ideal performansa göre bazı sapmalara neden olacağı açıktır.

CCII+ devresini ele alalım. I_1 akım kaynağının çıkış direnci sonsuz kabul edilirse bu durumda V_Y ve V_X arasındaki ilişki :

$$\varepsilon_1 = \frac{R_X g_{m2} (g_{m4} g_{d1} - g_{m3} g_{d4})}{R_X g_{m2} g_{m3} g_{d4} + g_{m2} g_{d2} + g_{m3} g_{d4}}$$

olmak üzere

$$V_X = V_Y (1 - \varepsilon_1)$$

biçiminde yazılabilir. ε_1 'i veren bağıntıda g_{mi} ve g_{di} büyüklükleri sırasıyla ($i=...$) transistörlerin geçiş iletkenliğini, R_X ise X ucuna bağlanan direnci göstermektedir. $\varepsilon_1 \ll 1$ ise Y ucundaki gerilim X ucuna yüksek doğrulukta aktarılacaktır, başka bir deyişle X ucundaki gerilim Y ucundaki gerilimi iyi bir şekilde izleyecektir.

$$\begin{aligned} \text{Örnek olarak } R_X &= 1k, g_{m2} = 2.51 \times 10^{-4} \text{ A/V,} \\ g_{m3} &= 1.93 \times 10^{-4} \text{ A/V,} \\ g_{d1} &= g_{d2} = 1.01 \times 10^{-7} \text{ A/V ise} \\ \varepsilon_1 &= 0.05\% \text{ olur.} \end{aligned}$$

X ucundaki küçük işaret direnci aşağıdaki biçimde yazılabilir :

$$r_x = \frac{1}{g_{m2}} \cdot \left(\frac{g_{m4} g_{d5} + g_{m8} g_{d1}}{g_{m4} (g_{m8} + g_{d5})} \right)$$

Sayısal bir örnek verilirse, $g_{m8} = 2.52 \times 10^{-4}$ A/V, $g_{d5} = 1.02 \times 10^{-7}$ A/V değerleri için $r_x = 3.7$ ohm bulunur. Bu direncin değeri istenen özellikleri sağlayacak kadar küçüktür.

Y ucundaki küçük işaret direnci hesaplanırsa

$$r_y = \frac{1 + \frac{g_{d1}}{g_{m3}}}{g_{d7}}$$

bağıntısı elde edilir. $g_{d7} = 1.02 \times 10^{-7}$ A/V için $r_y = 9.8$ Mohm bulunur. Görüldüğü gibi bu yeteri kadar büyük bir direnç değeridir ve bunun gösereceği giriş direnci sonsuz kabul edilebilir.

Z ucundaki uç direnci yaklaşık olarak M3-M6 akım aynasının çıkış direnciyle I2 akım kaynağının çıkış direncinin paralel eşdeğerine eşittir ve

$$r_z = \frac{1}{g_{d6} + g_{d12}}$$

biçiminde ifade edilebilir. Bu bağıntıdaki g_{d12} büyüklüğü I2 akım kaynağının savak iletkenliğidir. r_z direncinin değeri tipik olarak birkaç Mohm mertebesindedir. Bu direnç Wilson akım aynası yahut kaskad akım kaynağı kullanılarak arttırılabilir.

Devrenin yüksek frekanslardaki davranışını inceleyelim. Yüksek frekanslarda baskın kutup X ucuna bağlanan eşdeğer direnç ve kapasitelerden ileri gelir. Bu kutup

$$f_x = \frac{R_x g_{m2} g_{m4}}{2\pi (R_x g_{m3} C_1 + C_3)}$$

biçiminde ifade edilebilir. Bu bağıntıdaki C_3 ve C_1 kapasiteleri

$$C_3 = (C_{gs3} + C_{gs4} + C_{gs5} + C_{gs6}) \text{ ve } C_1 = C_{gs1}$$

şeklinde tanımlanmıştır.

İkinci kutup M3-M6 akım aynasından ileri gelmekte ve

$$f_m = \frac{g_{m3}}{2\pi C_3}$$

bağıntısıyla verilmektedir. Bu kutup frekansı, yukarıdaki sayısal değerler için 5mhz civarında olur.

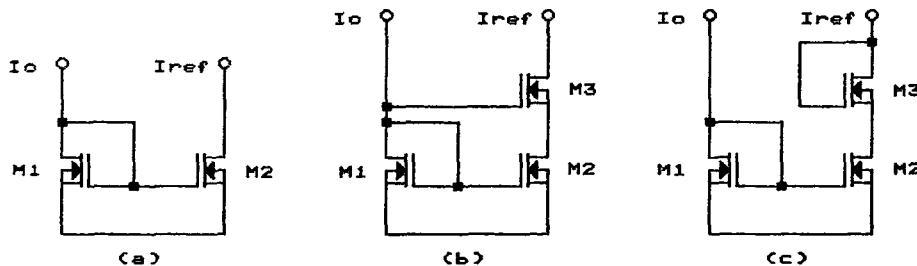
V_X ve V_Y gerilimleri arasındaki dengesizlik de

$$V_{os} = (V_{T1} - V_{T2}) - \frac{2(\beta_1 - \beta_2)}{(\beta_1 + \beta_2)} \left(\frac{I_1}{\beta_1 + \beta_2} \right)^{1/2}$$

bağıntısı ile verilebilir. Bu bağıntıdaki V_{Ti} ve β_i büyüklükleri sırasıyla M_i transistörlerinin eşik gerilimlerini ve geçiş iletkenliği parametrelerini göstermektedir. V_{os} dengesizlik geriliminde birinci terim $M1$ ve $M2$ transistörlerinin eşik gerilimlerinin farklı olmasından ileri gelmektedir. Modern CMOS prosesinde bu bileşen birkaç mV mertebesinde olur. İkincibileşen ise geometrideki sapmalardan ileri gelir. Bağıntıdan fark edileceği gibi, bu bileşeni azaltmak için W/L oranı azaltılabilir, veya I_1 akımı küçültülebilir.

4.2 Bağımsız Akım Kaynaklarının Gerçeklenmesi

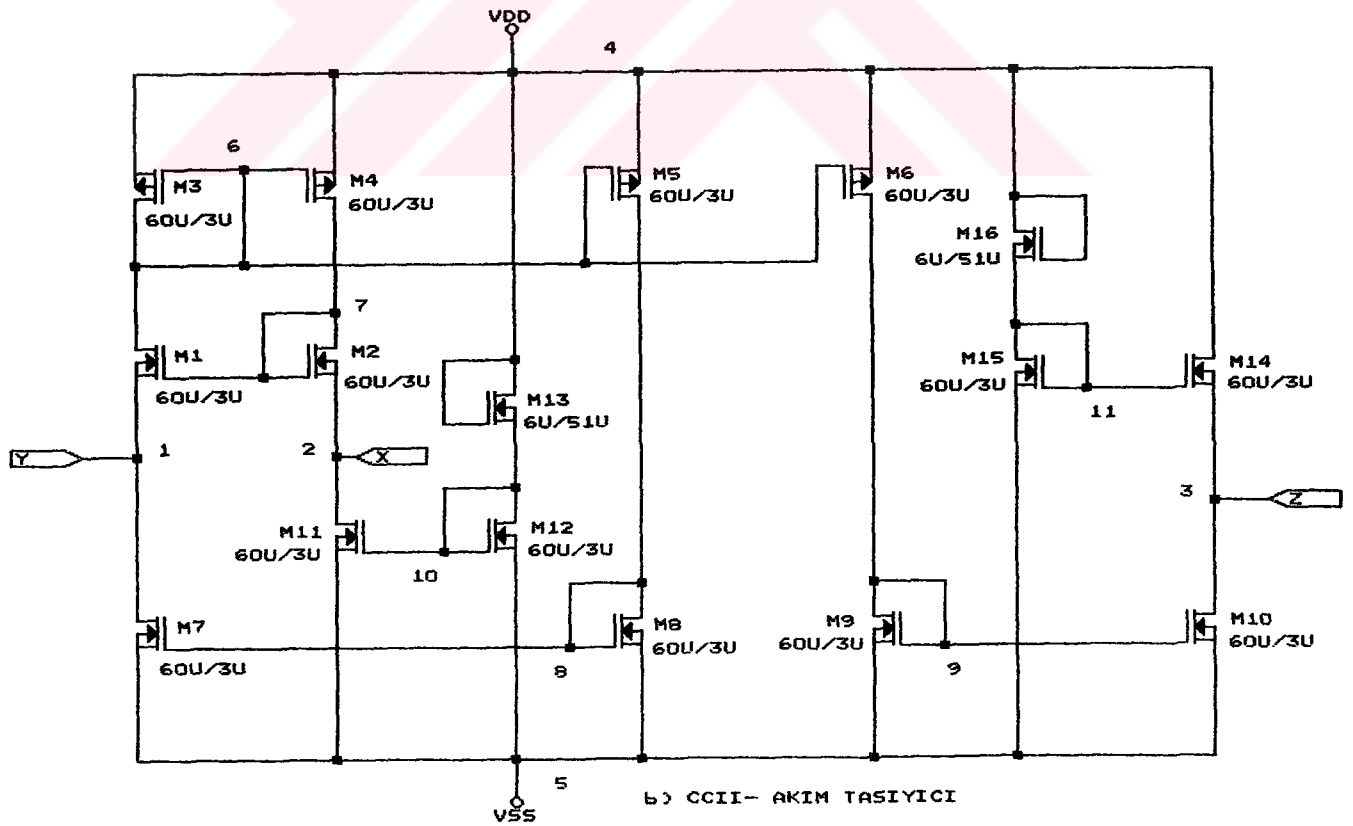
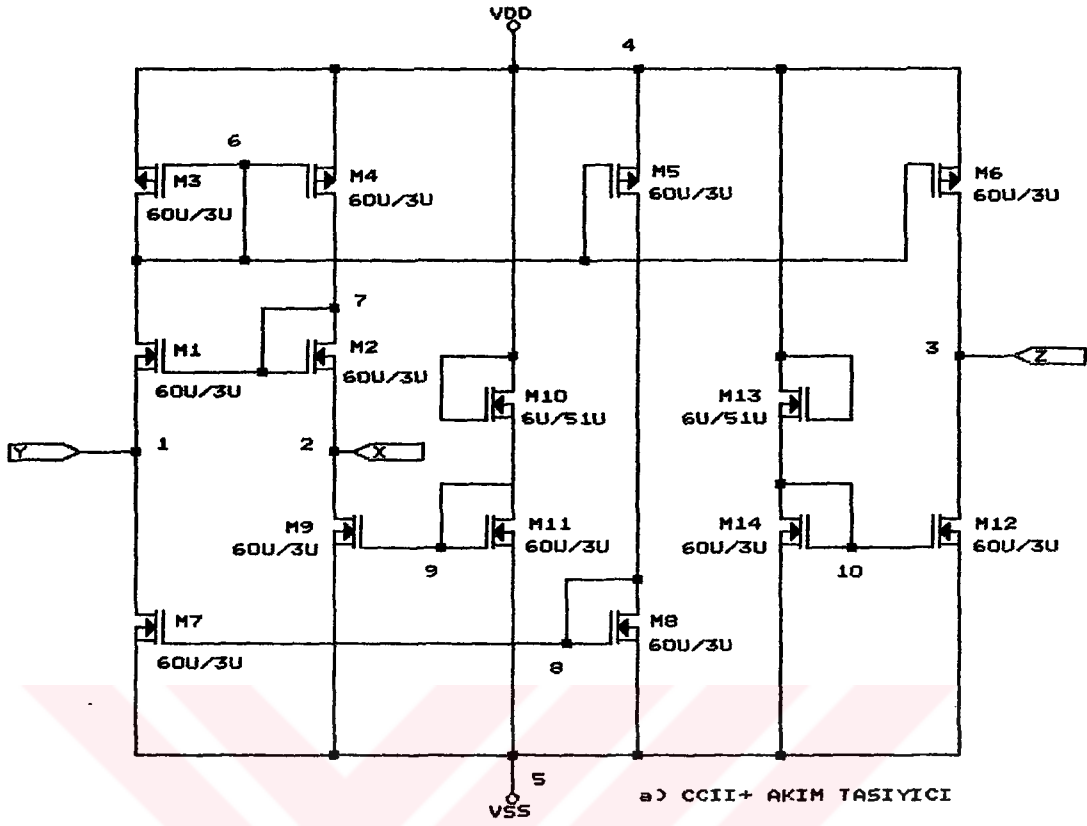
Devre şemalarında görülen bağımsız akım kaynaklarının MOS transistörler ile gerçekleştirilmesi amacıyla yönelik olarak Şekil 4.2'de görülen üç akım kaynağı devresi incelenmiştir ve en iyi sonuç Şekil 4.2c'de görülen devre için alınmıştır.



Şekil 4.2 MOS Akım kaynakları

Devrenin vereceği sabit akımın değeri M3 transistörünün boyutları değiştirilerek ayarlanabilir. Aslında bu transistör dikkat edileceği gibi direnç görevi görmektedir. Devreden almak isteğimiz $200\mu A$ 'lık akımı sağlayacak olan transistör geometrilerini belirlemeye yönelik olarak yapılan hesaplamalar sonucu bulunan değerler kullanılarak akım kaynağı devreleri CCII'lara yerleştirilmiş ve SPICE simülasyonu ile devrelerin ilgili uçlarından istenen $200\mu A$ 'lık akımın geçip geçmediği incelenmiştir. İstenen akım değerinin hassas bir şekilde belirlenebilmesi için M3 transistörünün boyutları değiştirilerek simülasyonlar tekrarlanmış ve sonuçta M1 ve M2'nin kanal uzunluk ve genişlikleri $W=60\mu m$, $L=3\mu m$ iken M3'ün $W=6\mu m$, $L=51\mu m$ değerlerinde istenen akım değerinin tam olarak sağlanacağı görülmüştür.

Sonuçta, akım kaynaklarını da içeren CCII+ ve CCII- devrelerinin son biçimleri tespit edilmiş olup tasarım çalışmasının bundan sonraki aşamalarında bu devreler kullanılmıştır. Söz konusu devreler Şekil 4.3'te görülmektedir.



Şekil 4.3. Akım kaynakları dahil edilmiş CMOS akım taşıyıcılar

5. İDEAL DEVRELERE AİT PSPICE SİMÜLASYONLARI

Devrelerin tanım bağıntılarını sağlayıp sağlamadıklarını anlamamızı sağlayacak pratik göstergeler tespit etmek amacıyla, CMOS'lar kullanılarak gerçekleştirilmiş akım taşıyıcı devrelerinden önce, SPICE giriş dosyasında bağımlı kaynaklardan ibaret ideal devreler (Şekil 3.1'deki devreler) tanımlanarak simüle edilmiş ve tanım bağıntılarından aynen aktarılan bu devrelere ait sonuçlar bize ideal durumda ne görmemiz gerektiğine dair bir fikir vermiştir. Böylece elimize daha sonraki simülasyon sonuçlarını yorumlamamızı sağlayacak veriler geçmiştir.

Elbette ki gerçek elemanlarla oluşturulmuş hiçbir devrenin ideal durumu yansıtan bu sonuçlarla tamamen örtüşmesi beklenemez. Bu yüzden daha sonra yapılacak ideal olmayan devrelere ait simülasyon sonuçlarının başarı kriteri bu sonuçlarla uyuma değil, bu sonuçlara yakınlık olacaktır.

5.1 Çalışma Noktası Analizi

İlk olarak devrelerin girişlerine hiçbir işaret uygulanmadığı zaman devrenin düğüm gerilimlerinin ne olacağı, kaynaktan çekilecek akımlar ve devrede harcanan gücü belirlemek üzere bir analiz yapılmıştır. Bu analiz için devrelerin tanımlanışı bir sonraki analiz ile aynı olduğundan burada yalnızca elde edilen sonuçlar verilecektir

Bu analiz sonucu elde edilen değerler beklendiği gibi ideal çıkmaktadır. CCII+ için örnek olarak bu değerleri verirsek:

**** 08/21/95 23:57:55 ***** PSpice 5.0a (Sep 1991) ***** ID# 68726 ****

CCII+ AKIM TASIYICI

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE
VOLTAGE

(1) 0.0000 (2) 0.0000 (3) 0.0000 (4) 0.0000

VOLTAGE SOURCE CURRENTS

NAME CURRENT

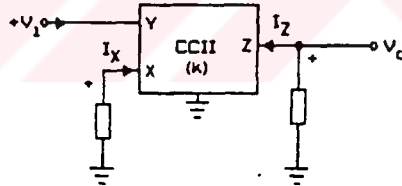
VK	0.000E+00
VO	0.000E+00
VY	0.000E+00

TOTAL POWER DISSIPATION 0.00E+00 WATTS

CCII- için de sonuçlar aynı çıkmaktadır.

5.2 DC Analiz

Devrelerin görevlerini tam olarak yerine getirebilmeleri için, tanım bağıntılarında belirlenmiş bazı özellikleri göstermeleri gerekir. Bunların en önemlisi giriş-çıkış akım ve gerilim büyüklükleri arasındaki lineerliktir. Bu nedenle akım taşıyıcıların giriş ve çıkışlarına ilişkin akım veya gerilimlerin lineer kaldığı aralığa ait sınır değerlerinin bilinmesi önemlidir. Bu değerleri görmek amacıyla Şekil 5.1'de görülen devre kullanılarak akım taşıyıcıların lineer bölgede çalışma koşulları araştırılmıştır.



Şekil 5.1. Simülasyonlarda kullanılan devre

a) Bu amaçla ilk olarak şekilde görülen devrede direnç değerleri $R_X = 100\text{Mohm}$, $R_Z = 0\text{ ohm}$ (Yani X girişi açık devre, Z çıkışı ise kısa devre) alınmıştır. Daha sonra devrenin Y girişlerine $-3 \leq V_Y \leq +3$ aralığında değişen bir DC tarama gerilimi uygulanmıştır. Bu koşullar altında yapılan simülasyonlarda V_X geriliminin V_Y 'yi hangi değerler arasında takip ettiği incelenmiştir. İdeal durum için ölçüm yapıldığından sonuçta V_X 'in V_Y 'yi -3V ile $+3\text{V}$ arasında lineer olarak izlediği görülmüştür.

CCII+ için bu analize ait tanım dosyası:

CCII+ AKIM TAŞIYICI

VK 4 2 0V

E1 2 0 1 0 1

F1 3 0 VK 1

RA 1 0 1E12

```

RX 4 0 100MEG
VO 3 0 0V
VY 1 0 DC 0V
.DC VY -3V +3V 0.1
.OP
.PROBE
.END

```

CCII- için ise aynı analize ait tanım dosyası:

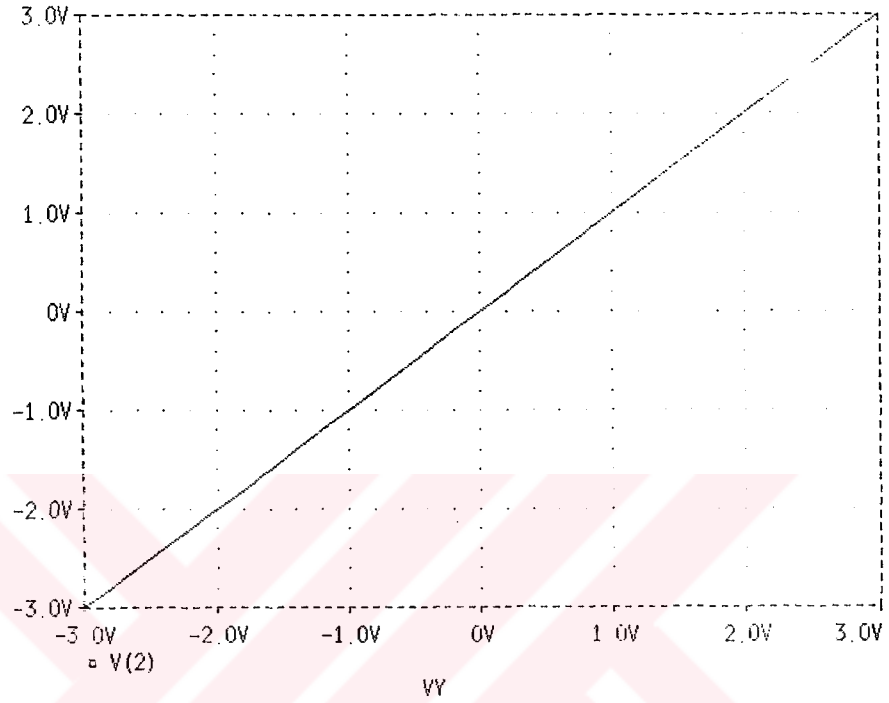
```

CCII- AKIM TASIYICI
VK 4 2 0V
E1 2 0 1 0 1
F1 0 3 VK 1
RA 1 0 1E12
RX 4 0 100MEG
VO 3 0 0V
VY 1 0 DC 0V
.DC VY -3V +3V 0.1
.OP
.PROBE
.END

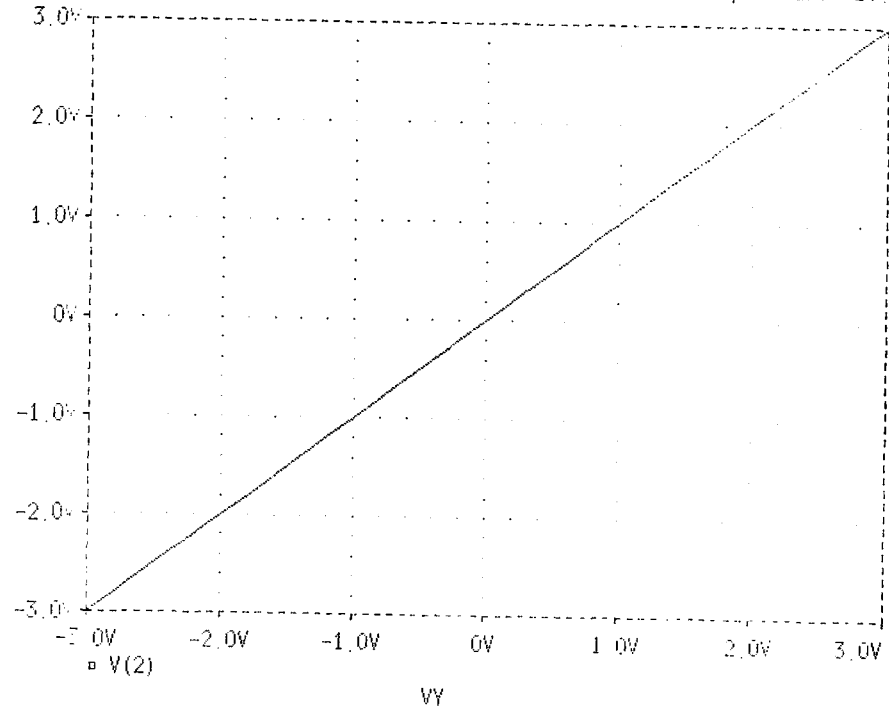
```

Bu analize ait sonuç grafikleri Şekil 5.2'de görünmektedir. (Bu ve bundan sonraki tüm grafiklerde $V(1)=V_y$, $V(2)=V_x$ ve $V(3)=V_z$ 'tir. SPICE giriş dosyasında tanımlanan 1, 2 ve 3 no'lu düğümler sırasıyla Y, X ve Z uçlarına denk düşmektedir.)

CCII+ AKIM TASIYICI
Date/Time run: 08/21/95 23:57:55 Temperature: 27.0



CCII- AKIM TASIYICI
Date/Time run: 08/22/95 20:03:25 Temperature: 27.0



Şekil 5.2. İdeal devrelere ait V_x - V_y grafikleri

b) İkinci olarak devredeki $R_z = 0$ ohm alınmış ve R_x 'in 1k, 5k ve 10k değerleri için ayrı ayrı olmak üzere V_y genliği $-2V \leq V_y \leq +2V$ arasında değişen bir DC tarama gerilimi uygulanmıştır. Bu koşullar altında yapılan simülasyonlarda I_z akımının her direnç değeri için değişen eğimde olmak üzere V_y giriş gerilimiyle lineer olarak değiştiği saptanmıştır.

CCII+ devresi için bu analize ait SPICE tanım dosyası örneği:

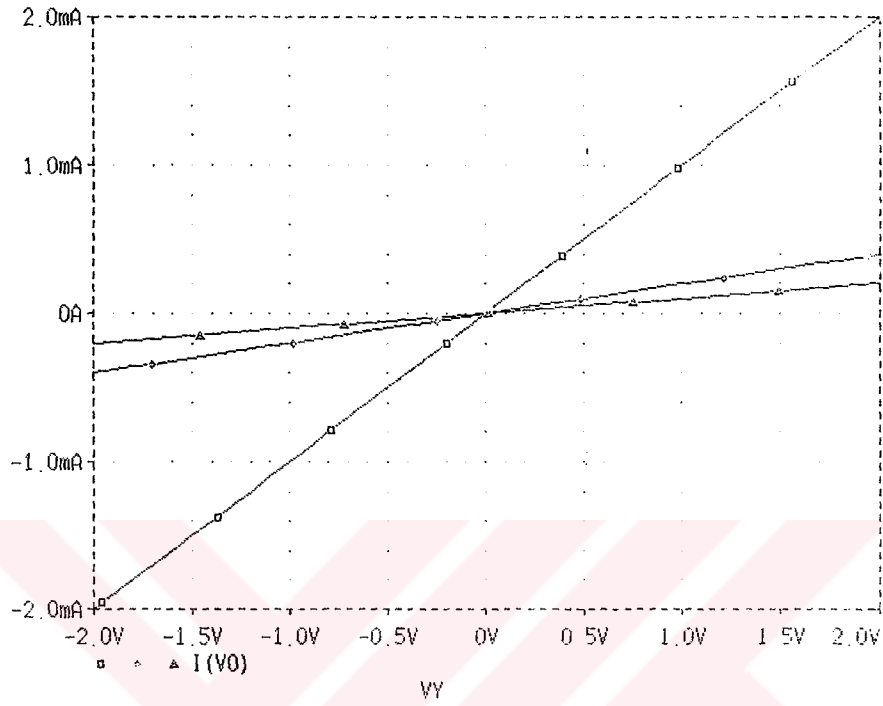
```
CCII+ AKIM TASIYICI
VK 4 2 0V
E1 2 0 1 0 1
F1 3 0 VK 1
RA 1 0 1E12
RX 4 0 1K
VO 3 0 0V
VY 1 0 DC 0V
.DC VY -2V +2V 0.1
.OP
.PROBE
.END
```

Benzer şekilde CCII- devresi için aynı analize ait tanım dosyası örneği:

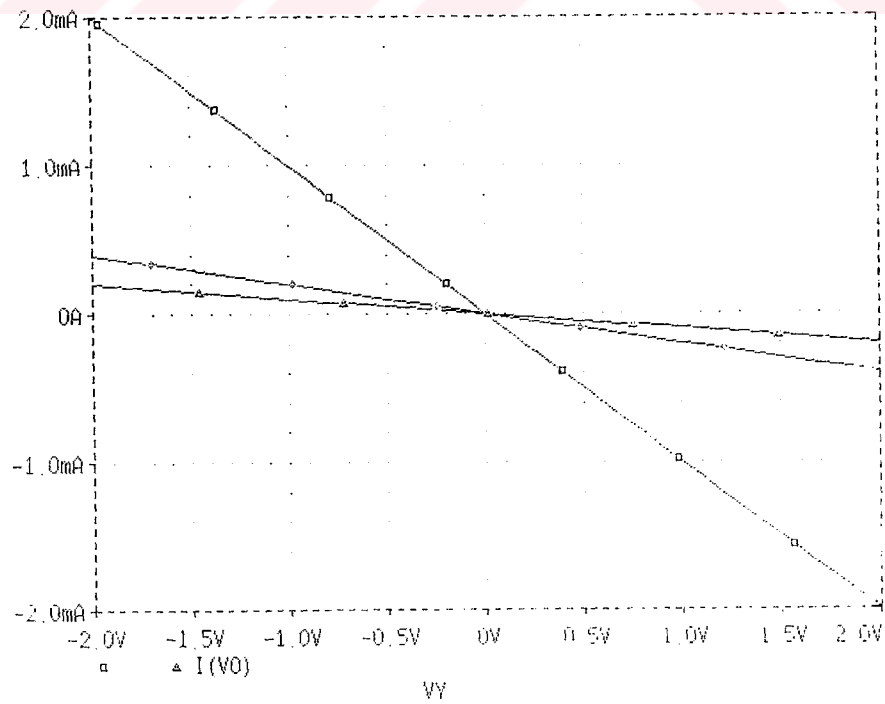
```
CCII- AKIM TASIYICI
VK 4 2 0V
E1 2 0 1 0 1
F1 0 3 VK 1
RA 1 0 1E12
RX 4 0 1K
VO 3 0 0V
VY 1 0 DC 0V
.DC VY -2V +2V 0.1
.OP
.PROBE
.END
```

Yapılan bu analiz sonucu elde edilen grafikler ise Şekil 5.3'te görülmektedir.

CCII+ AKIM TAŞIYICI
Date/Time run: 08/21/95 22:55:19 Temperature: 27.0



CCII- AKIM TAŞIYICI
Date/Time run: 08/22/95 20:00:19 Temperature: 27.0

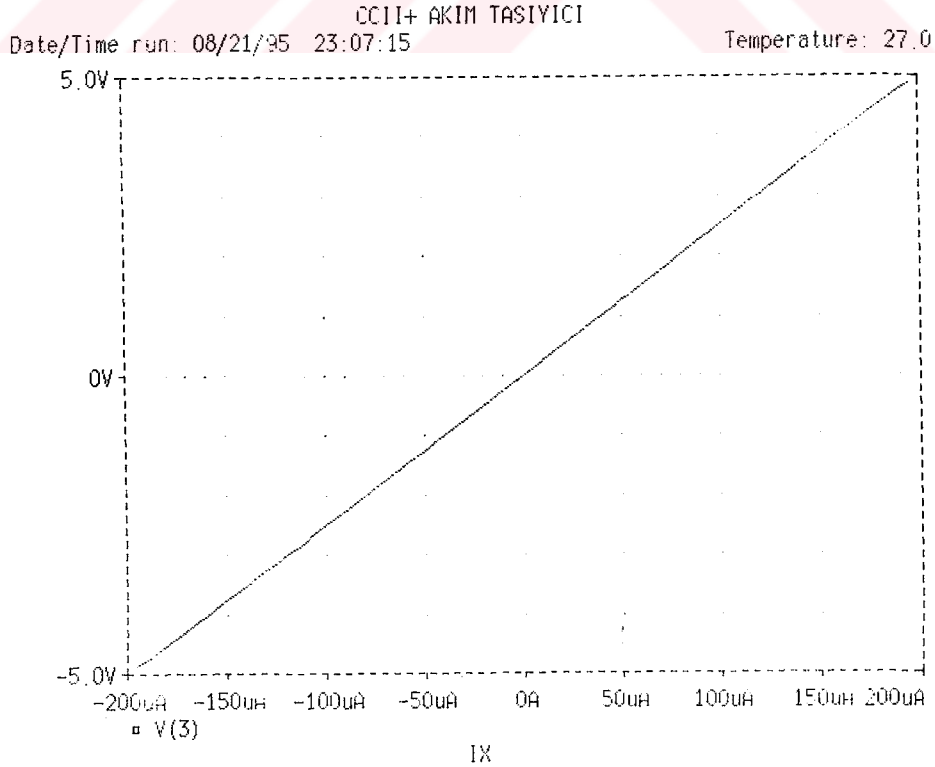


Şekil 5.3. Devrelere ait i_Z - V_Y grafikleri ($R_X=1k, 5k$ ve $10k$ için)

c) Son olarak CCII+ devresi için $V_y = 0V$, $R_Z = 25k$ olarak alınmış ve X ucuna genliği $-195\mu A \leq I_X \leq +195\mu A$ aralığında değişen bir akım kaynağı bağlanmıştır. Bu koşullar altında V_Z geriliminin söz konusu aralıkta ne şekilde değiştiği incelenmiş ve lineer olduğu görülmüştür. Sadece CCII+ devresi için yapılan bu analize ait SPICE tanım dosyası aşağıda görülmektedir:

```
CCII+ AKIM TASIYICI
VK 4 2 0V
E1 2 0 1 0 1
F1 3 0 VK 1
RA 1 0 1E12
IX 4 0 0
RZ 3 0 25K
VY 1 0 DC 0V
.DC IX -195UA +195UA 5UA
.PROBE
.END
```

Bu analize ait sonuç grafiği ise Şekil 5.4'te görülmektedir.



Şekil 5.4. CCII+ için V_Z - i_X grafiği

5.3 AC Analiz

Aynı devrelerin AC şartlarda davranışlarını incelemek ve frekans karakteristiklerini çıkarmak için Şekil 5.1'de görülen bağlantı yapısı kullanılarak bir gerilim kuvvetlendirici devresi oluşturulmuştur. Bu devrelerin gerilim kazancını $V_Z/V_Y = R_Z/R_X$ ile hesaplamak mümkündür. $((V_Z/V_Y)_{dB} = 20 \log(R_Z/R_X))$.

Bu durumda R_Z direnci 10k olarak sabit tutulmuş ve R_X direncinin 1k, 5k ve 10k değerleri için V_Y girişlerine genliği 100mV olan ve frekansı 1Hz ile 100MHz arasında değişen bir AC tarama gerilimi uygulanmış, bu test koşulları altında V_X/V_Y ve V_Z/V_Y gerilim transfer karakteristikleri incelenmiştir.

Bu analiz için kullanılan SPICE tanım dosyaları aşağıdadır. CCII+ devresi için:

```
CCII+ AKIM TASIYICI
VK 4 2 0V
E1 2 0 1 0 1
F1 3 0 VK 1
RA 1 0 1E12
RX 4 0 1K
RZ 3 0 1K
VY 1 0 DC 0V AC 100MV
.AC DEC 10 0.1 100MEGHZ
.PROBE
.END

CCII+ AKIM TASIYICI
VK 4 2 0V
E1 2 0 1 0 1
F1 3 0 VK 1
RA 1 0 1E12
RX 4 0 1K
RZ 3 0 5K
VY 1 0 DC 0V AC 100MV
.AC DEC 10 0.1 100MEGHZ
.PROBE
.END

CCII+ AKIM TASIYICI
VK 4 2 0V
E1 2 0 1 0 1
F1 3 0 VK 1
RA 1 0 1E12
RX 4 0 1K
RZ 3 0 10K
VY 1 0 DC 0V AC 100MV
.AC DEC 10 0.1 100MEGHZ
.PROBE
.END
```

Benzer şekilde CCII- devresi için:

CCII- AKIM TASIYICI

VK 4 2 0V

E1 2 0 1 0 1

F1 0 3 VK 1

RA 1 0 1E12

RX 4 0 1K

RZ 3 0 1K

VY 1 0 DC 0V AC 100MV

.AC DEC 10 0.1 100MEGHZ

.PROBE

.END

CCII- AKIM TASIYICI

VK 4 2 0V

E1 2 0 1 0 1

F1 0 3 VK 1

RA 1 0 1E12

RX 4 0 1K

RZ 3 0 5K

VY 1 0 DC 0V AC 100MV

.AC DEC 10 0.1 100MEGHZ

.PROBE

.END

CCII- AKIM TASIYICI

VK 4 2 0V

E1 2 0 1 0 1

F1 0 3 VK 1

RA 1 0 1E12

RX 4 0 1K

RZ 3 0 10K

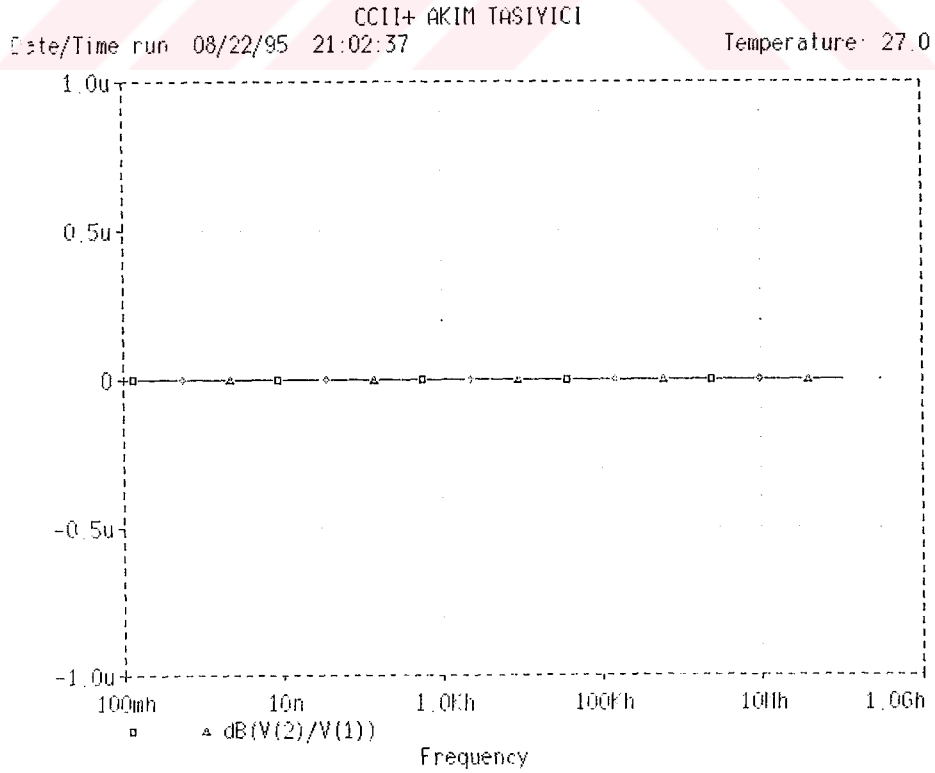
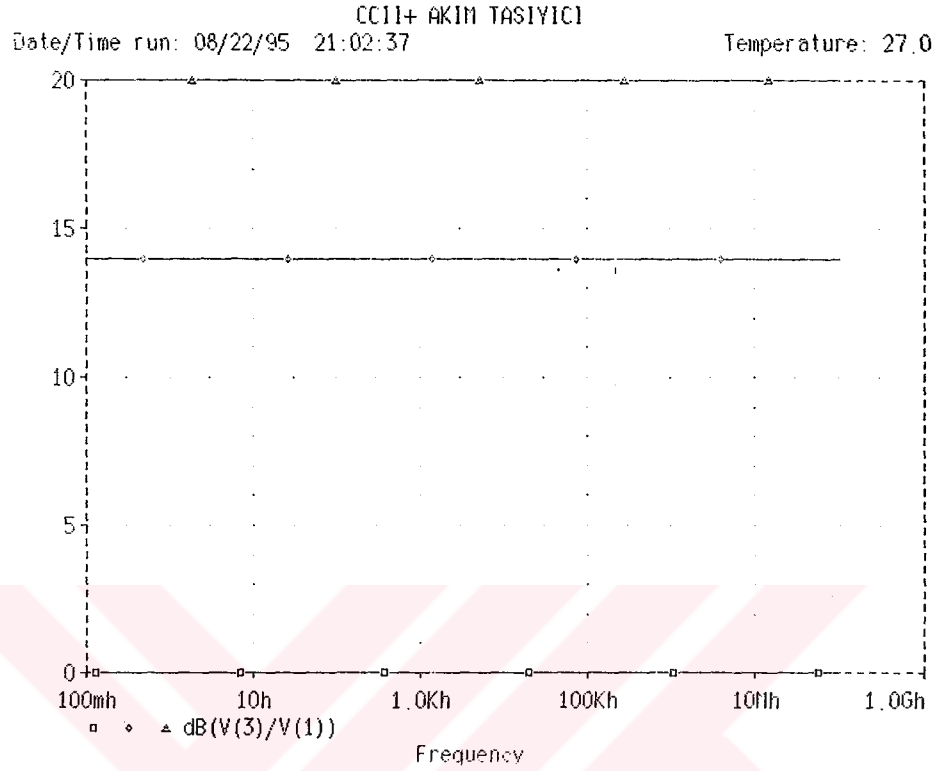
VY 1 0 DC 0V AC 100MV

.AC DEC 10 0.1 100MEGHZ

.PROBE

.END

Bu analize ait sonuç grafikleri Şekil 5.5'te verilmiştir. Sonuçlar CCII+ ve CCII- için aynı olduğundan şekilde yalnızca CCII+ için çizilen grafikler görülmektedir.



Şekil 5.5. Gerilim kuvvetlendirici olarak çalıştırılan devrelerin X-Y ve Z-Y uçlarına ilişkin AC gerilim transfer karakteristikleri

6. GERÇEK DEVRELERİN SİMÜLASYONU

MOSFET transistörler kullanarak gerçekleştirilecek devrelerin yukarıdaki ideal koşulları tam olarak sağlayamayacağı açıktır. Bu yüzden Şekil 4.3'teki devreler TUBİTAK YİTAL'in 3µm CMOS proses parametreleri kullanılarak simüle edilmiş sonuçlar ideal koşullarda bulunan sonuçlarla karşılaştırılmıştır.

Bu incelemede kullanılan SPICE parametrelerini vermeden önce SPICE programının MOSFET'leri analiz etmek için kullandığı modelleri ve bu modellerdeki parametrelerin anlamlarını kısaca görelim.

6.1 MOSFET transistörlere ait SPICE model parametreleri

SPICE programı MOSFET transistörleri üç farklı derecede simüle etmektedir. (Level 1-3). Bunlardan hangisinin kullanılacağı model satırında belirtilebilir.

Şimdi MOSFET transistörlere ait SPICE model parametrelerinin fiziksel anlamlarını bir tablo halinde görelim :

İsim	Model Parametresi	Birim	Default	Tipik
LEVEL	Model tipi (1,2 veya 3)		1	
L	Kanal Uzunluğu	metre	DEFL	
W	Kanal Genişliği	metre	DEFW	
LD	Lateral difüzyon uzunluğu	metre	0	
WD	Lateral difüzyon genişliği	metre	0	
VTO	Eşik Gerilimi	Volt	0	0.1
KP	Transkondüktans	Amp . Volt ⁻²	2E-5	2.5E-5
GAMMA	Taban eşik parametresi	Volt ²	0	0.35
PHI	Yüzey potansiyeli	Volt	0.6	0.65
LAMBDA	Kanal uzunluğu modülasyonu (Level 1,2)	Volt ⁻¹	0	0.02
RD	Savak ohmik direnci	Ohm	0	10
RS	Kaynak ohmik direnci	Ohm	0	10
RG	Geçit ohmik direnci	Ohm	0	1
RB	Taban ohmik direnci	Ohm	0	1
RDS	Savak - Kaynak şönt direnci	Ohm		
RSH	Savak - Kaynak difüzyon tabakası direnci	Ohm ²	0	20
IS	Taban pn doyma akımı	Amp	1E-14	1E-15
JS	Taban pn doyma akımı alanı	Amp . metre ²	0	1E-8
PB	Taban pn potansiyeli	Volt	0.8	0.75
CBD	Taban-Savak sıfır kutuplama pn kapasitesi	Farad	0	5PF
CBS	Taban-Kaynak sıfır kutuplama pn kapasitesi	Farad	0	2PF
MJ	Taban pn dip derecelendirme sabiti		0.5	

MJSW	Taban pn yan duvar derecelendirme sabiti		0.33	
FC	Taban pn ileri kutuplama kapasite sabiti		0.5	
CGSO	Geçit-Kaynak örtüşme kapasitesi / Kanal genişliği	Farad/metre	0	
CGDO	Geçit-Savak örtüşme kapasitesi / Kanal genişliği	Farad/metre	0	
CGBO	Geçit-Taban örtüşme kapasitesi / Kanal uzunluğu	Farad/metre	0	
NSUB	Taban katkı yoğunluğu	1/cm ³	0	
NSS	Yüzey yoğunluğu	1/cm ³	0	
TOX	Oksit kalınlığı	metre	∞	
XJ	Metallurjik jonksiyon derinliği	metre	0	
UO	Yüzey mobilitesi	cm ² .Volt . sn	600	
UCRIT	Mobilite azalma kritik alanı (LEVEL=2)	Volt/cm	1E4	
UEXP	Mobilite azalma exponenti (LEVEL=2)		0	
VMAX	Maksimum kayma hızı	metre/sn	0	
NEFF	Kanal şarj sabiti (LEVEL=2)		1	
DELTA	Eşikte genişlik etkisi		0	
THETA	Mobilite modülasyonu (LEVEL= 3)	Volt ⁻¹	0	
ETA	Statik geribesleme (LEVEL=3)		0	
KAPPA	Doyma alan faktörü (LEVEL=3)		0.2	
KF	Titreme gürültüsü sabiti		0	1E-26
AF	Titreme gürültüsü eksponenti		1	1.2

6.2 Proses Parametreleri İle Simülasyon

Tasarlanacak olan gerçek devrelerin TUBİTAK'a ait prosesle üretilmeleri halinde davranışlarını görmek amacıyla aşağıda verilen parametreler ile simülasyonları yapılmıştır.

Parametre	PMOS	NMOS	Birim
LEVEL	2	2	-
VT	-0.88	0.78	V
KP	14E-6	42E-6	A/V ²
GAMMA	0.8	0.1	V ^{1/2}
PHI	0.72	0.57	V
LAMBDA	0.033	0.033	V ⁻¹
UCRIT	6E4	7E4	V/cm
UEXP	0.13	0.11	-
CJ	6E-4	1E-4	F/m ²
CJSW	3.4E-10	3.9E-10	F/m
MJ	0.5	0.5	-
MJSW	0.33	0.33	-
CGDO	0.76E-9	0.76E-9	F/m
CGSO	0.76E-9	0.76E-9	F/m
JS	0.35E-6	0.26E-3	A/m ²

6.2.1 Çalışma Noktası Analizi

İlk olarak devrelerin girişlerine hiçbir işaret uygulanmadığında devrenin düğüm gerilimleri, kaynaktan çekilecek akımlar ve devrede harcanan güç üzerine bir analiz yapılmıştır. Bu analiz için kullanılan SPICE tanım dosyası örnekleri aşağıdadır.

CCII+ devresi için:

```

CCII+ AKIM TAŞIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 1 NQMOS W=60U L=3U
M2 7 7 2 2 NQMOS W=60U L=3U
M3 6 6 4 4 PQMOS W=60U L=3U
M4 7 6 4 4 PQMOS W=60U L=3U
M5 8 6 4 4 PQMOS W=60U L=3U
M6 3 6 4 4 PQMOS W=60U L=3U
M7 1 8 5 5 NQMOS W=60U L=3U
M8 8 8 5 5 NQMOS W=60U L=3U
M9 2 9 5 5 NQMOS W=60U L=3U
M10 4 4 9 9 NQMOS W=6U L=51U
M11 9 9 5 5 NQMOS W=60U L=3U
M12 3 10 5 5 NQMOS W=60U L=3U

```

```

M13 4 4 10 10 NQMOS W=6U L=51U
M14 10 10 5 5 NQMOS W=60U L=3U
RX 2 0 1K
VI 1 0 DC 0V
VO 3 0 DC 0V
.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8
+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.OP
.END

```

CCII- devresi için ise:

```

CCII- AKIM TASIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 1 NQMOS W=60U L=3U
M2 7 7 2 2 NQMOS W=60U L=3U
M3 6 6 4 4 PQMOS W=60U L=3U
M4 7 6 4 4 PQMOS W=60U L=3U
M5 8 6 4 4 PQMOS W=60U L=3U
M6 9 6 4 4 PQMOS W=60U L=3U
M7 1 8 5 5 NQMOS W=60U L=3U
M8 8 8 5 5 NQMOS W=60U L=3U
M9 9 9 5 5 NQMOS W=60U L=3U
M10 3 9 5 5 NQMOS W=60U L=3U
M11 2 10 5 5 NQMOS W=60U L=3U
M12 10 10 5 5 NQMOS W=60U L=3U
M13 4 4 10 10 NQMOS W=6U L=51U
M14 4 11 3 3 NQMOS W=60U L=3U
M15 11 11 5 5 NQMOS W=60U L=3U
M16 4 4 11 11 NQMOS W=6U L=51U
RX 2 0 1K
VI 1 0 DC 0V
VO 3 0 DC 0V
.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8
+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.OP
.END

```

Bu analize ait sonuçlar ise aşağıdaki gibidir.

CCII+ devresi için:

**** 05/02/95 05:05:00 ***** PSpice 5.0a (Sep 1991) ***** ID# 68726 ****

CCII+ AKIM TASIYICI

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE
VOLTAGE

(1) 0.0000 (2) -.0334 (3) 0.0000 (4) 5.0000
(5) -5.0000 (6) 2.9081 (7) 1.3785 (8) -3.5216
(9) -3.5716 (10) -3.5716

VOLTAGE SOURCE CURRENTS
NAME CURRENT

VDD -1.053E-03
VSS 1.186E-03
VI -7.479E-05
VO -2.460E-05

TOTAL POWER DISSIPATION 1.12E-02 WATTS

CCII- devresi için alınan sonuçlar ise:

**** 05/31/95 06:37:24 ***** PSpice 5.0a (Sep 1991) ***** ID# 68726 ****

CCII- AKIM TASIYICI

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE
VOLTAGE

(1) 0.0000 (2) -.0334 (3) 0.0000 (4) 5.0000
(5) -5.0000 (6) 2.9081 (7) 1.3785 (8) -3.5216
(9) -3.5216 (10) -3.5716 (11) -3.5716

VOLTAGE SOURCE CURRENTS
NAME CURRENT

VDD -1.082E-03
VSS 1.422E-03
VI -7.479E-05
VO -2.321E-04

TOTAL POWER DISSIPATION 1.25E-02 WATTS

6.2.2 DC Analiz

Devrelerin görevlerini tam olarak yerine getirebilmeleri için, devrelerde kullanılan tüm akım aynalarının lineer olarak çalışması gerekir. Bu nedenle akım taşıyıcıların giriş ve çıkışlarına ilişkin akım veya gerilim sınır değerlerinin bilinmesi önemlidir. Bu değerleri test etmek amacıyla Şekil 4.3'te görülen devreler için akım taşıyıcıların lineer bölgede çalışma koşulları araştırılmıştır.

a) Bu amaçla ilk olarak şekilde görülen devrelerde direnç değerleri $R_x = 100\text{Mohm}$, $R_z = 0\text{ ohm}$ (Yani X girişi açık devre, Z çıkışı ise kısa devre) alınmıştır. Daha sonra devrelerin Y girişlerine $-3 \leq V_y \leq +3$ aralığında değişen bir DC tarama gerilimi uygulanmıştır. Bu koşullar altında yapılan simülasyonlarda V_x geriliminin V_y 'yi hangi değerler arasında takip ettiği incelenmiştir. Yukarıda verilen MOSFET parametreleri için ölçüm yapıldığında V_x 'in V_y 'yi -2.8V ile $+2.4\text{V}$ arasında lineer olarak izlediği görülmüştür.

CCII+ devresi için bu analize ait SPICE tanım dosyası:

CCII+ AKIM TAŞIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=60U L=3U

M2 7 7 2 2 NQMOS W=60U L=3U

M3 6 6 4 4 PQMOS W=60U L=3U

M4 7 6 4 4 PQMOS W=60U L=3U

M5 8 6 4 4 PQMOS W=60U L=3U

M6 3 6 4 4 PQMOS W=60U L=3U

M7 1 8 5 5 NQMOS W=60U L=3U

M8 8 8 5 5 NQMOS W=60U L=3U

M9 2 9 5 5 NQMOS W=60U L=3U

M10 4 4 9 9 NQMOS W=6U L=51U

M11 9 9 5 5 NQMOS W=60U L=3U

M12 3 10 5 5 NQMOS W=60U L=3U

M13 4 4 10 10 NQMOS W=6U L=51U

M14 10 10 5 5 NQMOS W=60U L=3U

RX 2 0 100MEG

VO 3 0 DC 0V

VY 1 0 DC 0V

.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8
+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.DC VY -3V 0V 0.1V

.PROBE

```

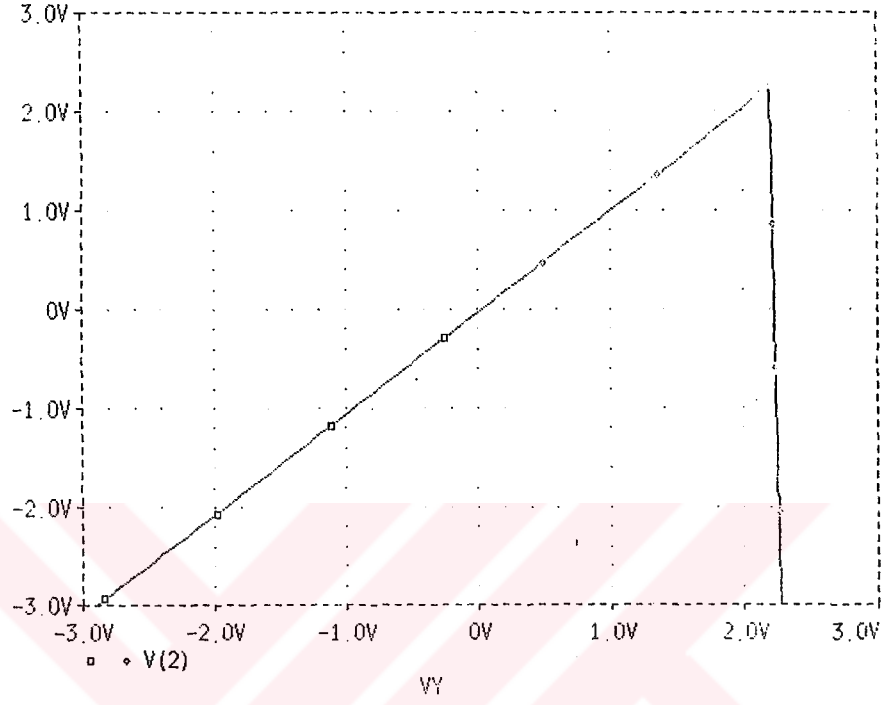
.END
CCII+ AKIM TASIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 1 NQMOS W=60U L=3U
M2 7 7 2 2 NQMOS W=60U L=3U
M3 6 6 4 4 PQMOS W=60U L=3U
M4 7 6 4 4 PQMOS W=60U L=3U
M5 8 6 4 4 PQMOS W=60U L=3U
M6 3 6 4 4 PQMOS W=60U L=3U
M7 1 8 5 5 NQMOS W=60U L=3U
M8 8 8 5 5 NQMOS W=60U L=3U
M9 2 9 5 5 NQMOS W=60U L=3U
M10 4 4 9 9 NQMOS W=6U L=51U
M11 9 9 5 5 NQMOS W=60U L=3U
M12 3 10 5 5 NQMOS W=60U L=3U
M13 4 4 10 10 NQMOS W=6U L=51U
M14 10 10 5 5 NQMOS W=60U L=3U
RX 2 0 100MEG
VO 3 0 DC 0V
VY 1 0 DC 0V
.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8
+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +3V 0.1V
.PROBE
.END

```

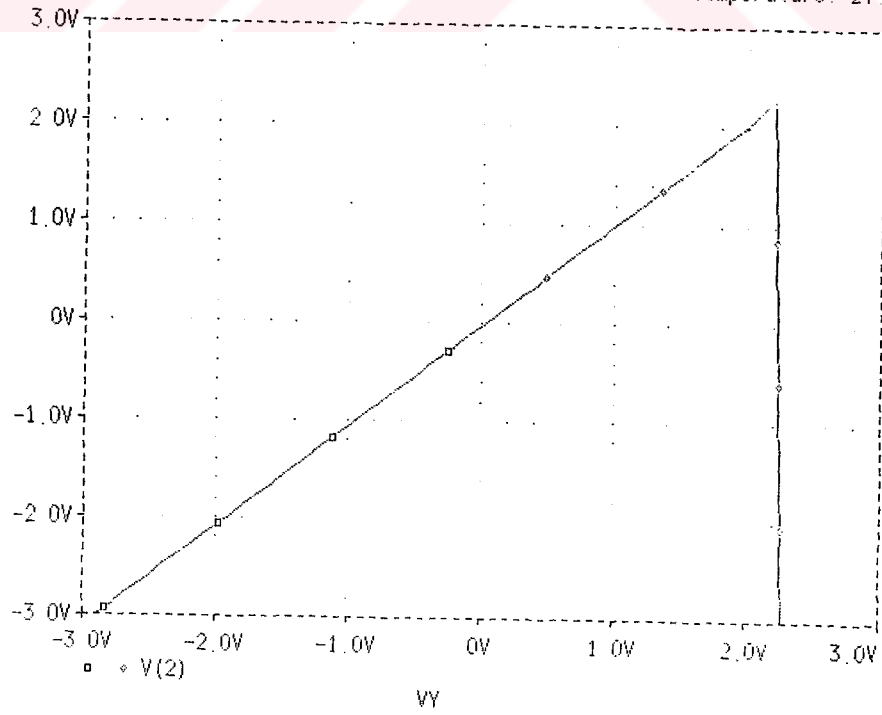
SPICE programı DC analizde hesap yaparken yakınsama problemi çıkmaması için -3V ile +3V arasındaki analiz iki aşamalı olarak yapılmaktadır. Önce -3V ile 0V arasındaki bölge için, daha sonra ise 0V ile +3V arasındaki bölge için analiz yapılmıştır.

Bu analize ait sonuçlar Şekil 6.1'de verilmiştir. (Bu ve bundan sonraki tüm grafiklerde $V(1)=V_Y$, $V(2)=V_X$ ve $V(3)=V_Z$ 'tir. SPICE tanım dosyasındaki 1, 2 ve 3 no'lu düğümler sırasıyla Y, X ve Z uçlarına denk düşmektedir.)

CCII+ AKIM TAŞIYICI
Date/Time run: 05/02/95 05:21:41 Temperature: 27.0



CCII- AKIM TAŞIYICI
Date/Time run: 05/31/95 06:47:38 Temperature: 27.0



Şekil 6.1. Devrelere ait V_x - V_y grafikleri

b) İkinci olarak devredeki $R_z = 0$ ohm alınmış ve R_x 'in 1k, 5k ve 10k değerleri için ayrı ayrı olmak üzere V_y genliği $-2V \leq V_y \leq +2V$ arasında değişen bir DC tarama gerilimi uygulanmıştır. Bu koşullar altında yapılan simülasyonlarda I_z akımının her direnç değeri için değişen eğimde olmak üzere V_y giriş gerilimiyle belli aralıklarda lineer olarak değiştiği saptanmıştır.

CCII+ devresi için bu analize ait SPICE tanım dosyası:

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=60U L=3U

M2 7 7 2 2 NQMOS W=60U L=3U

M3 6 6 4 4 PQMOS W=60U L=3U

M4 7 6 4 4 PQMOS W=60U L=3U

M5 8 6 4 4 PQMOS W=60U L=3U

M6 3 6 4 4 PQMOS W=60U L=3U

M7 1 8 5 5 NQMOS W=60U L=3U

M8 8 8 5 5 NQMOS W=60U L=3U

M9 2 9 5 5 NQMOS W=60U L=3U

M10 4 4 9 9 NQMOS W=6U L=51U

M11 9 9 5 5 NQMOS W=60U L=3U

M12 3 10 5 5 NQMOS W=60U L=3U

M13 4 4 10 10 NQMOS W=6U L=51U

M14 10 10 5 5 NQMOS W=60U L=3U

RX 2 0 5K

VO 3 0 DC 0V

VY 1 0 DC 0V

.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8

+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4

+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1

+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4

+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.DC VY 0V -2V 0.1V

.PROBE

.END

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=60U L=3U

M2 7 7 2 2 NQMOS W=60U L=3U

M3 6 6 4 4 PQMOS W=60U L=3U

M4 7 6 4 4 PQMOS W=60U L=3U

M5 8 6 4 4 PQMOS W=60U L=3U

M6 3 6 4 4 PQMOS W=60U L=3U

```

M7 1 8 5 5 NQMOS W=60U L=3U
M8 8 8 5 5 NQMOS W=60U L=3U
M9 2 9 5 5 NQMOS W=60U L=3U
M10 4 4 9 9 NQMOS W=6U L=50.922U
M11 9 9 5 5 NQMOS W=60U L=3U
M12 3 10 5 5 NQMOS W=60U L=3U
M13 4 4 10 10 NQMOS W=6U L=50.995U
M14 10 10 5 5 NQMOS W=60U L=3U
RX 2 0 5K
VO 3 0 DC 0V
VY 1 0 DC 0V
.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8
+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=-0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +2V 0.1V
.PROBE
.END

```

CCII- devresi için de benzer şekilde:

```

CCII- AKIM TASIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 1 NQMOS W=60U L=3U
M2 7 7 2 2 NQMOS W=60U L=3U
M3 6 6 4 4 PQMOS W=60U L=3U
M4 7 6 4 4 PQMOS W=60U L=3U
M5 8 6 4 4 PQMOS W=60U L=3U
M6 9 6 4 4 PQMOS W=60U L=3U
M7 1 8 5 5 NQMOS W=60U L=3U
M8 8 8 5 5 NQMOS W=60U L=3U
M9 9 9 5 5 NQMOS W=60U L=3U
M10 3 9 5 5 NQMOS W=60U L=3U
M11 2 10 5 5 NQMOS W=60U L=3U
M12 10 10 5 5 NQMOS W=60U L=3U
M13 4 4 10 10 NQMOS W=6U L=51U
M14 4 11 3 3 NQMOS W=60U L=3U
M15 11 11 5 5 NQMOS W=60U L=3U
M16 4 4 11 11 NQMOS W=6U L=51U
RX 2 0 5K
VO 3 0 DC 0V
VY 1 0 DC 0V
.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8

```

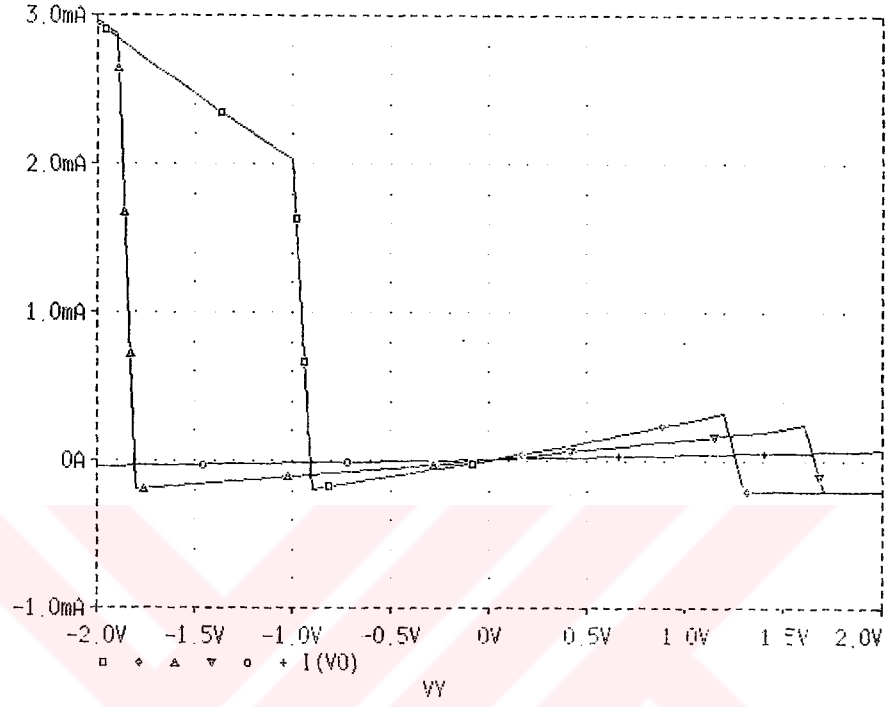
```

+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V -2V 0.1V
.PROBE
.END
CCII- AKIM TASIYICI
VDD 4 0 DC 5V
VSS 5 0 DC -5V
M1 6 7 1 1 NQMOS W=60U L=3U
M2 7 7 2 2 NQMOS W=60U L=3U
M3 6 6 4 4 PQMOS W=60U L=3U
M4 7 6 4 4 PQMOS W=60U L=3U
M5 8 6 4 4 PQMOS W=60U L=3U
M6 9 6 4 4 PQMOS W=60U L=3U
M7 1 8 5 5 NQMOS W=60U L=3U
M8 8 8 5 5 NQMOS W=60U L=3U
M9 9 9 5 5 NQMOS W=60U L=3U
M10 3 9 5 5 NQMOS W=60U L=3U
M11 2 10 5 5 NQMOS W=60U L=3U
M12 10 10 5 5 NQMOS W=60U L=3U
M13 4 4 10 10 NQMOS W=6U L=51U
M14 4 11 3 3 NQMOS W=60U L=3U
M15 11 11 5 5 NQMOS W=60U L=3U
M16 4 4 11 11 NQMOS W=6U L=51U
RX 2 0 5K
VO 3 0 DC 0V
VY 1 0 DC 0V
.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8
+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC VY 0V +2V 0.1V
.PROBE
.END

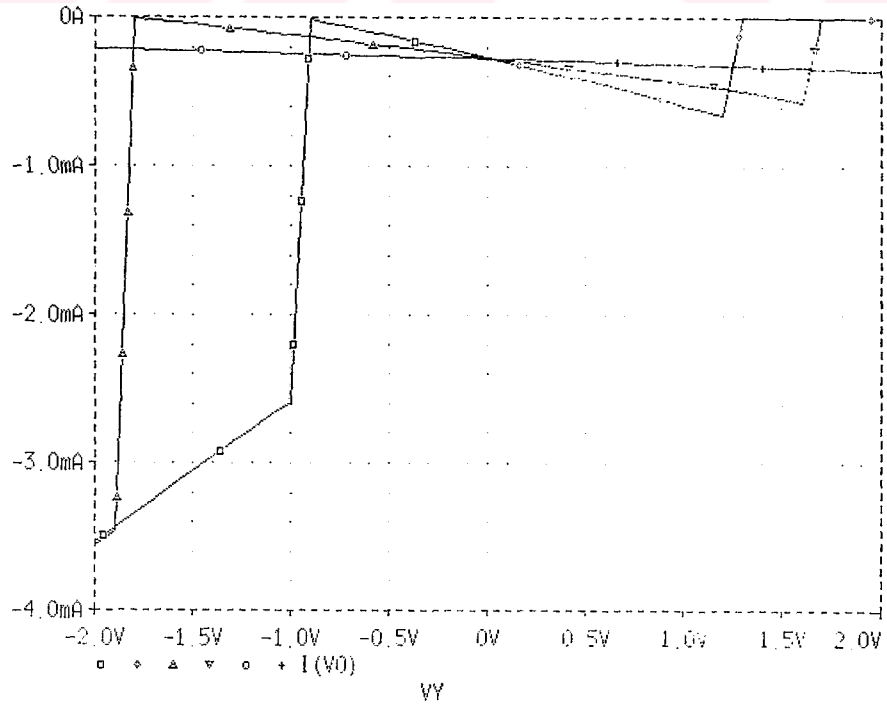
```

Bu analizlere ait sonuç grafikleri Şekil 6.2'de görülmektedir.

CCII+ AKIM TASIYICI
Date/Time run: 05/02/95 05:29:15 Temperature: 27.0



CCII- AKIM TASIYICI
Date/Time run: 05/31/95 06:54:32 Temperature: 27.0



Şekil 6.2. Devrelere ait i_x - V_y grafikleri ($R_x=1k, 5k$ ve $10k$ için)

c) Son olarak CCII+ devresi için $V_y = 0V$, $R_z = 25k$ olarak alınmış ve X ucuna genliği $-195\mu A \leq I_x \leq +195\mu A$ aralığında değişen bir akım kaynağı bağlanmıştır. Bu koşullar altında V_z geriliminin söz konusu aralıkta ne şekilde değiştiği incelenmiş ve sonuçta bu değişimin yaklaşık olarak lineer olduğu saptanmıştır.

Bu analize ait SPICE tanım dosyası:

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=60U L=3U

M2 7 7 2 2 NQMOS W=60U L=3U

M3 6 6 4 4 PQMOS W=60U L=3U

M4 7 6 4 4 PQMOS W=60U L=3U

M5 8 6 4 4 PQMOS W=60U L=3U

M6 3 6 4 4 PQMOS W=60U L=3U

M7 1 8 5 5 NQMOS W=60U L=3U

M8 8 8 5 5 NQMOS W=60U L=3U

M9 2 9 5 5 NQMOS W=60U L=3U

M10 4 4 9 9 NQMOS W=6U L=51U

M11 9 9 5 5 NQMOS W=60U L=3U

M12 3 10 5 5 NQMOS W=60U L=3U

M13 4 4 10 10 NQMOS W=6U L=51U

M14 10 10 5 5 NQMOS W=60U L=3U

RZ 3 0 25K

VY 1 0 DC 0V

IX 2 0 DC 0UA

.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8
+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.DC IX 0UA -195UA 5UA

.PROBE

.END

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=60U L=3U

M2 7 7 2 2 NQMOS W=60U L=3U

M3 6 6 4 4 PQMOS W=60U L=3U

M4 7 6 4 4 PQMOS W=60U L=3U

M5 8 6 4 4 PQMOS W=60U L=3U

M6 3 6 4 4 PQMOS W=60U L=3U

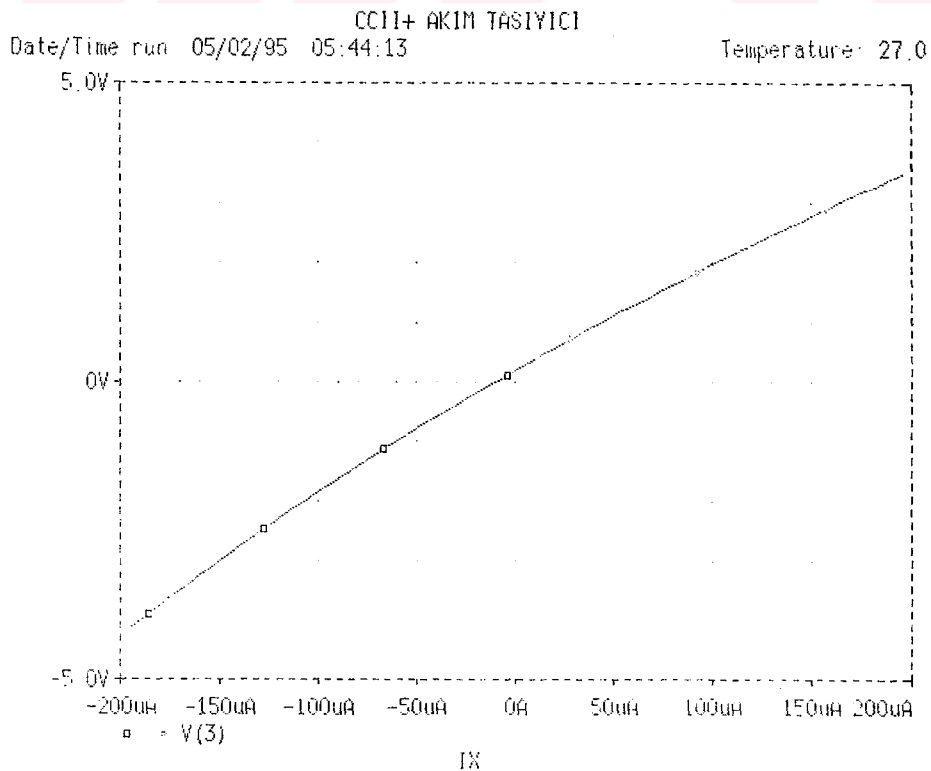
M7 1 8 5 5 NQMOS W=60U L=3U

```

M8 8 8 5 5 NQMOS W=60U L=3U
M9 2 9 5 5 NQMOS W=60U L=3U
M10 4 4 9 9 NQMOS W=6U L=51U
M11 9 9 5 5 NQMOS W=60U L=3U
M12 3 10 5 5 NQMOS W=60U L=3U
M13 4 4 10 10 NQMOS W=6U L=51U
M14 10 10 5 5 NQMOS W=60U L=3U
RZ 3 0 25K
VY 1 0 DC 0V
IX 2 0 DC 0UA
.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8
+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4
+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1
+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4
+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9)
.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V
.DC IX +195UA 0UA 5UA
.PROBE
.END

```

Bu analize ait sonuç grafiği Şekil 6.3'te görülmektedir.



Şekil 6.3. CCII+ devresine ait V_Z-i_X grafiği

6.2.3 AC Analiz

Aynı devrelerin AC şartlarda davranışlarını incelemek ve frekans karakteristiklerini çıkarmak için Şekil 5.1'de görülen bağlantı yapısı kullanılarak bir gerilim kuvvetlendirici devresi oluşturulmuştur. Bu devrelerin gerilim kazancını $V_Z/V_Y = R_Z/R_X$ ile hesaplamak mümkündür. $((V_Z/V_Y)_{dB} = 20 \log(R_Z/R_X))$.

Bu durumda R_Z direnci 10k olarak sabit tutulmuş ve R_X direncinin 1k, 5k ve 10k değerleri için V_Y girişlerine genliği 100mV olan ve frekansı 1Hz ile 100MHz arasında değişen bir AC tarama gerilimi uygulanmıştır. Bu test koşulları altında V_X/V_Y ve V_Z/V_Y gerilim transfer karakteristikleri incelenmiştir.

Bu analize ait SPICE tanım dosyaları aşağıdadır.

CCII+ devresi için:

CCII+ AKIM TASIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=60U L=3U

M2 7 7 2 2 NQMOS W=60U L=3U

M3 6 6 4 4 PQMOS W=60U L=3U

M4 7 6 4 4 PQMOS W=60U L=3U

M5 8 6 4 4 PQMOS W=60U L=3U

M6 3 6 4 4 PQMOS W=60U L=3U

M7 1 8 5 5 NQMOS W=60U L=3U

M8 8 8 5 5 NQMOS W=60U L=3U

M9 2 9 5 5 NQMOS W=60U L=3U

M10 4 4 9 9 NQMOS W=6U L=51U

M11 9 9 5 5 NQMOS W=60U L=3U

M12 3 10 5 5 NQMOS W=60U L=3U

M13 4 4 10 10 NQMOS W=6U L=51U

M14 10 10 5 5 NQMOS W=60U L=3U

RX 2 0 1K

RZ 3 0 10K

VG 1 0 DC 0V AC 100MV

.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8

+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4

+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9 VMAX=1E6)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1

+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4

+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9 VMAX=1E6)

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.AC DEC 10 0.1 100MEGHZ

.PLOT AC VDB(3) V(3) VP(3)

.PROBE

.END

CCII- devresi için ise:

CCII- AKIM TAŞIYICI

VDD 4 0 DC 5V

VSS 5 0 DC -5V

M1 6 7 1 1 NQMOS W=60U L=3U

M2 7 7 2 2 NQMOS W=60U L=3U

M3 6 6 4 4 PQMOS W=60U L=3U

M4 7 6 4 4 PQMOS W=60U L=3U

M5 8 6 4 4 PQMOS W=60U L=3U

M6 9 6 4 4 PQMOS W=60U L=3U

M7 1 8 5 5 NQMOS W=60U L=3U

M8 8 8 5 5 NQMOS W=60U L=3U

M9 9 9 5 5 NQMOS W=60U L=3U

M10 3 9 5 5 NQMOS W=60U L=3U

M11 2 10 5 5 NQMOS W=60U L=3U

M12 10 10 5 5 NQMOS W=60U L=3U

M13 4 4 10 10 NQMOS W=6U L=51U

M14 4 11 3 3 NQMOS W=60U L=3U

M15 11 11 5 5 NQMOS W=60U L=3U

M16 4 4 11 11 NQMOS W=6U L=51U

RX 2 0 1K

RZ 3 0 10K

VG 1 0 DC 0V AC 100MV

.MODEL PQMOS PMOS (LEVEL=2 VTO=-0.88 KP=14E-6 GAMMA=0.8

+ PHI=0.72 LAMBDA=0.033 UCRIT=6E4 UEXP=0.13 JS=0.35E-6 CJ=6E-4

+ MJ=0.5 CJSW=3.4E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9 VMAX=1E6)

.MODEL NQMOS NMOS (LEVEL=2 VTO=0.78 KP=42E-6 GAMMA=0.1

+ PHI=0.57 LAMBDA=0.033 UCRIT=7E4 UEXP=0.11 JS=0.26E-3 CJ=1E-4

+ MJ=0.5 CJSW=3.9E-10 MJSW=0.33 CGDO=0.76E-9 CGSO=0.76E-9 VMAX=1E6)

.NODESET V(2)=0V V(3)=0V V(4)=0V V(5)=0V V(6)=0V V(7)=0V

.AC DEC 10 0.1 100MEGHZ

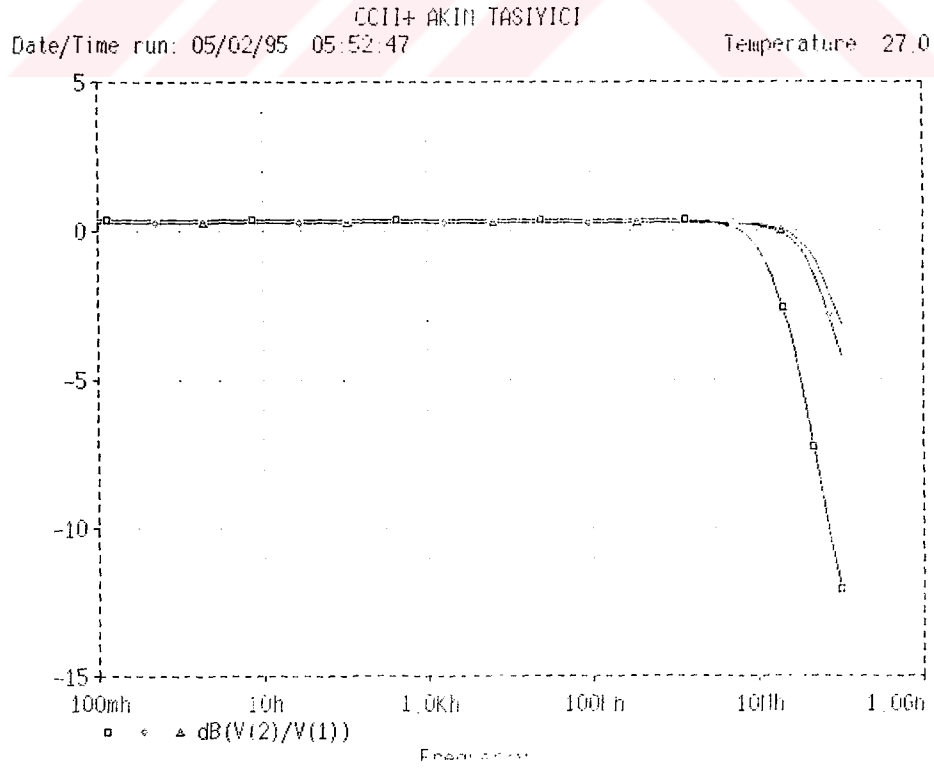
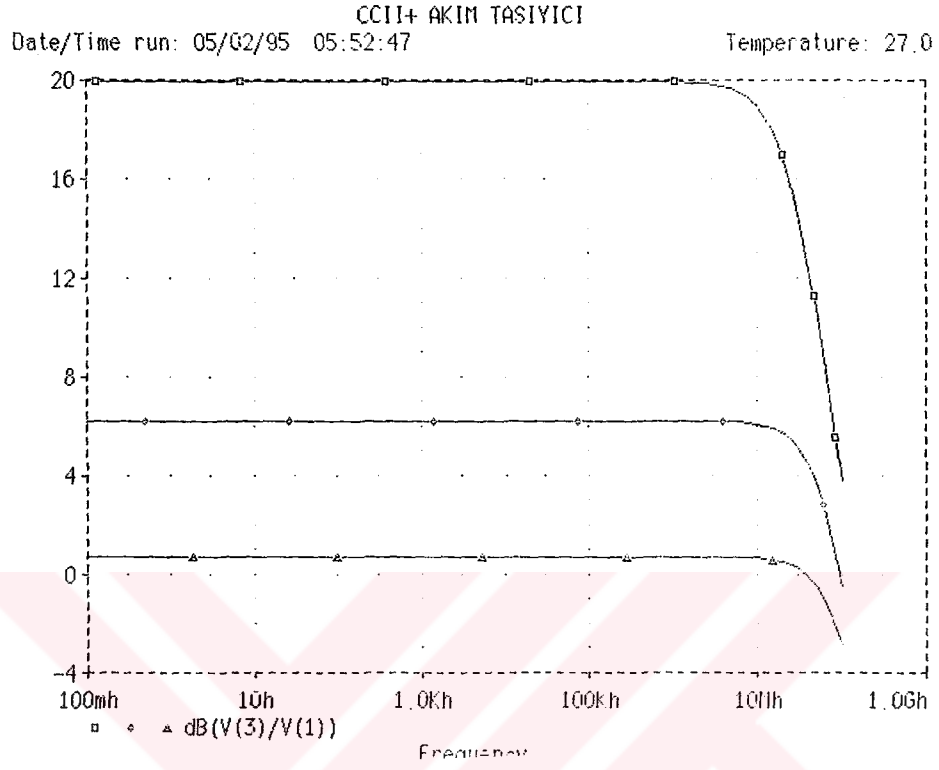
.PLOT AC VDB(3) V(3) VP(3)

.PROBE

.END

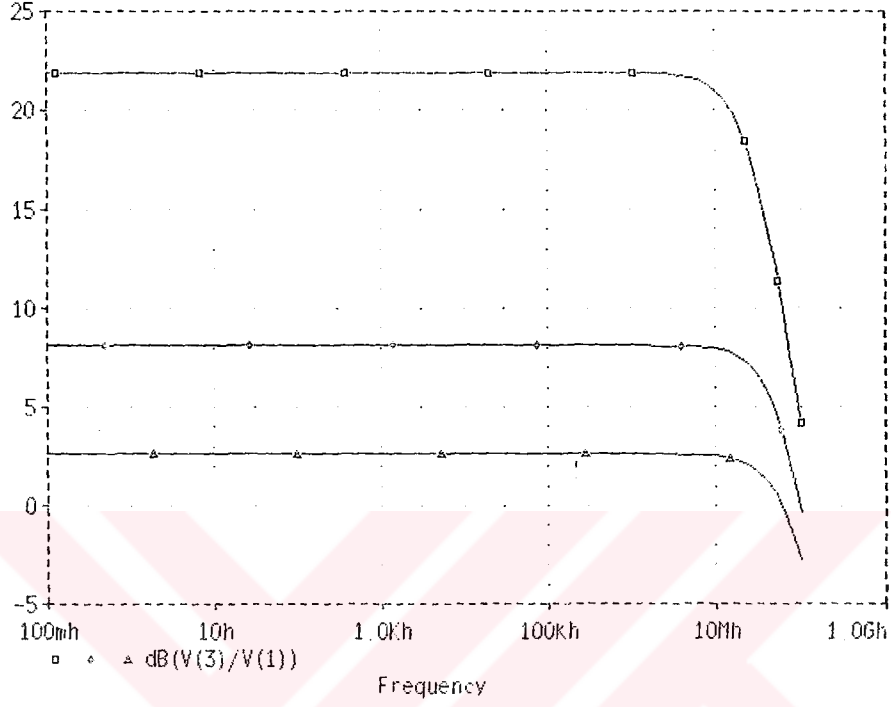
Bu analiz için CCII+ devresine ait sonuç grafikleri Şekil 6.4'te, CCII- devresine ait sonuç grafikleri ise Şekil 6.5'te görülmektedir.

Yapılan analizler sonucu elde edilen sonuçlar, devrelerin bu parametreler ile üretildikleri takdirde istenen özellikleri sağlayacaklarını ve akım taşıyıcı olarak kullanılabileceklerini göstermektedir.

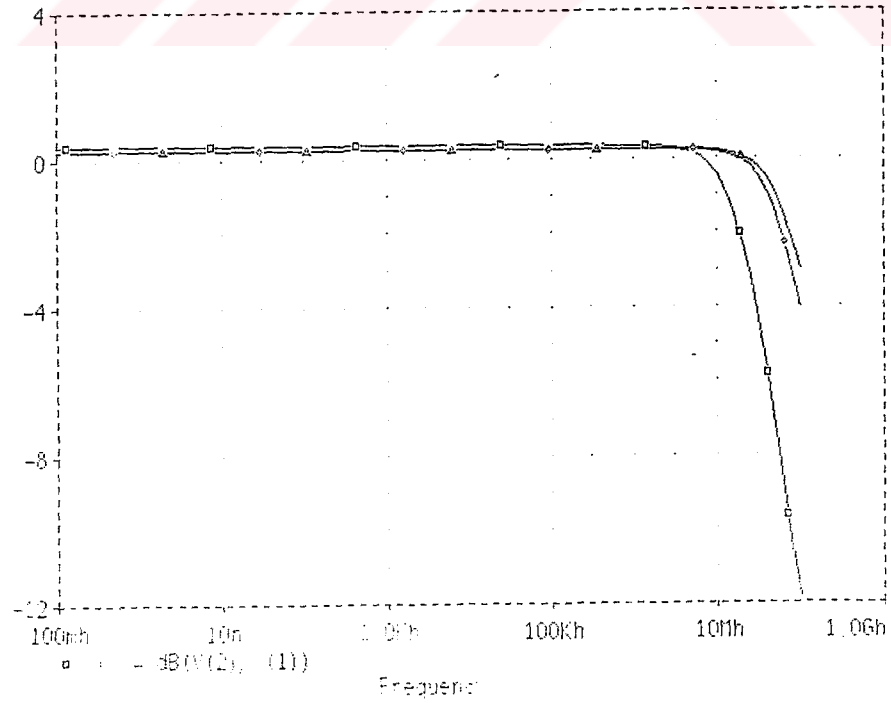


Şekil 6.4. CCII+ devresi gerilim kuvvetlendiricisi olarak çalıştırıldığında X-Y ve Z-Y uçlarına ilişkin elde edilen AC gerilim transfer karakteristikleri

CCII- AKIM TAŞIYICI
Date/Time run: 05/31/95 07:11:14 Temperature: 27.0



CCII- AKIM TAŞIYICI
Date/Time run: 05/31/95 07:11:14 Temperature: 27.0



Şekil 6.5. CCII- devresi gerilim kuvvetlendiricisi olarak çalıştırıldığında X-Y ve Z-Y uçlarına ilişkin elde edilen AC gerilim transfer karakteristikleri

7. SERİM (LAYOUT) TASARIMI

Devrede kullanılan transistörlerin kırımk üzerindeki gerçek görünüşleri ve birbirleriyle bağlantıları çalışmanın bu aşamasında belirlenmiştir. Tez çalışmasının en uzun süren bu aşamasında devrelerin gerçekleştirilmesi için ful-custom tasarım biçimi kullanılmış olup dikkat edilen başlıca kurallar, devrede en az sayıda ve mümkün olan en kısa uzunlukta bağlantılar kullanmak, en az kırımk alanı harcamak ve parazitik etkileri minimize edecek tarzda bir tasarım gerçekleştirmektir.

Bu özellikleri sağlayacağı düşünülen ilk serim öncelikle kağıt üzerinde çizilmiş, daha sonra L-EDIT programı yardımıyla bilgisayar ortamında gerçekleştirilmiştir. Bu aşamada ilk düşünülen serim defalarca değiştirilerek yukarıda bahsedilen kurallara daha iyi uyacak hale getirilmiştir.

7.1 L-EDIT Programı

Tüm bu işlemler için kullanılan L-EDIT programını kısaca tanıtalım. L-EDIT, kullanıcıya entegre devre maskelerinin geometrilerini oluşturma ve değiştirme imkanı veren bir grafik editördür. EGA grafik standardını destekleyen tüm PC'lerde kullanılabilecek olan programın bellek ihtiyacı da 640KB ile sınırlı olup mouse (fare) kullanılarak gerçekleştirilebilecek olan çizimler oldukça pratik bir kullanım sağlamaktadır.

Entegre devre üretiminde kullanılan her katman ayrı bir renk ile gösterilmekte olup, her katmanda dikdörtgen şeklinde alanlar, istenen uzunluk ve genişlikte hatlar, belli geometrik biçimlerin birarada oluşturduğu hücreler, vb oluşturulabilmektedir.

L-EDIT programı kendi özgün dosya formatı olan TDB (Tanner DataBase) dışında CIF ve GDS II gibi formatları da desteklemektedir.

7.2 Tasarım Kuralları

Devrenin tasarımında kullanılan tasarım kuralları aşağıdaki tablolarda belirtilmiştir.

TÜBİTAK-YİTAL 3µm Poli Geçitli CMOS Prosesi Tasarım Kuralları

<u>N-Kuyu</u>	<u>Mikron</u>
Minimum N-Kuyu Genişliği	6
Minimum N-Kuyu - N-Kuyu Açıklığı	14
Minimum N-Kuyu - Scribe Center Açıklığı	90
<u>Aktif</u>	<u>Mikron</u>
Minimum Aktif Genişliği	3
Minimum n ⁺ Aktif p ⁺ Aktif Açıklığı	4
Minimum Aktif - Aktif Açıklığı	4
Minimum N-Kuyu p ⁺ Aktif Örtüşmesi	2

Minimum N-Kuyu p^+ Aktif (N-Kuyu Dışı) Açıklığı	6
Minimum N-Kuyu n^+ Aktif (N-Kuyu Dışı) Açıklığı	10
Minimum Aktif - Scribe Center Açıklığı	90
Minimum N-Kuyu n^+ Aktif Örtüşmesi	0

<u>Geçit Polisilisyumu</u>	<u>Mikron</u>
Minimum Poli Genişliği	3
Minimum Poli - Poli Açıklığı	3
Minimum Geçit Uzunluğu	3
Minimum Poli - Geçit Uzantısı	3
Minimum Poli - Difüzyon Açıklığı	2
Minimum Poli - Scribe Center Açıklığı	90
Minimum Kaynak Savak Genişliği	3

<u>P^+ Difüzyon Katkısı</u>	<u>Mikron</u>
Minimum p^+ Select - p^+ Select Aktif Bölge Örtüşmesi	2
Minimum p^+ Select - n^+ Select Aktif Bölge Aralığı	2
Minimum n^+ Select - p^+ Select Aktif Açıklığı	2
Minimum p^+ Select Penceresi Açıklığı	2
Minimum p^+ Select Penceresi - N Kanal Açıklığı	4
P Kanal Çevresinde Minimum p^+ Select Difüzyon Genişliği	4
Minimum p^+ Select Genişliği	3

<u>Kontak Pencereleeri</u>	<u>Mikron</u>
Minimum Kontak Penceresi Genişliği	3
Maksimum Metal - Aktif Kantağı Genişliği	3
Maksimum Metal - Aktif Kantağı Uzunluğu	10
Kontak - Kontak Açıklığı	3
Minimum Metal-Aktif Kantağı - Difüzyon Örtüşmesi	2
Minimum Difüzyon Kantağı - Adjacent Geçit Açıklığı	3
Minimum Metal-Poli Kantağı Genişlik veya Uzunluğu	3
Maksimum Metal-Poli Kantağı Genişliği	3
Maksimum Metal-Poli Kantağı Uzunluğu	10
Kontak Etrafında Minimum Poli Genişliği	2
Kontak Etrafında Minimum Metal Genişliği	2
Difüzyon Kantağı Çevresinde Minimum Metal Genişliği	2
Poli Kantağı Etrafında Minimum Metal Genişliği	2
Minimum Metal-Poli Kantağı - Aktif Uzaklığı	3
Minimum Butting Kontak Örtüşmesi (İki Yönde)	5

<u>Metalizasyon</u>	<u>Mikron</u>
Minimum Metal Genişliği	4
Minimum Metal - Metal Açıklığı	3
Minimum Metal - Poli Açıklığı	2
Minimum Metal - Poli Örtüşmesi	2
Minimum Aktif Metali - Scribe Center Açıklığı	90
Minimum Bond Pad Metal Boyutu	130
Minimum Test Metali Boyutu	80
Minimum Pad Açıklığı	70
Minimum Pad Metali - Bağlantısız Metal Alanı	40
Minimum Pad Metali - Aktif Açıklığı	40
Minimum Pad Metali - Poli Açıklığı	40
Bond Metali Boyunca Minimum Fillet Genişliği	50
Minimum Fillet Uzunluğu	20
Minimum Bond Pad Metali - Taban Açıklığı	40
Minimum Bond Pad Metali - Scribe Center Uzaklığı	90
Minimum Test Pad Metali - Scribe Center Uzaklığı	75
Maksimum Bond Pad Metali - Scribe Center Uzaklığı	200

Devrenin tasarımında bu kurallara uyulmuştur.

7.3 Devrenin Serimi (Layout'u)

Devrelerin tasarımında transistör geometrileri $W=60\mu m$ $L=3\mu m$ olarak kullanılmış, yalnızca bağımsız akım kaynaklarında direnç görevi gören CCII+'da M10 ve M13, CCII-'de M13 ve M16 transistörlerinin boyutları $W=6\mu m$ $L=51\mu m$ alınmıştır.

Tasarlanan devrenin tümdevrenin bacak bağlantıları Şekil 7.1'de, serimi Şekil 7.2'de, şematik çizimi ise Şekil 7.3'de görülmektedir. Serimde metal hatlar gri, poli siyah, N-kuyu açık gri, aktif koyu gri ve kontaklar da küçük beyaz bölgeler olarak görülmektedir. Sol üst ve sol alt köşedeki devre parçaları CCII+, sağ üst ve sağ alt köşedeki devre parçaları ise CCII- akım taşıyıcılarıdır. (Devrenin serimi Ek-1'de daha büyük olarak görülebilir.)

Devredeki giriş ve çıkışları tanımlayacak olursak :

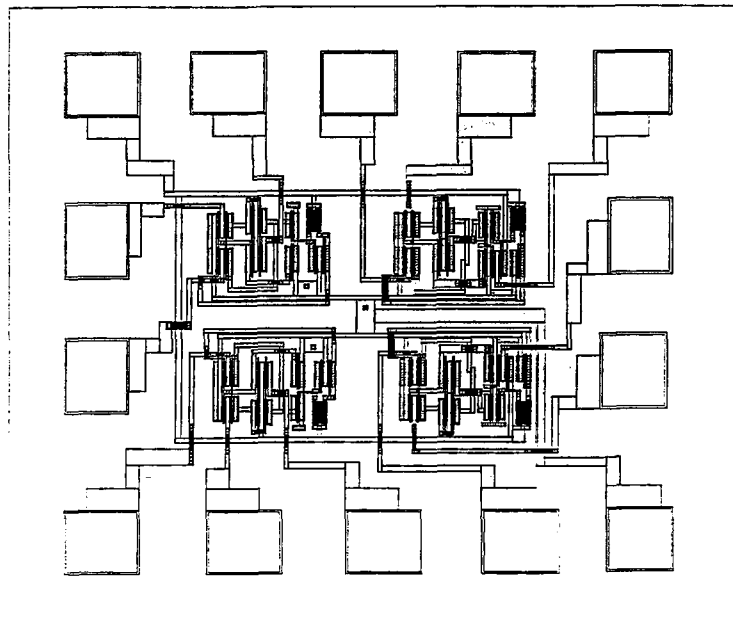
- X1P: Birinci pozitif akım taşıyıcının X girişi
- Y1P: Birinci pozitif akım taşıyıcının Y girişi
- Z1P: Birinci pozitif akım taşıyıcının çıkışı
- X1N: Birinci negatif akım taşıyıcının X girişi
- Y1N: Birinci negatif akım taşıyıcının Y girişi
- Z1N: Birinci negatif akım taşıyıcının çıkışı
- X2P: İkinci pozitif akım taşıyıcının X girişi
- Y2P: İkinci pozitif akım taşıyıcının Y girişi

Z2P: İkinci pozitif akım taşıyıcının çıkışı
X2N: İkinci negatif akım taşıyıcının X girişi
Y2N: İkinci negatif akım taşıyıcının Y girişi
Z2N: İkinci negatif akım taşıyıcının çıkışı
VDD: Tüm devrelerin pozitif besleme ucu
VSS: Tüm devrelerin negatif besleme ucu

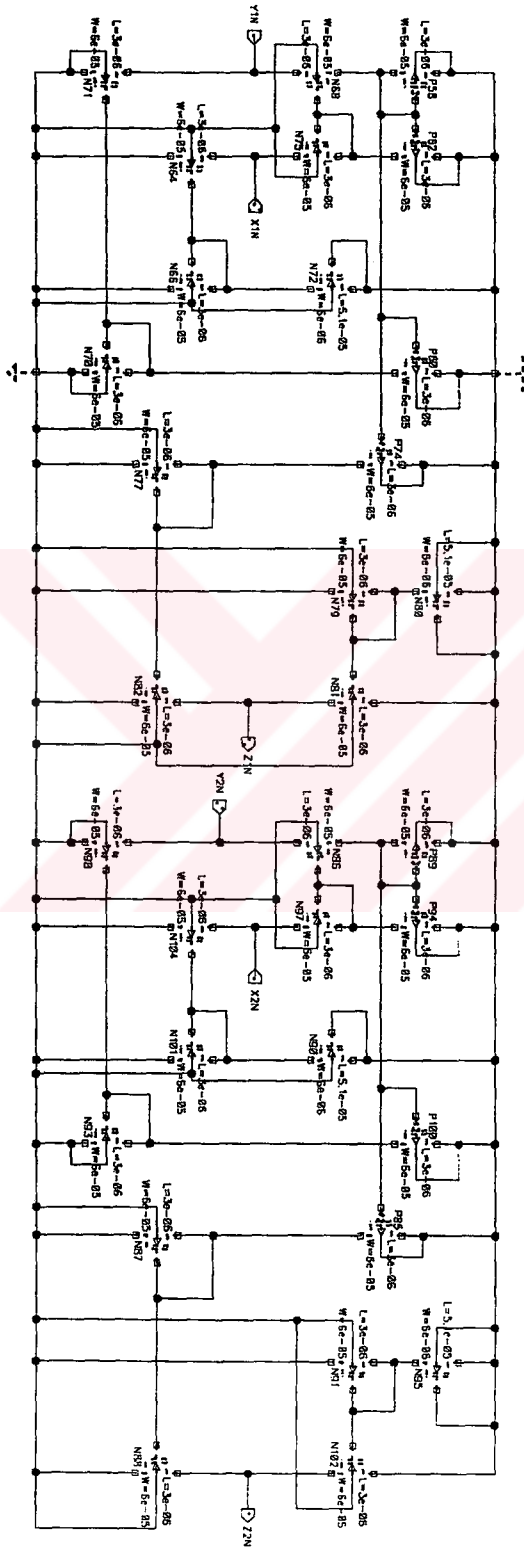
Böylece ortaya 14 bacaklı bir entegre devre yapısı çıkmıştır. Alışılmış biçimiyle pozitif besleme ucu 14. bacağı (sol üst köşe), negatif besleme ucu ise 7. bacağı (sağ alt köşe) denk gelmektedir. Bu bağlantıları şekil üzerinde görelim:



Şekil 7.1. Devrenin bacak bağlantıları



Şekil 7.2. Tasarlanan devrenin serimi (layout'u)



Şekil 7.3. Devrenin şematik çizimi

8. POSTSİMÜLASYON

Geometrilere belirlenmiş olan devre ortaya çıkacak olan parazitik etkilerin de ele alındığı son bir simülasyon aşamasına tabi tutulmuştur. Bu simülasyon, devre Cadence yazılımı tarafından "extract" edildikten sonra ortaya çıkan ve Ek-1'de görülen netlist kullanılarak gerçekleştirilmiştir. Bu netlistte devrede ortaya çıkan parazitik diyot ve kapasitelerin tümü görülmektedir.

Şimdi simülasyon adımlarını inceleyelim.

8.1 Çalışma Noktası Analizi

İlk olarak daha önceki simülasyon değerleri ile karşılaştırmak amacıyla devrenin girişlerine bir işaret uygulanmadığı durumda düğüm gerilimleri ve kaynaklardan çekilen akımlar incelenmiştir. Dikkat edileceği gibi aşağıda görülen bu sonuçlar daha önce yapılan simülasyonlarda bulunan değerlere yakındır. Çekilen güç ise kırmık üzerinde 4 adet akım taşıyıcı bulunduğundan ilk yapılan simülasyonlarda bulunan değer yaklaşık 4 katı (44mW) çıkmaktadır.

```

akim taşıyıcısı
***** copyright 1990 meta-software, inc. *****site:
***** operating point information tnom= 25.000 temp= 25.000
*****
***** operating point status is all simulation time is 0.
node =voltage node =voltage node =voltage

+0:n1 = -5.0000 0:n10 = -5.0000 0:n11 = 1.2276
+0:n13 = 1.2276 0:n14 = -5.0000 0:n16 = -3.6660
+0:n17 = -3.6660 0:n18 = -3.7533 0:n19 = -3.7533
+0:n2 = -5.0000 0:n20 = -3.7533 0:n21 = -3.7533
+0:n22 = -5.0000 0:n25 = -5.0000 0:n26 = 3.3267
+0:n27 = 3.3267 0:n28 = 1.2305 0:n29 = 1.2305
+0:n3 = -5.0000 0:n30 = -3.6627 0:n31 = -3.6627
+0:n32 = -3.6627 0:n33 = -3.6627 0:n34 = -3.7533
+0:n35 = -3.7533 0:n36 = -3.7533 0:n37 = -3.7533
+0:n4 = -5.0000 0:n40 = -5.0000 0:n42 = -5.0000
+0:n44 = -5.0000 0:n47 = -5.0000 0:n48 = -5.0000
+0:n49 = -5.0000 0:n8 = 3.3324 0:n9 = 3.3324
+0:vdd = 5.0000 0:vss = -5.0000 0:x1n = -48.4254m
+0:x1p = -50.5639m 0:x2n = -48.4254m 0:x2p = -50.5639m
+0:y1n = 0. 0:y1p = 0. 0:y2n = 0.
+0:y2p = 0. 0:z1n = -2.2134 0:z1p = -6.6414m
+0:z2n = -2.3755m 0:z2p = -6.6414m

**** voltage sources

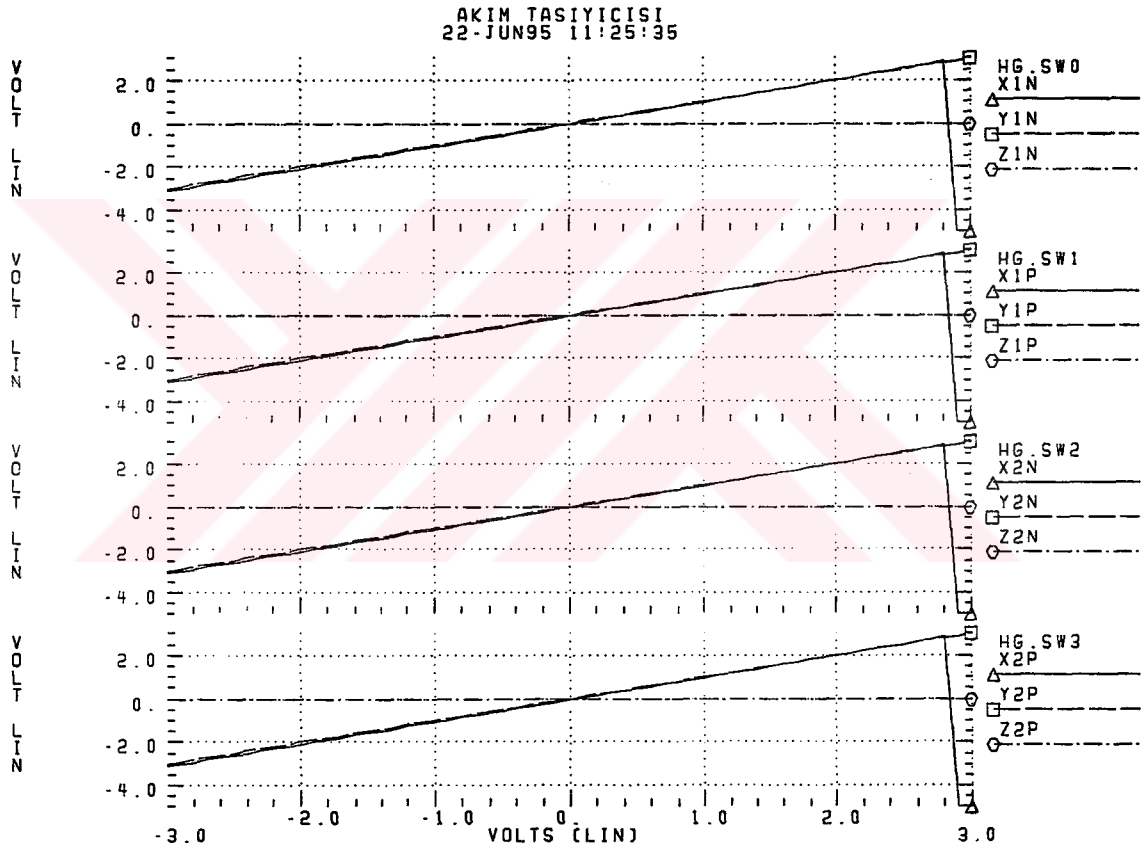
subckt
element 0:v+ 0:v- 0:vy1n 0:vy1p 0:vy2n 0:vy2p
volts 5.0000 -5.0000 0. 0. 0. 0.
current -3.9742m 4.8570m -96.1913u -95.3094u -96.1913u -95.3094u
power 19.8709m 24.2850m 0. 0. 0. 0.

total voltage source power dissipation= 44.1559m watts

```

8.2 DC Analiz

Şekil 8.1'de kırmık üzerinde bulunan dört devre için ayrı ayrı olmak üzere V_x - V_y grafikleri görülmektedir. Bu sonuçlar da yine öncekiler gibi Y girişine uygulanan $-3V \leq V_y \leq +3V$ arasındaki DC tarama gerilimine bağlı olarak X girişindeki V_x gerilim değişimi incelenerek alınmıştır. V_x 'in V_y 'yi yaklaşık olarak $+2.8V$ 'a kadar takip ettiği görülmektedir.

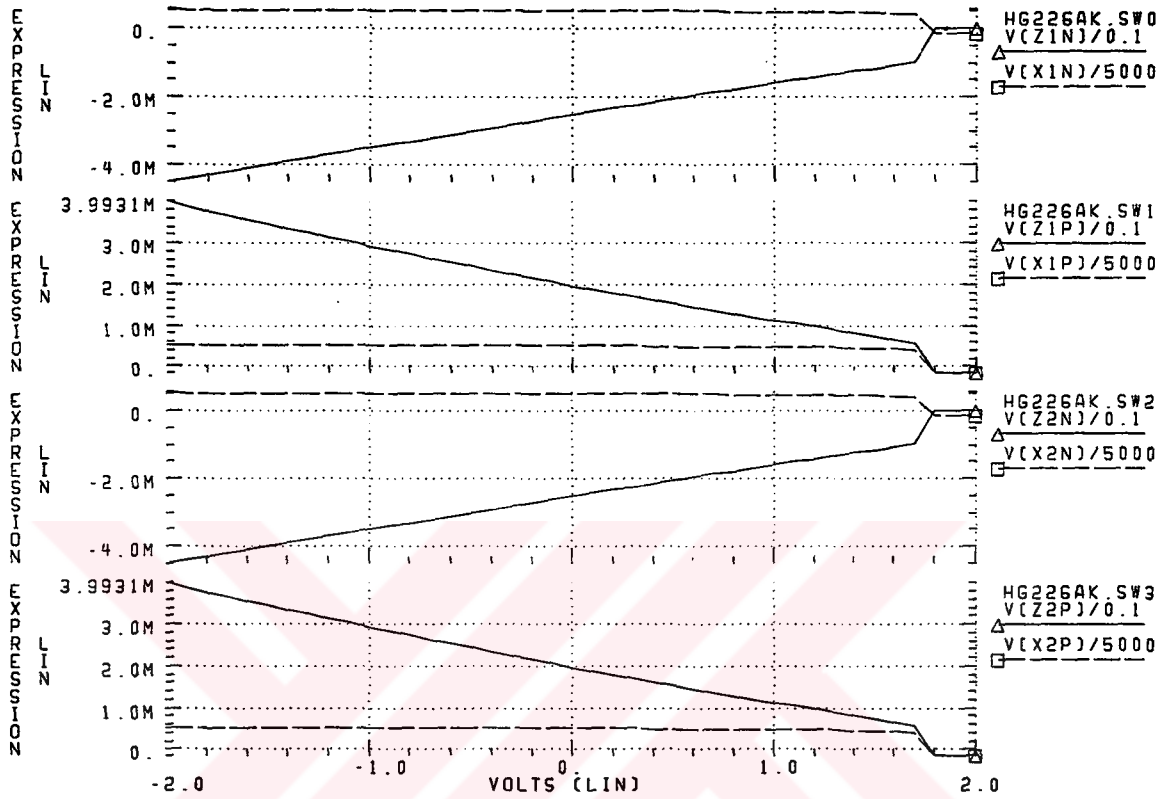


Şekil 8.1. Kırmık üzerindeki bağımsız CCIP'lere ait V_x - V_y grafikleri

Ayrıca I_z çıkış akımı ile I_x girişakımı arasındaki ilişki de Şekil 8.2'de görülmektedir. Burada $R_z=0$ ohm $R_x=5k$ akınmış olup grafikler Y girişine uygulanan $-2V \leq V_y \leq +2V$ tarama gerilimi için I_x ve I_y 'de meydana gelen değişimler incelenerek alınmıştır. Dikkat edileceği gibi pozitif devrelerde I_z , I_x 'i aynen takip etmekte, negatif devrelerde ise negatif olarak takip etmektedir.

Bu incelemeler göstermektedir ki akım taşıyıcı devrenin tanım bağıntılarından önemli iki tanesi olan $V_x=V_y$ ve $I_z=kI_x$ bağıntıları sağlanmaktadır. Akım taşıyıcının diğer tanım bağıntısı ise Y girişinden akım çekilmeyeceğini söyler ki devrelerimiz için bu da geçerlidir. Sonuç olarak simülasyonlar devrelerin işlevlerini yerine getirdiklerini göstermektedir.

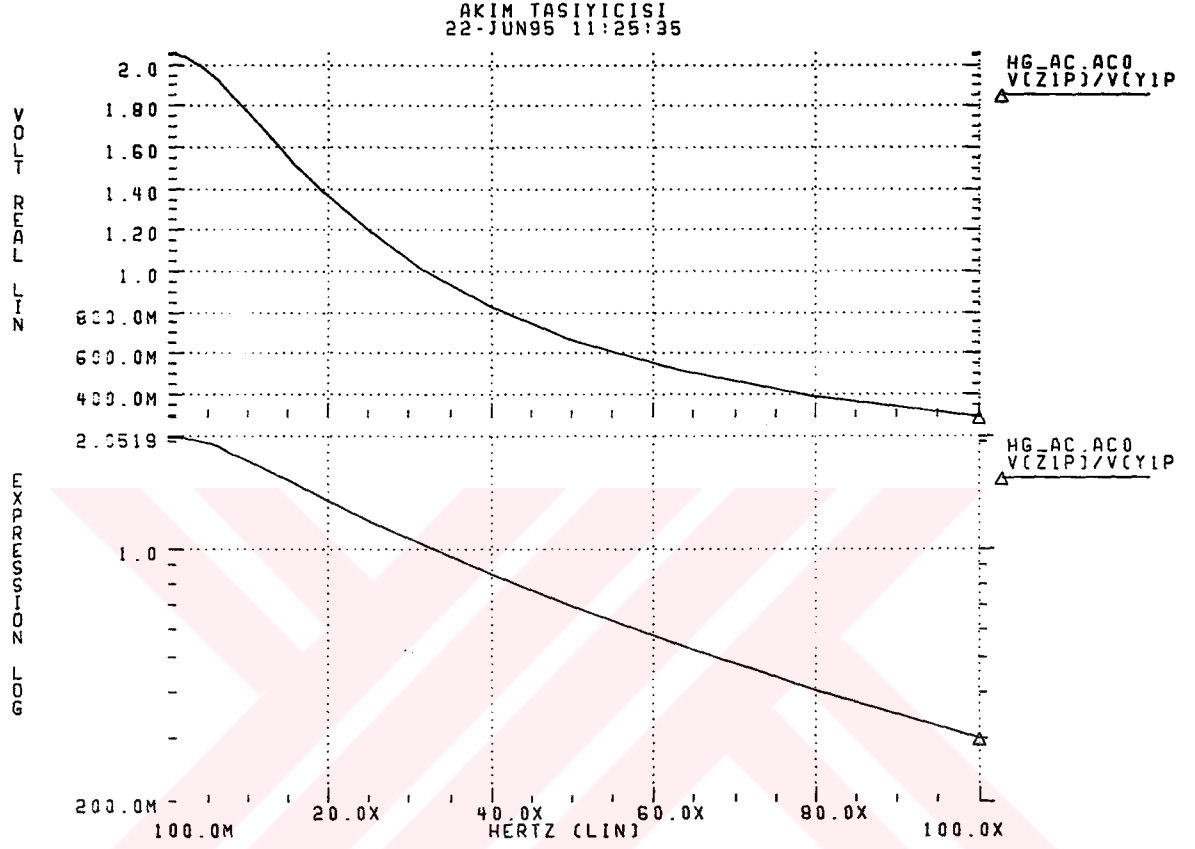
AKIM TASIYICISI
10-JUL95 11:40:38



Şekil 8.2. Kırmık üzerindeki bağımsız CCİPlere ait i_z - V_y grafikleri

8.3 AC Analiz

$R_x=5k$ ve $R_z=10k$ alınarak $V_y=100mV$ için 1Hz-100MHz aralığında yapılan AC analiz sonucu çizilen eğri Şekil 8.3'te görülmektedir. Devrenin frekans karakteristiğini veren bu grafik, frekans özellikleri bakımından birbirinin eşi olan dört devre parçasından yalnızca biri için yapılmış olup lineer eksenle çizilmiştir.



Şekil 8.3. Kırmık üzerindeki devrelere ait AC analiz sonucu

9. SONUÇ

Postsimülasyon sonucu elde edilen sonuçlar devrenin seriminin tasarlanmasından önce yapılan SPICE simülasyonlarının sonuçları ile uyuşmaktadır. Genel olarak karşılaştırıldığında, PSPICE simülasyonlarında kullanılan düğüm numaralarının kırmık üzerindeki karşılıklarına ait çalışma noktası gerilim değerleri dahil olmak üzere, devrede harcanan güç, giriş-çıkış akım ve gerilimleri arasındaki lineerlik ve frekans karakteristiği bakımından tasarlanan tümdevre üzerindeki akım taşıyıcılar önceki teorik devrelere çok yakın sonuçlar vermektedir.

Bundan sonraki aşama, bu tez çalışmasında tasarlanan ve çalıştığı gösterilen tümdevrenin üretilmesidir. Üretilcek bu devrenin testleri, bu tezde yapılan simülasyonlarda kullanılan aynı yöntemler ile yapılabilir. Y girişinden akım çekilip çekilmediği, V_X 'in V_Y 'yi takip edip etmediği ve çıkış akımının i_X ile orantılı olup olmadığı devrenin çalışmasını test eden temel kriterler olarak kullanılabilir.

Bu tezde tasarlanan tümdevreye dışarıdan bağlanacak uygun direç ve kapasite değerleri kullanılarak [1]'de önerilmiş olan TH devresinin uygulamaları da yapılabilir. Olumlu sonuç alındığı takdirde TH'ı kullanan filtre devreleri ve diğer uygulamalar doğrudan kırmık üzerinde tasarlanabilir. Çünkü TH'ın kullanılması, endüktans kullanmayan ve iki ucu açıkta tüm devre elemanlarını bir uçları topraklı hale dönüştüren devre yapılarına olanak verdiğinden tümleştirmeye oldukça uygun bir özellik göstermektedir.

Özet olarak, bu çalışma akım taşıyıcılar ve onları kullanan her türlü uygulamanın hayata geçirilmesini sağlayabilecek bir tümdevrenin oluşturulmasına yönelik bir girişimdir. Bu tümdevre üretildiği takdirde, akım taşıyıcıların performanslarının OTA ve OPAMP gibi benzeri devre elemanları ile karşılaştırılması imkanı da doğacaktır.



```

*****
* HSPICE Netlist:
*
* Block: hg315.2
* Netlist Time: Thu Jun 22 15:35:22 EET DST 1995
*****

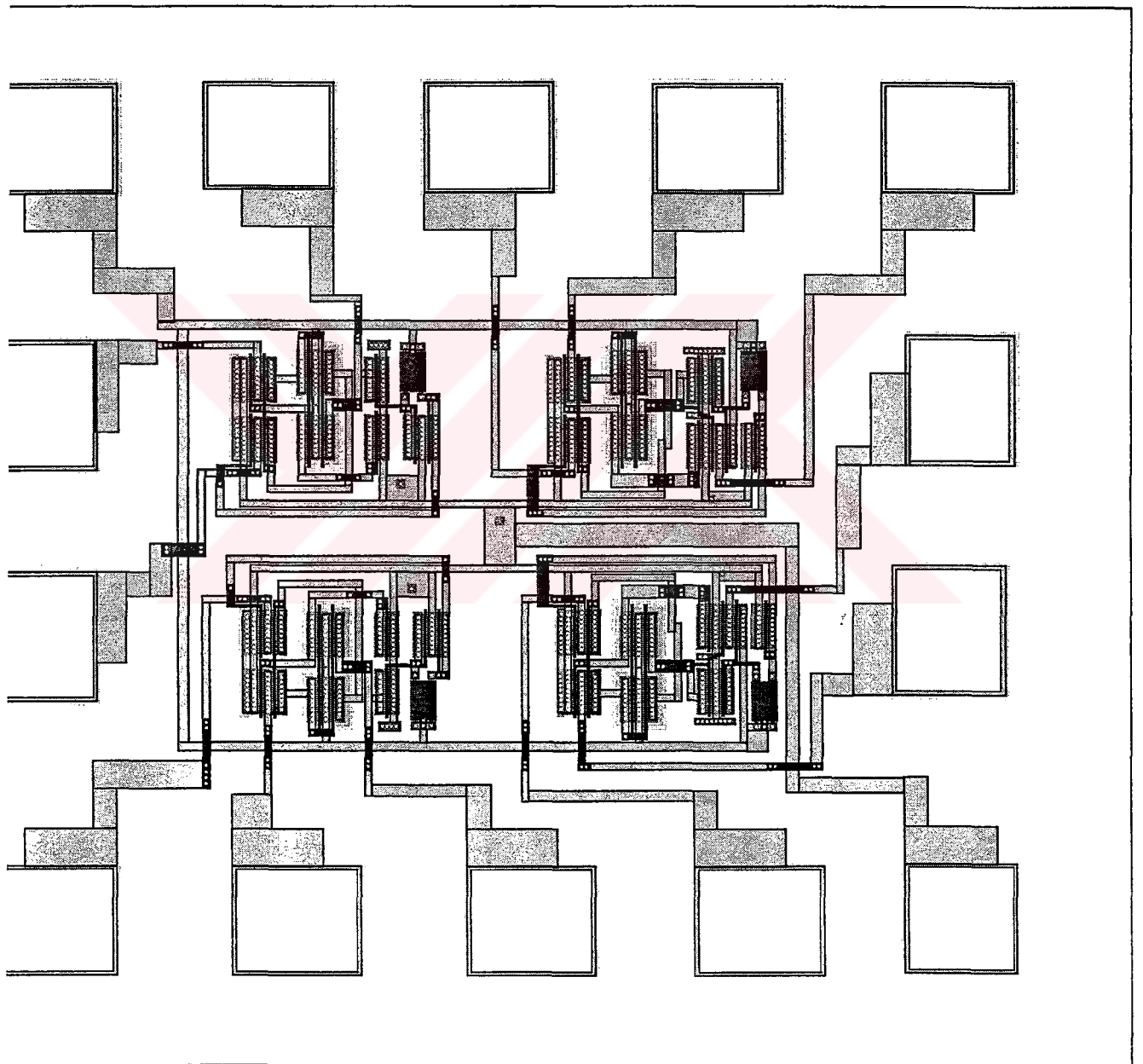
*****
* MODEL Declarations
*****
.model mmos4 nmos level=2 vto=0.8 phi=0.57 gamma=0.1 kp=4.4e-05 lambda=0.035
+ecrit=15000 nfs=1e+11 ucrit=60000 uexp=0.15 xj=2.5e-07 lds=0.07 tox=4.25e-08
+wd=2e-07 jsw=0.0016 jsw=4e-10 cjo=0.0001 cjsw=3.9e-10 rsh=60 delta=1
.model pmos4 pmos level=2 vto=-0.9 phi=0.7 gamma=0.65 kp=1.5e-05 lambda=0.035
+ecrit=28000 nfs=1e+11 ucrit=40000 uexp=0.17 xj=3.5e-07 lds=0.07 tox=4.25e-08
+wd=3e-07 jsw=0.0062 jsw=2.2e-09 cjo=0.0006 cjsw=3.4e-10 rsh=108 delta=1
.model m0 d level=3 is=0.0016 jsw=4e-10 n=1.18 vb=26 cjo=0.0001 cjp=3.9e-10
+pb=0.57
.model m1 d level=3 is=0.0062 jsw=2.2e-09 n=0.98 vb=20 cjo=0.0006 cjp=3.4e-10
+pb=0.7
.model m2 d level=3 is=0.0062 jsw=2.2e-09 n=0.98 vb=20 cjo=0.0006 cjp=3.4e-10
+pb=0.7
*****
* Main Circuit Netlist:
*****
* Block: hg315.2
* Last Time Saved: Jun 22 15:32:55 1995
*****
dx226 vss n4 m2 area=2.74765e-08 pj=0.000665
dx224 vss n1 m2 area=2.72555e-08 pj=0.000663
dx223 vss n2 m2 area=2.72555e-08 pj=0.000663
dx225 vss n3 m2 area=2.6967e-08 pj=0.000659
dx227 vss n10 m2 area=2.66238e-08 pj=0.000656
dx229 vss vdd m2 area=1.24465e-08 pj=0.000487
dx228 vss vdd m2 area=1.24465e-08 pj=0.000487
dx234 vss vdd m2 area=1.2556e-08 pj=0.00049
dx233 vss vdd m2 area=1.2556e-08 pj=0.00049
dx235 vss n40 m2 area=2.77068e-08 pj=0.000668
dx236 vss n42 m2 area=2.73458e-08 pj=0.000664
dx232 vss n25 m2 area=2.73458e-08 pj=0.000664
dx231 vss n22 m2 area=2.73458e-08 pj=0.000664
dx230 vss n14 m2 area=2.73458e-08 pj=0.000664
dx239 vss n47 m2 area=2.7573e-08 pj=0.000667
dx237 vss n48 m2 area=2.79775e-08 pj=0.000671
dx238 vss n44 m2 area=2.32553e-08 pj=0.00061
dx240 vss n49 m2 area=2.73458e-08 pj=0.000664
dx222 n33 vdd m1 area=9e-10 pj=0.00015
dx221 n29 vdd m1 area=9e-10 pj=0.00015
dx219 n32 vdd m1 area=9e-10 pj=0.00015
dx218 n31 vdd m1 area=9e-10 pj=0.00015
dx217 n27 vdd m1 area=9e-10 pj=0.00015
dx216 n26 vdd m1 area=9e-10 pj=0.00015
dx215 n30 vdd m1 area=9e-10 pj=0.00015
dx214 n13 vdd m1 area=9e-10 pj=0.00015
dx213 z2p vdd m1 area=9e-10 pj=0.00015
dx212 n11 vdd m1 area=9e-10 pj=0.00015
dx211 zip vdd m1 area=9e-10 pj=0.00015
dx210 n17 vdd m1 area=9e-10 pj=0.00015
dx209 n9 vdd m1 area=9e-10 pj=0.00015
dx208 n8 vdd m1 area=9e-10 pj=0.00015
dx207 n16 vdd m1 area=9e-10 pj=0.00015
dx162 vss n13 m0 area=8.925e-10 pj=0.000149
dx160 vss n11 m0 area=8.925e-10 pj=0.000149
dx158 vss x2p m0 area=8.925e-10 pj=0.000149
dx155 vss x1p m0 area=8.8e-11 pj=4e-05
dx172 vss n20 m0 area=8.8e-11 pj=4e-05
dx176 vss n18 m0 area=8.8e-11 pj=4e-05
dx171 vss n19 m0 area=8.8e-11 pj=4e-05
dx194 vss z2n m0 area=9e-10 pj=0.00015
dx192 vss z1n m0 area=9e-10 pj=0.00015
dx190 vss n31 m0 area=9e-10 pj=0.00015
dx189 vss n33 m0 area=9e-10 pj=0.00015
dx188 vss n30 m0 area=9e-10 pj=0.00015
dx187 vss n32 m0 area=9e-10 pj=0.00015
dx186 vss n29 m0 area=9e-10 pj=0.00015
dx185 vss n27 m0 area=9e-10 pj=0.00015
dx184 vss n26 m0 area=9e-10 pj=0.00015
dx183 vss n28 m0 area=9e-10 pj=0.00015
dx182 vss x2n m0 area=9e-10 pj=0.00015
dx181 vss y2n m0 area=9e-10 pj=0.00015
dx180 vss y1n m0 area=9e-10 pj=0.00015
dx179 vss x1n m0 area=9e-10 pj=0.00015
dx174 vss n19 m0 area=9e-10 pj=0.00015
dx169 vss n18 m0 area=9e-10 pj=0.00015
dx166 vss n17 m0 area=9e-10 pj=0.00015
dx165 vss z2p m0 area=9e-10 pj=0.00015
dx164 vss x1p m0 area=9e-10 pj=0.00015
dx163 vss n16 m0 area=9e-10 pj=0.00015
dx161 vss n9 m0 area=9e-10 pj=0.00015
dx159 vss n8 m0 area=9e-10 pj=0.00015
dx157 vss y2p m0 area=9e-10 pj=0.00015
dx156 vss y1p m0 area=9e-10 pj=0.00015
dx193 vss n35 m0 area=8.4e-10 pj=0.000148
dx191 vss n34 m0 area=8.4e-10 pj=0.000148
dx196 vss vdd m0 area=6.9e-10 pj=0.000143
dx195 vss vdd m0 area=6.9e-10 pj=0.000143
dx197 vss n34 m0 area=7.75e-11 pj=3.7e-05
dx199 vss n35 m0 area=7.75e-11 pj=3.7e-05
dx202 vss vdd m0 area=9e-11 pj=4e-05
dx198 vss vdd m0 area=9e-11 pj=4e-05
dx173 vss vdd m0 area=9e-11 pj=4e-05
dx168 vss vdd m0 area=9e-11 pj=4e-05
dx201 vss n36 m0 area=8.1e-11 pj=3.8e-05
dx206 vss n37 m0 area=7.2e-10 pj=0.000144
dx203 vss n36 m0 area=7.2e-10 pj=0.000144
dx178 vss n21 m0 area=7.2e-10 pj=0.000144
dx177 vss n20 m0 area=7.2e-10 pj=0.000144
dx205 vss vdd m0 area=9e-11 pj=4e-05
dx200 vss vdd m0 area=9e-11 pj=4e-05
dx175 vss vdd m0 area=9e-11 pj=4e-05
dx170 vss vdd m0 area=9e-11 pj=4e-05
dx204 vss n37 m0 area=8.1e-11 pj=3.8e-05
cx154 n48 vss 5.2885e-13
cx153 z2n n49 6.09681e-13
cx152 z1n n47 6.18538e-13
cx151 y2n n44 6.29131e-13

```

cx150 x2n n42 6.18538e-13
cx149 y1n n40 6.18538e-13
cx148 n33 vdd 1.41525e-14
cx147 n32 vdd 1.41525e-14
cx146 n31 vdd 9.45e-15
cx145 n30 vdd 9.45e-15
cx144 n29 vdd 2.475e-15
cx143 n28 vdd 2.475e-15
cx142 n27 vdd 1.70775e-14
cx141 n26 vdd 1.70775e-14
cx140 z2p vdd 1.415e-14
cx139 z2p n25 6.18538e-13
cx138 n22 x1n 6.18538e-13
cx137 n17 vdd 9.1125e-15
cx136 n16 vdd 9.1125e-15
cx135 z1p vdd 1.415e-14
cx134 n13 vdd 2.475e-15
cx133 n11 vdd 2.475e-15
cx131 n10 z1p 6.01588e-13
cx130 n9 vdd 2.04525e-14
cx129 n8 vdd 1.70775e-14
cx128 n4 vdd 6.18538e-13
cx127 n3 z2p 6.1495e-13
cx126 n2 x1p 6.18538e-13
cx125 n1 y1p 6.18538e-13
cx124 z2n vss 3.09602e-13
cx123 z1n vss 3.8518e-13
cx122 y2n vss 3.31839e-13
cx121 x2n vss 3.47261e-13
cx120 y1n vss 2.90433e-13
cx119 vdd vss 1.18936e-12
cx118 vdd y2n 4.14e-15
cx117 vdd x2n 4.14e-15
cx116 vdd y1n 4.14e-15
cx115 n37 vss 1.48584e-13
cx114 n37 z2n 3.24e-15
cx113 n37 x2n 5.4e-15
cx112 n36 vss 1.48584e-13
cx111 n36 z1n 3.24e-15
cx110 n35 vss 1.90925e-14
cx109 n35 vdd 1.44e-15
cx108 n34 vss 1.90925e-14
cx107 n34 vdd 1.44e-15
cx106 n33 vss 4.57237e-14
cx105 n32 vss 4.57237e-14
cx104 n31 vss 8.478e-14
cx103 n30 vss 8.478e-14
cx102 n29 vss 7.349e-14
cx101 n29 n33 5.58e-15
cx100 n29 n31 7.2e-15
x99 n28 vss 7.349e-14
x98 n28 n32 5.58e-15
x97 n28 n30 7.2e-15
x96 n27 vss 1.8e-14
x95 n27 vdd 3.24e-15
x94 n26 vss 1.8e-14
x93 n26 vdd 3.24e-15
x92 z2p vss 2.92191e-13
x91 z2p vdd 4.14e-15
x90 x1n vss 2.86355e-13
x89 x1n vdd 4.14e-15

cx88 x1n n36 5.4e-15
cx87 n21 vss 1.3168e-13
cx86 n20 vss 1.3168e-13
cx85 n19 vss 1.7525e-14
cx84 n18 vss 1.7525e-14
cx83 n17 vss 5.46075e-14
cx82 n16 vss 5.46075e-14
cx81 z1p vss 2.7326e-13
cx80 z1p vdd 4.14e-15
cx79 n13 vss 6.81075e-14
cx78 n13 z2p 5.4e-15
cx77 n13 n17 4.32e-15
cx76 y2p vss 2.28091e-13
cx75 y2p vdd 4.14e-15
cx74 n11 vss 6.81075e-14
cx73 n11 n16 4.32e-15
cx72 n11 z1p 5.4e-15
cx71 n9 vss 1.28025e-14
cx70 n9 vdd 2.34e-15
cx69 n8 vss 1.8e-14
cx68 n8 vdd 3.24e-15
cx67 x2p vss 4.14821e-13
cx66 x2p vdd 4.6e-15
cx65 x2p n21 3.6e-15
cx64 x1p vss 2.65265e-13
cx61 y1p vss 1.53079e-13
cx63 x1p vdd 9.45e-15
cx60 y1p vdd 4.86e-15
cx62 x1p n20 3.6e-15
cx133 y2p n14 6.18538e-13
mx59 n29 n27 vdd vdd pmos4 w=6e-05 l=3e-06
mx58 n33 n27 vdd vdd pmos4 w=6e-05 l=3e-06
mx57 n32 n26 vdd vdd pmos4 w=6e-05 l=3e-06
mx56 n28 n26 vdd vdd pmos4 w=6e-05 l=3e-06
mx55 vdd n27 n27 vdd pmos4 w=6e-05 l=3e-06
mx54 vdd n27 n31 vdd pmos4 w=6e-05 l=3e-06
mx53 vdd n26 n30 vdd pmos4 w=6e-05 l=3e-06
mx52 vdd n26 n26 vdd pmos4 w=6e-05 l=3e-06
mx51 n13 n9 vdd vdd pmos4 w=6e-05 l=3e-06
mx50 z2p n9 vdd vdd pmos4 w=6e-05 l=3e-06
mx49 z1p n8 vdd vdd pmos4 w=6e-05 l=3e-06
mx48 n11 n8 vdd vdd pmos4 w=6e-05 l=3e-06
mx47 vdd n9 n9 vdd pmos4 w=6e-05 l=3e-06
mx46 vdd n9 n17 vdd pmos4 w=6e-05 l=3e-06
mx45 vdd n8 n16 vdd pmos4 w=6e-05 l=3e-06
mx44 vdd n8 n8 vdd pmos4 w=6e-05 l=3e-06
mx6 n13 n13 x2p vss nmos4 w=5.95e-05 l=3e-06
mx5 n11 n11 x1p vss nmos4 w=5.95e-05 l=3e-06
mx2 x2p n21 vss vss nmos4 w=5.95e-05 l=3e-06
mx1 x1p n20 vss vss nmos4 w=5.95e-05 l=3e-06
mx42 n37 n37 vss vss nmos4 w=6e-05 l=3e-06
mx39 n36 n36 vss vss nmos4 w=6e-05 l=3e-06
mx37 vdd n35 z2n vss nmos4 w=6e-05 l=3e-06
mx36 vdd n34 z1n vss nmos4 w=6e-05 l=3e-06
mx35 n35 n35 vss vss nmos4 w=6e-05 l=3e-06
mx34 z2n n33 vss vss nmos4 w=6e-05 l=3e-06
mx33 z1n n32 vss vss nmos4 w=6e-05 l=3e-06
mx32 n34 n34 vss vss nmos4 w=6e-05 l=3e-06
mx31 vss n33 n33 vss nmos4 w=6e-05 l=3e-06
mx30 vss n31 n31 vss nmos4 w=6e-05 l=3e-06
mx29 vss n30 n30 vss nmos4 w=6e-05 l=3e-06

mx28 vss n32 n32 vss rmos4 w=6e-05 l=3e-06
mx27 n27 n29 y2n vss rmos4 w=6e-05 l=3e-06
mx26 n29 n29 x2n vss rmos4 w=6e-05 l=3e-06
mx25 n28 n28 x1n vss rmos4 w=6e-05 l=3e-06
mx24 n26 n28 y1n vss rmos4 w=6e-05 l=3e-06
mx22 x2n n37 vss vss rmos4 w=6e-05 l=3e-06
mx21 x1n n36 vss vss rmos4 w=6e-05 l=3e-06
mx20 y1n n30 vss vss rmos4 w=6e-05 l=3e-06
mx19 n21 n21 vss vss rmos4 w=6e-05 l=3e-06
mx17 n20 n20 vss vss rmos4 w=6e-05 l=3e-06
mx16 vss n19 n19 vss rmos4 w=6e-05 l=3e-06
mx13 vss n18 n18 vss rmos4 w=6e-05 l=3e-06
mx11 vss n19 z2p vss rmos4 w=6e-05 l=3e-06
mx10 vss n17 n17 vss rmos4 w=6e-05 l=3e-06
mx9 vss n16 n16 vss rmos4 w=6e-05 l=3e-06
mx8 vss n18 z1p vss rmos4 w=6e-05 l=3e-06
mx7 n9 n13 y2p vss rmos4 w=6e-05 l=3e-06
mx4 n8 n11 y1p vss rmos4 w=6e-05 l=3e-06
mx3 y2p n17 vss vss rmos4 w=6e-05 l=3e-06
mx23 y2n n31 vss vss rmos4 w=6e-05 l=3e-06
mx0 y1p n16 vss vss rmos4 w=6e-05 l=3e-06
mx43 vdd vdd n37 vss rmos4 w=6e-06 l=5.1e-05
mx40 vdd vdd n35 vss rmos4 w=6e-06 l=5.1e-05
mx38 n34 vdd vdd vss rmos4 w=6e-06 l=5.1e-05
mx41 n36 vdd vdd vss rmos4 w=6e-06 l=5.1e-05
mx18 vdd vdd n21 vss rmos4 w=6e-06 l=5.1e-05
mx15 n20 vdd vdd vss rmos4 w=6e-06 l=5.1e-05
mx14 vdd vdd n19 vss rmos4 w=6e-06 l=5.1e-05
mx12 n18 vdd vdd vss rmos4 w=6e-06 l=5.1e-05



KAYNAKLAR

- [1] : SEDEF Herman, "Akım Taşıyıcıları Kullanarak Devre Sentezinde Yeni Olanaklar", Doktora Tezi, Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Ocak 1994
- [2] : İTÜ ETA Vakfı, "Uygulamaya Özgü Tümdevre (ASIC) Teknolojisine Giriş", 1993
- [3] : ÖZDEMİR Hakan, "İleri Analog Tümdevre Tasarımı (Analog Tümdevre Elemanları ve Özellikleri)", İTÜ ETA Vakfı, 31 Ocak-4 Şubat 1994
- [4] : KUNTMAN Hakan, "İleri Analog Tümdevre Tasarımı", İTÜ ETA Vakfı, 1994
- [5] : LEBLEBİCİ Yusuf, "Selected Topics on Computer Aided VLSI Design", 1992
- [6] : DILLINGER Thomas E., "VLSI ENGINEERING", Prentice Hall International Editions, 1988
- [7] : Tanner Research Inc., "L-EDIT, Layout Editor User's Manual", 1989
- [8] : RASHID Muhammad, "SPICE For Circuits And Electronics Using PSpice", Prentice Hall, 1990
- [9] : SEDRA A., SMITH K.C., "A Second Generation Current Conveyor And Its Applications", IEEE Transactions on Circuits Theory, Vol ct-17, February 1970.

YATIRIMCI KURUMU
KURUMSAL YATIRIMCI
KURUMSAL YATIRIMCI

ÖZGEÇMİŞ

Adı Soyadı	Gökhan GÜLSER
Doğum Tarihi	23 Kasım 1971
Doğum Yeri	Sındırgı
Eğitim	Lise, Cibali Lisesi, 1988 Üniversite, Yıldız Üniversitesi Elektronik ve Haberleşme Müh. Bölümü, 1992
Yabancı Dil	İngilizce
İş Deneyimi	ARC (American Research Corp.) Bilgisayar Sist., Şubat 1993 - Mayıs 1993 Yıldız Teknik Üniversitesi, Elektronik ve Hab. Müh. Böl., Elektronik Anabilim Dalı Araştırma Görevliliği, 1993-...