

YILDIZ TEKNİK ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ

Herh. bir Dört Uçl. Bil. Yard.
Anal. Pra. Olarak Gerçek.

Yüksek Lisans Tezi

İsmail Gökyar

1988

152
88

Herh. bir Dört Uçl. Bil. Yard.
Anal. Pra. Olarak Gerçek.

ef
.K
3
88

152
88

YILDIZ UNIVERSITESI
FEN BILIMLERI ENSTITUSU

HERHANGI BIR DÖRT UÇLUNUN BİLGİSAYAR YARDIMIYLA
ANALİZİNİN PRATİK OLARAK GERÇEKLEŞTİRİLMESİ

YÜKSEK LİSANS TEZİ
MUH. İSMAİL GÖKYAR

İSTANBUL - 1988

YILDIZ ÜNİVERSİTESİ
GENEL KİTAPLIĞI
R 152

Kot : 88
Alındığı Yer : ~~Fen Bilimleri Fak.~~
Tarih : 09/05/1991
Fatura :
Fiatı : 6000 TL
Ayniyat No : 1/3
Kayıt No : 47.63.11
UDC : 621.3 378.242
Ek :





YILDIZ ÜNİVERSİTESİ

DZET FEN BİLİMLERİ ENSTİTUSU

SUMMARY

BÖLÜM-1

BÖDE DİYAGRAMININ ÇIKARTILMASI 1

Böde Diyagramı 2

Bir Transfer Fonksiyonunun Böde Diyagramının

Çıkartılması 3

HERHANGİ BİR DÖRT UÇLUNUN BİLGİSAYAR YARDIMIYLA

ANALİZİNİN PRATİK OLARAK GERÇEKLEŞTİRİLMESİ

3- Kutupları ve sıfırları verilen bir dört uçluğun

2- Sıfırları verilen bir dört uçluğun

1- Sıfırları verilen bir dört uçluğun

4- Kutupları ve sıfırları verilen bir dört uçluğun

Böde Diyagramının Çıkartılması 14

BÖLÜM-2

DEVRENİN BLOK ŞEMASI: YUKSEK LİSANS TEZİ 17

Karadağca Üretici: MUH. İSMAİL GÖKYAR 18

İncelenen Devre 19

Peak Dedektör 20

Peak Alıcı ve Devre 21

Bilgisayar Devresi 22



BÖLÜM-3

KARADALGA ÜRETTİĞİ VE İNCELENEN DEVRE 23

Kristal Çubuğu 24

Oryantasyonlu Say 25

İncelenen Devre 27

İSTANBUL - 1988

İÇİNDEKİLER

ÖZET	30
SUMMARY	31
BÖLÜM-1	32
BODE DİYAGRAMININ ÇIKARTILMASI	1
Bode Diyagramı	2
Bir Transfer Fonsiyonunun Bode Diyagramının Çıkartılması	3
1- Sabit faktör K	4
2- Kutuplar ve sıfırlar sıfıra eşit	5
3- Kutuplar ve sıfırlar sıfırdan farklı	7
a- Basit köklü sıfırlar	7
b- Basit köklü sıfırlar	10
4- Kutuplar ve sıfırlar kompleks degere sahip.	11
Bode Diyagramının Oluşturulması	14
BÖLÜM-2	35
DEVRENİN BLOK ŞEMASI	17
Karedalga Üretici	18
İncelene Devre	19
Peek Dedektör	19
Fark Alıcı ve Sayıcı Devre	19
Bilgisayar Devresi	20
BÖLÜM-3	43
KAREDALGA ÜRETECİ VE İNCELENEN DEVRE	21
Kristal Osilatör	22
Önyüklenebilir Sayıcı	25
İncelenen Devre	27

BÖLÜM-4	Gerçekleştirilen A/D Dönüştürücü	40
GENLİĞİN ÖLÇÜLMESİ		30
Peek Dedektör		31
İşlemsel Kuvvetlendiriciler		32
Gerçekleştirilen Devre		33
A/D Dönüştürücüler		36
A/D Dönüştürücü Parametreleri		36
Ayırdedilebilirlik (Resolution)		36
Monotonluk (Monotony)		36
Nonlineerlik (Nonlinearity)		37
Diferansiyel Nonlineerlik (Diferantial Nonlinearity)		37
Dönüştürme Süresi (Conversation Time)		37
Kuantalama Hatası (Quantization Error)		37
A/D Dönüştürme Yöntemleri		39
Entegral Alan Yöntemler		39
a- Tek eğimli dönüştürücü (Single converter)		39
b- Çift eğimli dönüştürücü (Dual slope converter)		40
Basamak Yöntemi		40
Zamanla Değişen İşareterin Ölçülmesi		41
Hızlı Dönüştürme Yöntemleri		42
Paralel Yöntem (Flashing)		42
Ardışık Yaklaşım Yöntemi (Successive Approximation)		42
Örnekleme ve Tutma Devreleri		43

Gerçekleştirilen A/D Dönüştürücü 45

BÖLÜM-5

ÖZET

FAZ FARKININ ÖLÇÜLMESİ 46

Faz Farkı 47

Yönün Belirlenmesi 47

Fark Alıcı Devre 48

Sayıcı Devre 49

Tutucu ve Buffer Devreleri 50

BÖLÜM-6

BİLGİSAYAR VE YAZILIM 52

Giriş Çıkış Birimleri 53

Bilgisayar Proramı 57

Önyüklenebilir sayıcıya uygulanacak bölüm sayıları. 58

EK 63

KAYNAKLAR 86

ÖZGEÇMİŞ 87

sayısal değer bilgisayara aktarılmaktadır.

Bilgisayara aktarılan bu değerler yorumlandıktan sonra

BODE DİYAGRAMI çizilmektedir.

ÖZET

Bu proje bilgisayar yardımıyla herhangi bir dört uçlunun BODE DİYAGRAMININ çıkarılmasıyla sözü geçen devrenin analizinin yapılmasını sağlayan bir çalışmadır.

Çalışılacak devrenin girişine karedalga sinyal uygulanacak ve çıkışında bu sinyale cevap alınacaktır. Çıkış sinyalinin tepe değeri Peek of Dedektör yardımıyla tutulmaktadır. Bu analog sinyalin bilgisayar aktarılması için A/D dönüştürücü kullanılmakta ve analog sinyal sayısal degere dönüştürülmektedir. GİRİŞ/ÇIKIŞ birimi kullanılarak elde edilen sayısal değer bilgisayara aktarılmaktadır.

Aynı zamanda fark alıcı devre yardımıyla giriş ve çıkış karedalga sinyalleri arasındaki faz farkı alınmaktadır. Daha sonra sayıcı yardımıyla bu faz farkı işareti sayısal degere dönüştürülmektedir. Yine GİRİŞ/ÇIKIŞ birimi yardımıyla bu sayısal değer bilgisayara aktarılmaktadır.

Bilgisayara aktarılan bu değerler yorumlandıktan sonra BODE DİYAGRAMI çizilmektedir.

All these values after being processed, have been put

In form of BODE DIAGRAM

SUMMARY

This project is a study enabling to make the analysis of of a circuit by means of computer in order to obtain the BODE DIAGRAM.

Square wave signal will be applied to the input of the circuit to be worked on and a response will be received at the output phase. Maximum value of the output signal has been monitored via peak detector. In order to transmit this analog signal to computer, the A/D converter has been used. And then this analog signal has been converted into digital value. The digital value is transmitted to computer by using INPUT/OUTPUT unit.

At the same time, through the difference circuit, the phase difference between input and output square wave signals has been received. Afterwards, the phase difference has been converted into digital value by a counter. And again, by means of INPUT/OUTPUT unit, the digital value has been transmitted to the computer.

All these values, after being interpreted, have been put in form of BODE DIAGRAM.

BODE DİYAGRAMI

Transfer fonksiyonu, kısaca bir devrenin çıkış parametrelerinin giriş parametrelerine oranıdır. Transfer fonksiyonlarının frekans düzleminde davranışlarını ve kararlılıklarını incelemeye yarayan çok kullanışlı yöntemlerden birisi de bode diyagramıdır.

Bode diyagramı genlik ve faz fonksiyonları olarak üzere iki bölüme ayrılır. Prinsip olarak genlik ve faz fonksiyonları aynı frekans ekseninde alt alta çizilir. Böylece genlik ve faz fonksiyonları daha sağlıklı bir şekilde incelenebilir.

B Ö L Ü M - 1

BODE DİYAGRAMININ ÇIKARTILMASI

Transfer fonksiyonları belirli bir frekansla beraber bode diyagramında sadece genlik ve faz fonksiyonları olarak incelenir. Çıkış geriliminin giriş gerilimine oranı olan genlik transfer fonksiyonu $G(j\omega)$ kompleks bir ifadedir. $G(j\omega)$ nin modül olan

$$|G(j\omega)| = \sqrt{\text{Re}(G(j\omega))^2 + \text{Im}(G(j\omega))^2}$$

genlik fonksiyonudur.

$$\phi = \tan^{-1} \frac{\text{Im}(G(j\omega))}{\text{Re}(G(j\omega))}$$

faz fonksiyonudur.

Genlik fonksiyonunda kazanç ve kayıp dB olarak ifade edilir. Bir dB birim, faz fonksiyonunda ise derece birim kullanılır.

$$dB = 20 \log_{10} |G(j\omega)|$$

Frekans eksenini logaritmik olarak göstermek yararlıdır. Çünkü bu şekilde birbiriyle karşılaştırılabilir. Çünkü aynı eksen üzerinde

BODE DİYAGRAMI

Transfer fonksiyonu, kısaca bir devrenin çıkış parametrelerinin giriş parametrelerine oranıdır. Transfer fonksiyonlarının frekans düzleminde davranışlarını ve kararlılıklarını incelemeye yarayan çok kullanışlı yöntemlerden biriside bode diyagramıdır.

Bode diyagramı genlik ve faz fonksiyonları olmak üzere iki bölüme ayrılır. Prensip olarak genlik ve faz fonksiyonları aynı frekans ekseninde alt alta çizilir. Böylece genlik ve faz aynı anda görülerek daha sağlıklı bir inceleme yapılır.

Transfer fonksiyonları çeşitli olmakla beraber bode diyagramında sadece gerilim transfer fonksiyonu incelenir. Çıkış geriliminin giriş gerilimine oranı olan gerilim transfer fonksiyonu $G(j\omega)$ kompleks bir ifadedir. $G(j\omega)$ 'nin modülü olan

$$|G(j\omega)| = \sqrt{\text{Re}(G(j\omega))^2 + \text{Im}(G(j\omega))^2}$$

genlik fonksiyonudur.

$$\phi = \tan^{-1} \frac{\text{Im}(G(j\omega))}{\text{Re}(G(j\omega))}$$

faz fonksiyonudur.

Genlik fonksiyonunda kazanç ve kayıp söz konusu olduğu için dB birimi, faz fonksiyonunda ise derece birimi kullanılır

$$A_v(\text{dB}) = 20 \log_{10} |G(j\omega)| \text{ dB}$$

Frekans eksenini logaritmik olarak göstermektedir. Logaritmik ekseninde artımlar birbirinin on katı şeklindedir. Onluk artım dekad

olarak isimlendirilir. Transfer fonksiyonunun payında yer alan ifadenin kökleri, $G(j\omega)$ nın sıfırları, paydasında yer alan ifadenin kökleri ise $G(j\omega)$ nın kutuplarıdır. genlik fonksiyonunda kutupların etkisi artan yönde sıfırların etkisi ise azalan yönde olur.

Bir transfer fonksiyonunun Bode Diyagramının çıkartılması Bode diyagramı daha önce belirttiğimiz gibi $\log w$ veya w karşı desibel olarak çizilen $G(j\omega)$ nın fazı olmak üzere iki grafikten oluşur.

Bu konuyu teorik olarak incelerken genel olarak geri beslemeli kontrol sisteminin açık çevrim transfer fonksiyonunu gösterebiliriz.

$$G(s) = \frac{K(s+z_1)(s+z_2)\dots(s+z_n)}{s^l(s+p_1)(s+p_2)\dots(s+p_m)}$$

Burada K gerçekte sabit z_s ile p_s gerçekte veya kompleks sayılar olabilir. Açık çevrim transfer fonksiyonu daha değişik olarak yazılabilir.

$$G(s) = \frac{K(1+T_1s)(1+T_2s)\dots(1+T_ms)}{s^l(1+T_as)(1+T_bs)\dots(1+T_ns)}$$

Burada K gerçekte sabit ve T_s de gerçekte veya kompleks sayılar olabilir. Bode diyagramının çiziminde transfer fonksiyonunu ilk olarak bu formda yazılması gerekmektedir.

Bode diyagramının çizimini gösterme amacıyla yukardaki transfer fonksiyonunu daha basit olarak ele alalım.

$$G(s) = \frac{K(1+T_1s)(1+T_2s)}{s(1+T_as)(1+j2\zeta\mu-\mu^2)}$$

Burada K, T_1, T_2, T_a, ζ ve μ gerçekte katsayılarıdır. Ve kabul

edelimki ikinci dereceden olan polinom $1+2\xi\mu-\mu^2$, $\mu = \frac{\omega}{\omega_n}$ iki tane kompleks konjuge köke sahip olsun.
 $s=j\omega$

$$G(j\omega) = \frac{K(1+j\omega T_1)(1+j\omega T_2)}{j\omega(1+j\omega T_a)(1+j2\xi\mu-\mu^2)}$$

$G(j\omega)$ nin desibel olarak genliği 10 tabanına göre logaritması ile 20 nin çarpımından elde edilir.

$$\begin{aligned} |G(j\omega)|_{dB} &= 20\log_{10}|G(j\omega)| = 20\log_{10}K + 20\log_{10}|1+j\omega T_1| \\ &+ 20\log_{10}|1+j\omega T_2| - 20\log_{10}|j\omega| \\ &- 20\log_{10}|1+j\omega T_a| - 20\log_{10}|1+j2\xi\mu-\mu^2| \end{aligned}$$

$G(j\omega)$ nin fazıda aşağıdaki şekilde yazılır.

$$\begin{aligned} \angle G(j\omega) &= \angle K + \angle 1+j\omega T_1 + \angle 1+j\omega T_2 - \angle j\omega \\ &- \angle 1+j\omega T_a - \angle 1+j2\xi\mu-\mu^2 \end{aligned}$$

Genel olarak $G(j\omega)$ dört temel faktörden oluşur.

- | | |
|---|------------------------------|
| 1-Sabit faktör. | K |
| 2-Kutuplar ve sıfırlar sıfıra eşit. | $(j\omega)^{\pm p}$ |
| 3-Kutuplar ve sıfırlar sıfırdan farklı. | $(1+j\omega T)^{\pm q}$ |
| 4-Kutuplar ve sıfırlar kompleks degere sahip. | $(1+j2\xi\mu-\mu^2)^{\pm r}$ |

İlk olarak bu dört temel faktör ayrı ayrı çizilip daha sonra bunlar birbirine eklenerek veya çıkarılarak $G(j\omega)$ nin faz eğrisi ve desibel olarak genliği çizilir.

Bu dört temel faktörü şimdi teker teker inceleyelim.

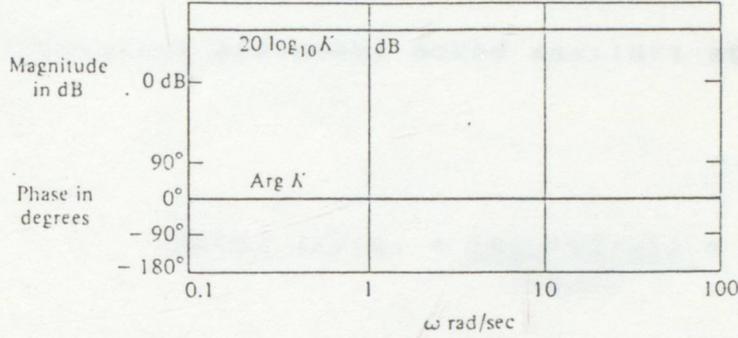
1-Sabit faktör K

$$K_{dB} = 20\log_{10}K = \text{sabit}$$

$$\angle K = \begin{cases} 0^\circ & K > 0 \\ 180^\circ & K < 0 \end{cases}$$

Sabit faktör K için bode diyagramı genlik ve faz olarak

yarı logaritmik koordinatlarda şekilde gösterilmiştir.



Şekil 1.1:Sabit faktör K'nın Bode Diyagramı

2-Kutuplar ve sıfırlar sifıra eşit $(jw)^{\pm p}$

$G(jw)$ nın genligi dB olarak

$$20 \log_{10} |(jw)^{\pm p}| = \pm 20p \log_{10} w \text{ dB}$$

$w \geq 0$ degerleri için yukardaki eşitlikte lineer veya yarı logaritmik koordinatlardadaki dogrunun eşitligi verilen p degeri ile belirlenir. Bu dogruların egimi ise yukardaki eşitligin türevi alınarak tespit edilir.

$$\frac{d}{d \log_{10} w} (\pm 20p \log_{10} w) = \pm 20p \text{ dB}$$

Bütün bu degerlerin hepsi $w=0$ da 0 dB noktasından geçerler. Böylece $\log_{10} w$ nın deyişimi genligin ± 20 dB deyişimine tekabül edecektir. Başka bir deyişle lineer koordinatlarda $\log_{10} w$ daki deyişim ayrı logaritmik koordinatlarda 1, 10, 100, 1000, gibi w nın 1 dekad'lık deyişimine eşittir. Böylece yukardaki eşitlik ile verilen

dogrunun eyimi frekansı $\pm 20p$ dB/dekad olarak isimlendirilir.

iki frekans ayırımını temsil etmede dekad kullanmak yerine bazen oktav da kullanılır. Eger $\frac{w2}{w1} = 2$ ise $w1$ ve $w2$ frekansları birbirlerinden oktav olarak ayrılır. Herhangi $w1$ ve $w2$ frekansları arasındaki dekad sayıları aşağıdaki gibi bulunur.

$$\text{dekad sayısı} = \frac{\log_{10}(w2/w1)}{\log_{10}10} = \log_{10}(w2/w1)$$

Aynı düşünceyle $w1$ ve $w2$ arasındaki oktav sayısı

$$\text{oktav sayısı} = \frac{\log_{10}(w2/w1)}{\log_{10}2} = \frac{1}{0.301} \log_{10}(w2/w1)$$

Böylece oktav ve dekad arasındaki ilişki;

$$\text{oktav sayısı} = \frac{1}{0.301} \text{ dekad}$$

buradan hareket ederek;

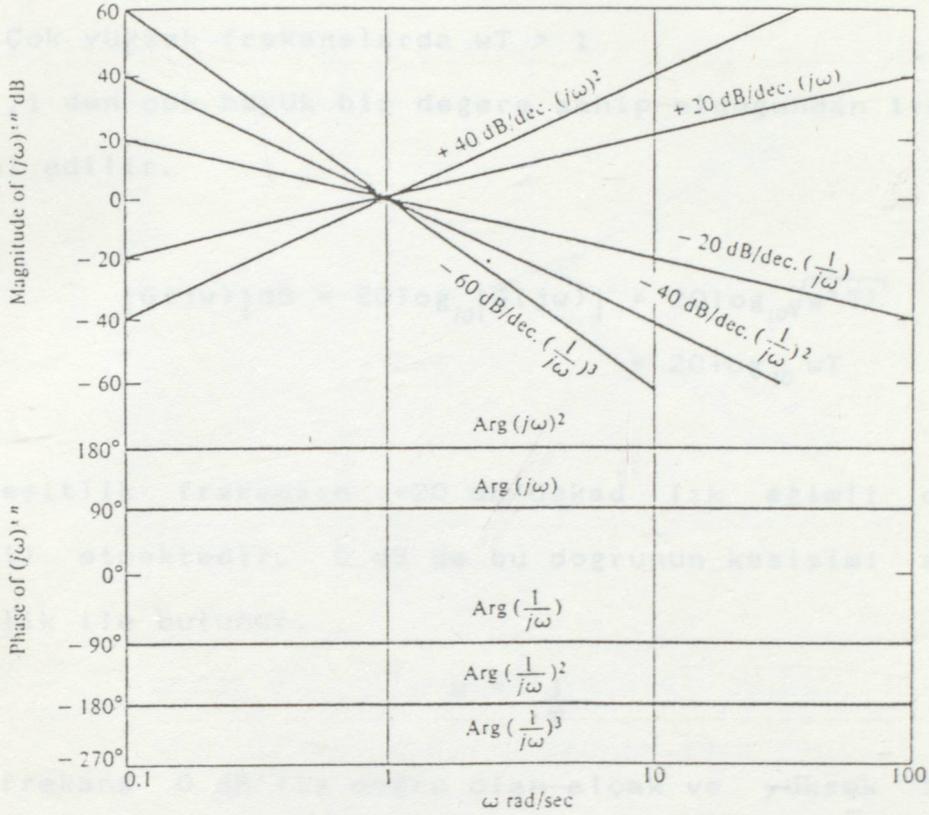
$$\pm 20p \text{ dB/dekad} = \pm 20p \times 0.301 = \pm 6p \text{ dB/oktav}$$

$s=0$ da basit kutuba sahip olan transfer fonksiyonu $G(jw)$ için $G(jw)$ nin genliği -20 dB/dekad lık eğimli bir dogrudur. Ve $w=0$ da 0 dB den geçer.

$G(jw)$ nin fazı ise;

$$\angle (jw)^{\pm p} = \pm p \times 90^\circ$$

$(jw)^{\pm p}$ fonksiyonunun faz ve genlik egrileri p nin değişik değerlerine göre çizilip aşağıdaki şekilde gösterilmiştir.



Şekil 1.2: $(j\omega)^{\pm n}$ nin Bode Diyagramı

3-Kutuplar ve sıfırlar sıfırdan farklı $(1+j\omega T)^{\pm n}$

a) Basit köklü sıfırlar $(1+j\omega T)$

$$G(j\omega) = 1+j\omega T$$

$G(j\omega)$ 'nin genliği desibel olarak;

$$|G(j\omega)|_{dB} = 20 \log_{10} |G(j\omega)| = 20 \log_{10} \sqrt{1+\omega^2 T^2}$$

$G(j\omega)$ 'nin genliğine asimptotik bir yaklaşım elde etmek için ω 'nin çok yüksek ve çok düşük değerlerini düşünelim.

Çok alçak frekanslarda $\omega T \ll 1$

$$|G(j\omega)|_{dB} = 20 \log_{10} |G(j\omega)| = 20 \log_{10} 1 = 0 \text{ dB}$$

burada $w^2 T^2$, 1 ile kıyaslandığı zaman çok küçük olduğundan ihmal ediliyor.

Çok yüksek frekanslarda $wT \gg 1$

$w^2 T^2, 1$ den çok büyük bir değere sahip olduğundan $1+w^2 T^2 = w^2 T^2$ kabul edilir.

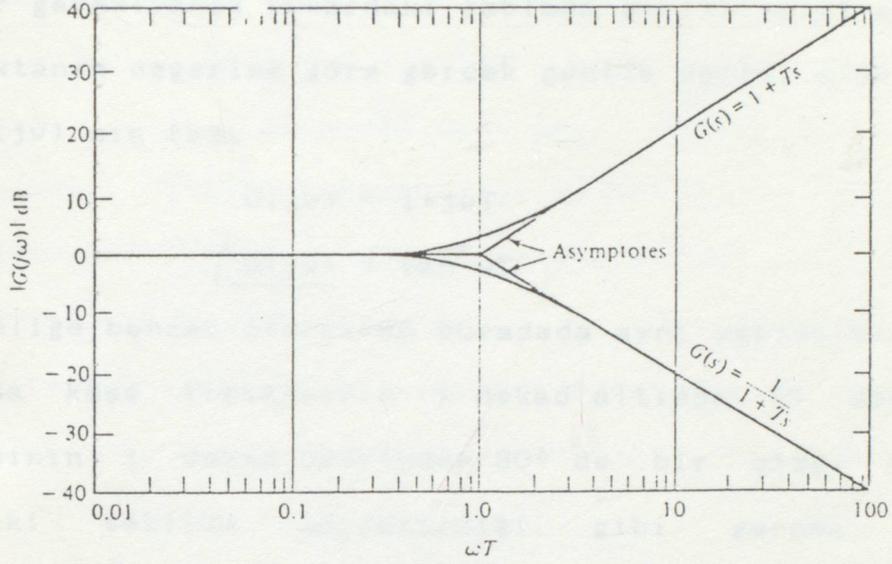
$$\begin{aligned} |G(jw)|_{dB} &= 20 \log_{10} |G(jw)| = 20 \log_{10} \sqrt{w^2 T^2} \\ &= 20 \log_{10} wT \end{aligned}$$

bu eşitlik frekansın +20 dB/dekad lık eğimli doğrusunu temsil etmektedir. 0 dB de bu doğrunun kesişimi aşağıdaki eşitlik ile bulunur.

$$w = \frac{1}{T}$$

Bu frekans 0 dB'lik doğru olan alçak ve yüksek frekanslı yaklaşık diyagramın kesiştiği yerdir. Ve aynı zamanda bu frkans köşe frekansı olarak bilinir.

$G(jw) = 1+jwT$ transfer fonksiyonunun yaklaşık genlik diyagramı ve $G(jw)$ 'nin gerçek genlik eğrileri aşağıdaki şekilde verilmiştir. wT 'nin fonksiyonu olarak $1+jwT$ fonksiyonunun genliği için gerçek değerler bir tablo ile belirtilmiştir.



Şekil 3.1: $G(s)=1+Ts$ ve $G(s)=\frac{1}{1+Ts}$
Bode diyagramının frekansa göre genliği

ωT	$\log_{10} \omega T$	$ 1 + j\omega T $	$ 1 - j\omega T $ (dB)	$\angle 1 - j\omega T$
0.01	-2	1	0	0.5°
0.1	-1	1.04	0.043	5.7°
0.5	-0.3	1.12	1	26.6°
0.76	-0.12	1.26	2	37.4°
1.0	0	1.41	3	45.0°
1.31	0.117	1.65	4.3	52.7°
1.73	0.238	2.0	6.0	60.0°
2.0	0.3	2.23	7.0	63.4°
5.0	0.7	5.1	14.2	78.7°
10.0	1.0	10.4	20.3	84.3°

Tablo 1.1: $1+j\omega T$ fonksiyonunun genliği için gerçek değerler

$(1+j\omega T)$ 'nin genlik eğrisinin elde edilmesinde şu sıra takip edilebilir.

1- $\omega = \frac{1}{T}$ için köşe frekansı oluşturulur.

2- 20 dB/dekad (veya 6 dB/oktav) lık doğru ve 0 dB deki yatay doğru çizilir. Bu iki doğru $w = \frac{1}{T}$ de kesiştirilir.

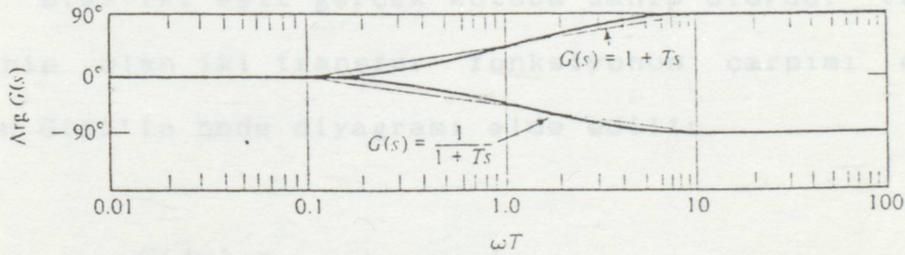
3- Eger gerekiyorsa yukardaki tabloda gösterildiği gibi her bir noktanın değerine göre gerçek genlik egrisi elde edilir.

$G(jw)$ nın fazı

$$G(jw) = 1+jwT$$

$$\angle G(jw) = \tan^{-1} wT$$

Genlige benzer olaraktan buradada aynı yaklaşımla $0^\circ-90^\circ$ arasında köşe frekansının 1 dekad altında 0° den, köşe frekansının 1 dekad üzerinden 90° de bir çizgi çizilir. Aşağıdaki şekilde gösterildiği gibi gerçek egriden asimptotun maksimum sapması 6° den azdır. Yukarıdaki tabloda $|1+jwT|$, wT ye karşı düşen değerleri verilmektedir.



Şekil 1.4: $G(s) = 1+Ts$ ve $G(s) = \frac{1}{1+Ts}$

Bode Diyagramının frekansa göre faz egrileri

b) Basit köklü kutuplar ($1/1+jwT$)

$$G(jw) \text{ nın genliği; } G(jw) = \frac{1}{1+jwT}$$

$$|G(jw)|_{dB} = 20 \log_{10} |G(jw)|$$

$$= 20 \log_{10} \frac{1}{\sqrt{1+w^2 T^2}} = -20 \log_{10} \sqrt{1+w^2 T^2}$$

$$wT \ll 1 \quad |G(jw)|_{dB} = 0 \text{ dB}$$

$$wT \gg 1 \quad |G(jw)|_{dB} = -20 \log_{10} wT$$

$G(jw)$ nın fazı

$$\angle G(jw) = -\tan^{-1} wT$$

Burada bode diyagramının köşe frekansı $w = \frac{1}{T}$ değerindedir. Yüksek frekanslarda asimptot doğrusunun eğimi +20 dB/dekad. $G(jw)$ nın fazı ise $w=0$ olduğu zaman 0° ve w sonsuza yaklaştığı zaman -90° dir.

4-Kutuplar ve sıfırlar kompleks değerlere sahip

İkinci derceden bir transfer fonksiyonunu ele alalım.

$$\begin{aligned} G(s) &= \frac{wn^2}{s^2 + 2\xi wns + wn^2} \\ &= \frac{1}{1 + (2\xi/wn)s + (1/wn^2)s^2} \end{aligned}$$

Burda biz sadece $\xi \leq 1$ durumumile ilgileniyoruz. Aksi taktirde $G(s)$ iki eşit gerçekte kutuba sahip olurdu. Ve bsit köke sahip olan iki transfer fonksiyonunun çarpımı olarak düşünülen $G(s)$ 'in bode diyagramı elde edilir.

$$s = jw$$

$$G(jw) = \frac{1}{[1 - (w/wn)^2] + j2\xi(w/wn)}$$

$G(jw)$ nın desibel olarak genliği

$$20 \log_{10} |G(jw)| = -20 \log_{10} \sqrt{1 - (w/wn)^2 + 4\xi^2 (w/wn)^2}$$

Çok alçak frekanslarda $w/wn \ll 1$

$$\begin{aligned} |G(jw)|_{dB} &= 20 \log_{10} |G(jw)| = -20 \log_{10} \sqrt{(w/wn)^4} \\ &= -40 \log_{10} w/wn \text{ dB} \end{aligned}$$

Bu eşitlik bode diyagramının koordinatlarında -40/dekad

lık eğimli bir doğruyu gösterir. İki asimptotun kesiştiği yer ise aşağıdaki eşitlik ile elde edilir.

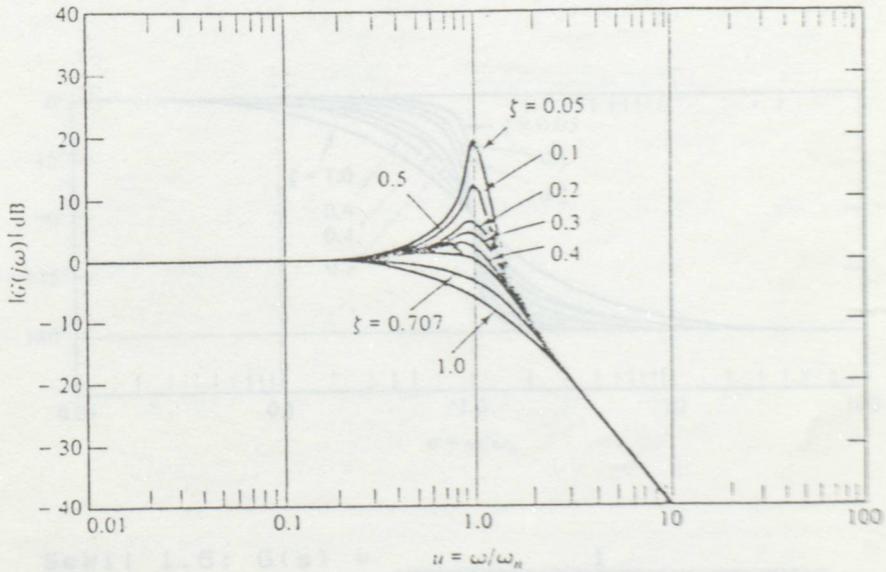
$$-40 \log_{10}(w/w_n) = 0 \text{ dB}$$

$w=w_n$ durumunda.

$w=w_n$ yapan frekans ikinci derceden transfer fonksiyonunun köşe frekans olarak bilinir. ($\xi \leq 1$ olması şartıyla)

Bu durumda $G(jw)$ nin gerçek genlik eğrisi asimptotik doğrulardan farklı olabilir. Bunun sebebi $G(jw)$ nin genlik ve faz eğrilerinin yalnızca köşe frekansı w_n 'e bağlı olmayıp aynı zamanda sönüm oranı ξ bağlı olmasıdır.

Sönüm oranı ξ 'nin değişik değerleri için $G(jw)$ nin gerçek ve asimptotik genlik diyagramı aşağıdaki şekilde gösterilmiştir.



Şekil 1.5: $G(s) = \frac{1}{[1 + 2\xi(s/w_n) + (s/w_n)^2]}$

Bode Diyagramının frekansa göre genliği

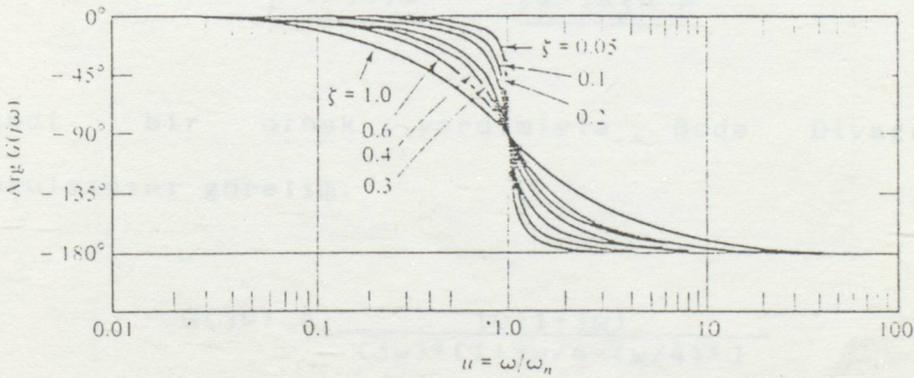
ikinci dereceden transfer fonksiyonunun bode diyagramının genlik kısmının oluşturulmasındaki işlemleri şöyle sıralıyabiliriz.

- 1- ω_n köşe frekansının oluşturulması
- 2- Asimptotik doğruların oluşturulması
- 3- Sönüm oranı ζ 'nin değişik değerlerine karşılık gelen egrileri asimptotlara uygulayarak gerçek egrinin elde edilmesi.

$G(j\omega)$ nin fazı

$$\angle G(j\omega) = -\tan^{-1} \left[\frac{2 \omega/\omega_n}{1 - (\omega/\omega_n)^2} \right]$$

Buda sönüm oranı ζ 'nin değişik değerlerine göre şekilde gösterildiği gibi çizilir.



Şekil 1.6: $G(s) = \frac{1}{[1 + 2\zeta(s/\omega_n) + (s/\omega_n)^2]}$
Bode diyagramının frekansa göre faz egrileri

Bode Diyagramı'nın oluşturılması

Kompleks frekans cevabı olan fonksiyonların bode diyagramları herbir kutup ve sıfır için genlik ve faz eğrilerinin değerlerinin toplanması ile oluşturulur. Bu bode diyagramlarının asimptotik yaklaşımları çoğunlukla yeterlidir. Eger daha fazla doğrulukta bir çizim gerekiyorsa çeşitli frekanslardaki hatalar belirlenir ve asimptotik değerlere eklenir.

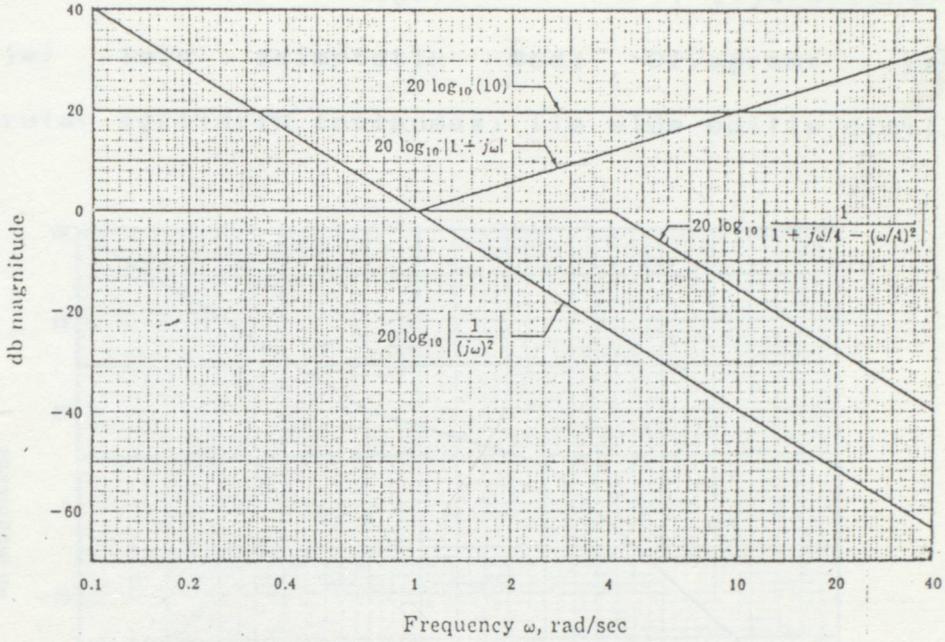
$$G(j\omega) = \frac{K(1+j\omega T_1)(1+j\omega T_2)}{j\omega(1+j\omega T_a)(1+j2\xi\mu-\mu^2)}$$

$$\begin{aligned} |G(j\omega)|_{dB} &= 20\log_{10}|G(j\omega)| = 20\log_{10}K + 20\log_{10}|1+j\omega T_1| \\ &+ 20\log_{10}|1+j\omega T_2| - 20\log_{10}|j\omega| \\ &- 20\log_{10}|1+j\omega T_a| - 20\log_{10}|1+j2\xi\mu-\mu^2| \end{aligned}$$

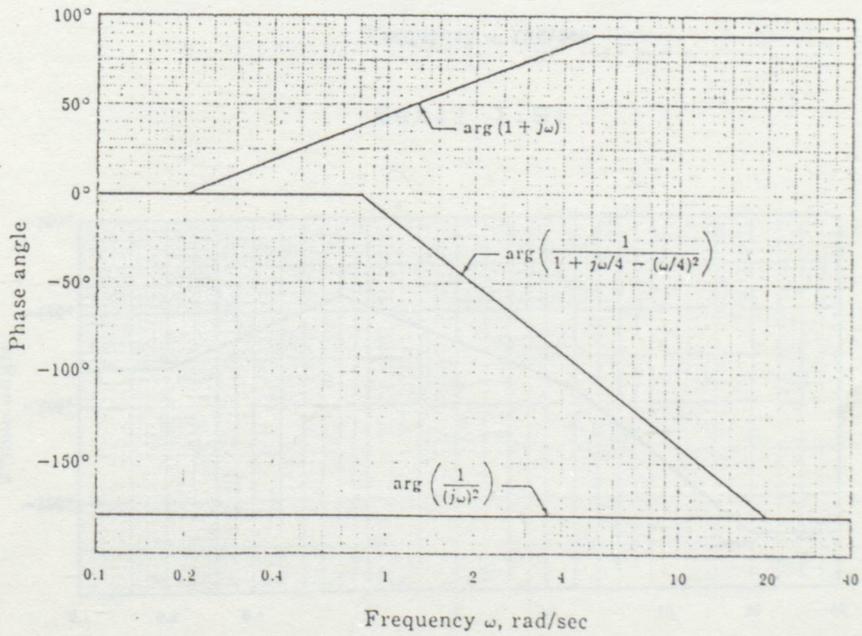
$$\begin{aligned} \underline{|G(j\omega)|} &= \underline{|K|} + \underline{|1+j\omega T_1|} + \underline{|1+j\omega T_2|} - \underline{|j\omega|} \\ &- \underline{|1+j\omega T_a|} - \underline{|1+j2\xi\mu-\mu^2|} \end{aligned}$$

Şimdi bir örnek yardımıyla Bode Diyagramı'nın oluşturulmasını görelim.

$$G(j\omega) = \frac{10(1+j\omega)}{(j\omega)^2 [1+j\omega/4-(\omega/4)^2]}$$



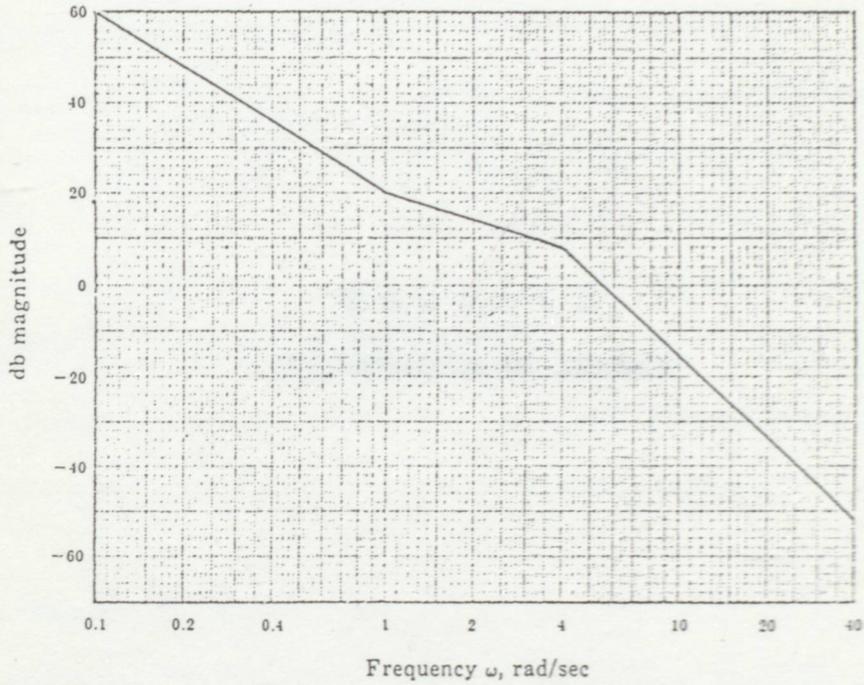
Şekil 1.7:



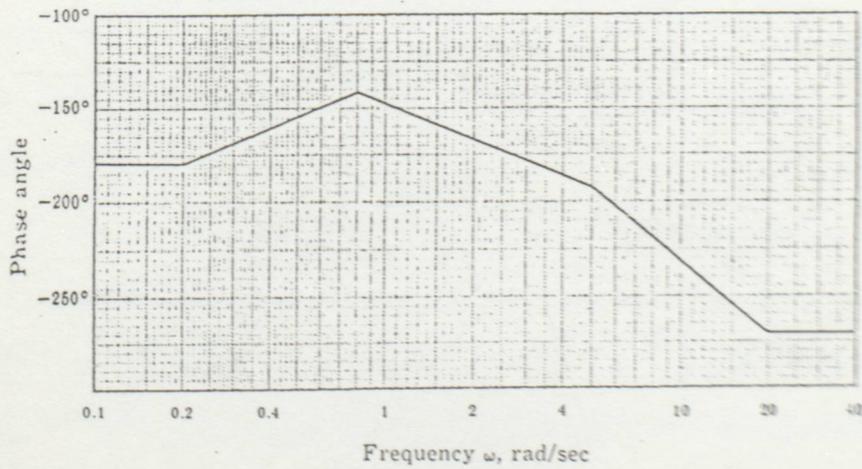
Şekil 1.8:

$$|G(j\omega)|_{dB} = 20\log_{10}|G(j\omega)| = 20\log_{10}10 + 20\log_{10}|1+j\omega| \\ + 20\log_{10}\frac{1}{(j\omega)^2} + 20\log_{10}\left|\frac{1}{1+j\omega/4-(\omega/4)^2}\right|$$

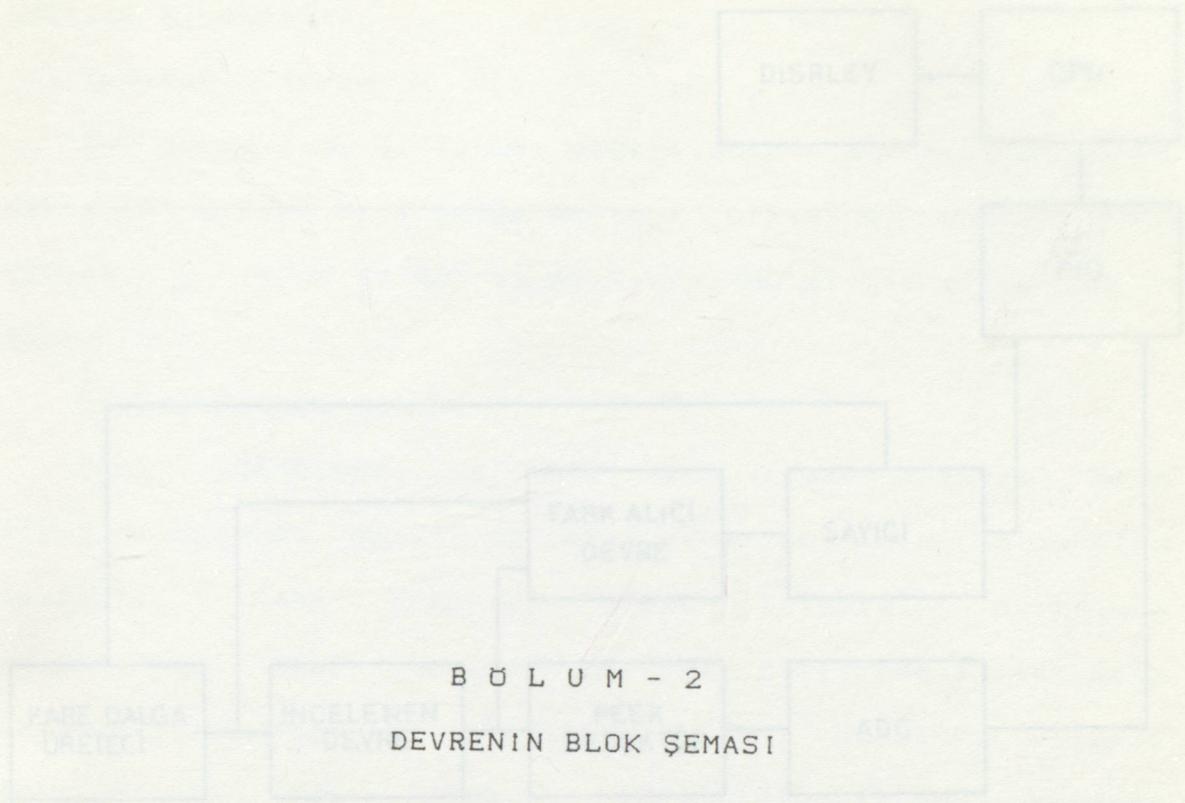
$G(j\omega)$ için asimptotik Bode Diyagramı yukarıda oluşturulan egrilerin toplanması ile elde edilip çizilir.



Şekil 1.9:



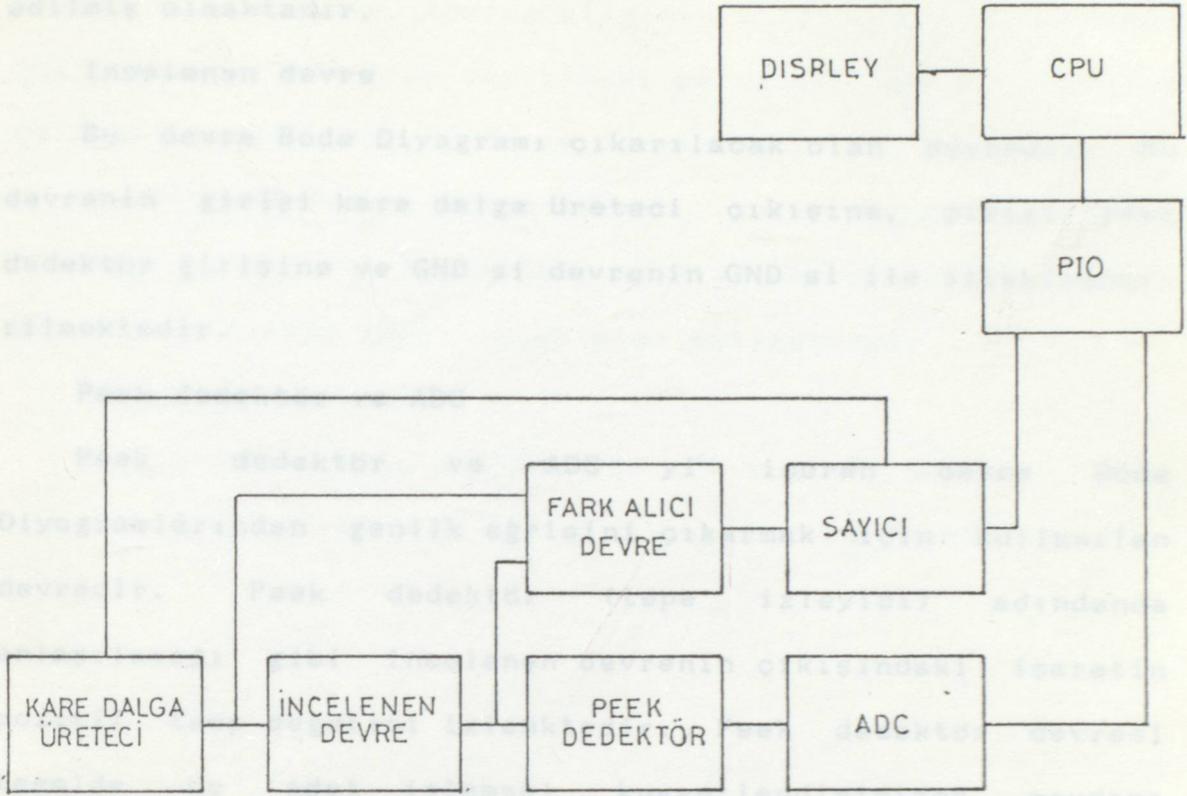
Şekil 1.10:



Şekil 2.1: Devrenin blok şeması

Karedalga Üreteci

Karedalga Üreteci, çalışma aralığı 300 Hz ile 20 KHz olan frekanslar arasında kare dalga sinyal üreten devredir. Bu devrenin girişinde 2,45 MHz'lik sinyal üreten kare dalga üreteci bulunmaktadır. 2,45 MHz'lik sinyal kaliteli bir filtre devresi ile geçirilerek 153,125 KHz'lik kare dalga sinyal elde edilmektedir. Bu sinyal frekans bölücü devrenin referans sinyali olmaktadır. Frekans bölücü devrenin girişinde 2-Bitlik bir sinyal olarak bu devreye verilmektedir. Böylece referans sinyalinin katmanlı bir yapıya sahip olması sağlanmaktadır. Böylece referans sinyalinden elde edilen katmanlı referans sinyalinin çalışma aralığı 300 Hz ile 20 KHz arasındaki frekanslar için



Şekil 2.1:Devrenin blok şeması

Kare dalga üretici

Kare dalga üretici, çalışma aralığı 300 Hz ile 20 KHz olan frekanslar arasında kare dalga sinyal üreten devredir. Bu devrenin girişinde 2.45 MHz sinyal üreten kare dalga osilatör bulunmaktadır. 2.45 MHz lik sinyal onaltıya bölücü devre ile bölünerek 153.125 KHz lik kare dalga sinyal elde edilmektedir. Bu sinyal frekans bölücü devrenin referans sinyali olmaktadır. Frekans bölücü devrenin girişinden 8-bitlik binary olarak bölüm sayısını vermekteyiz. Böylece referans sinyalini maksimum iki yüz elli beş'e bölebilmekteyiz. Böylece referans sinyalinden çalışma aralığımız olan 300 Hz ile 20 KHz arasındaki sinyaller elde

edilmiş olmaktadır. Analog bilginin bilgisayara aktarılması

İncelenen devre ye çevrilmesi gerekir. Sayısal bilgiye

Bu devre Bode Diyagramı çıkarılacak olan devredir. Bu devrenin girişi kare dalga üretici çıkışına, çıkışı peek dedektör girişine ve GND si devrenin GND si ile ilişkilendirilmektedir. İnden geçirilerek elde edilmektedir.

Peek dedektör ve ADC

Peek dedektör ve ADC yi içeren devre Bode Diyagramlarından genlik egrisini çıkarmak için kullanılan devredir. Peek dedektör (tepe izleyici) adındanda anlaşılacağı gibi incelenen devrenin çıkışındaki işaretin pozitif teep degerini izlemektedir. Peek dedektör devresi teemlde üç adet işlemsel kuvvetlendiriciden meydana gelmektedir. İşaretin tepe degeri bir kapasitede şarj edilerek saklanmaktadır. İşlemsel kuvvetlendiricinin kullanılmasının nedeni devrenin duyarlılığını sağlamaktır.

ADC devresi, peek dedektör çıkışındaki DC gerilimin (Bu bir analog bilgidir) sayısal degere dönüştürülmesini sağlar ADC girişine maksimum 5 volt uygulanacak seçilmiştir. Girişinde 5 volt var iken çıkışında 8-bitlik Hexedesimal olarak FF degeri üretilmektedir.

Fark alıcı ve sayıcı devre

Fark alıcı ve sayıcı devrenin çalışma ilkesi sayısal frekansmetre prensibine dayanmaktadır. Fark alıcı karedalga üreticinin çıkışındaki işaret ile incelenen devrenin çıkışındaki işaret arasındaki faz farkını bulan devredir. Elde edilen faz farkı bir karedalga işarettir. Buda bir

bir analog bilgidir. Analog bilginin bilgisayara aktarılması için sayısal bilgiye çevrilmesi gerekir. Sayısal bilgiye çevirme işlemini sayıcı devre yapmaktadır.

Sayıcı devrenin clock işareti kare dalga üreticiden ortalama 1 MHz lik işaret ile elde edilen faz farkı işareti bir VE kapısından geçirilerek elde edilmektedir.

Bilgisayar devresi

Bilgisayar olarak AMSTRAD CPC 464 kullanılmaktadır. PIO olarak bilgisayarın disk drive çıkışı kullanılmaktadır.

BÖLÜM - 3
KAREDALGA ÜRETECİ
VE
İNCELENEN DEVRE

Kristal Osilatör

Bir piezoelektrik kristalin, genellikle kuartzdan, karşı yüzeylerine elektrotlar bağlanır ve bu elektrotlar arasında bir potansiyel uygulanırsa kristal içindeki bağlı yükler kuvvetler etki edecektir. Bu düzgen uygun bir şekilde bağlanırsa, kristal içinde boyut değişiklikleri meydana gelir ve uygun bir şekilde uyandırıldığı takdirde titreşim yapacak olan bir elektromekanik sistem oluşur. Serbest frekans ve Q kritik boyutlarına, yüzeylerin oranlarına göre yönlendirilmeleri ve düzgenin bağlanış şekline bağlıdır. Pratikte birkaç kilohertz'lik frekanslardan megahertz'e kadar olan frekanslar ve birkaç katlı yüksek frekanslara kadar olan Q değeri elde edilebilir.

B Ö L Ü M - 3

KAREDALGA ÜRETECİ

VE

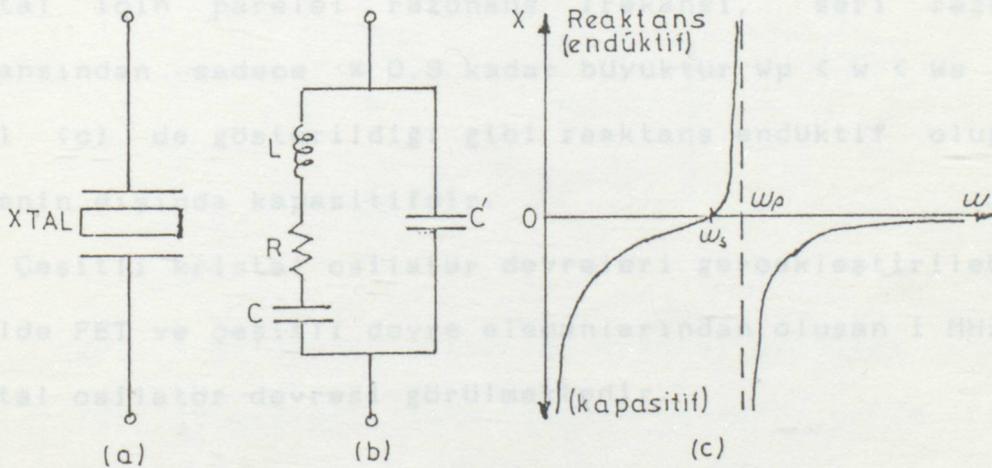
İNCELENEN DEVRE



Şekil 3.1: Bir piezoelektrik kristalin (a) Serbest frekans (b) Elektrotlar arasında uygulanan potansiyel nedeniyle titreşim yapması (c) Frekans yanıtı (f₀ - f_A)

Kristal Osilatör

Bir piezoelektrik kristalin, genellikle kuartzın, karşı yüzeylerine elektrotlar bağlanır ve bu elektrotlar arasına bir potansiyel uygulanırsa kristal içindeki bağlı yüklere kuvvetler etki edecektir. Bu düzen uygun bir şekilde bağlanmış ise kristal içinde boyut değişiklikleri meydana gelir ve uygun bir şekilde uyarıldığı takdirde titreşim yapacak olan bir elektromekanik sistem oluşur. Rezonans frekansı ve Q kristal boyutlarına, yüzeylerin eksenlere göre yönlendirilmelerine ve düzenin bağlanış şekline bağlıdır. Pratikte birkaç kilohertz'den birkaç megahertz'e kadar olan frekanslar ve birkaç binden, birkaç yüzbine kadar olan Q değerleri elde edilebilir. Bu çok büyük Q değerleri ve kuartzın zamana ve sıcaklığa göre son derece kararlı olan özellikleri, kristalli osilatörlerin frekans kararlılığının olağanüstü yüksek olmasını sağlar.



Şekil 3.1: Bir piezoelektrik kristalin (a) Sembolü (b) Elektriksel modeli (c) Reaktans fonksiyonu (R=0 ise)

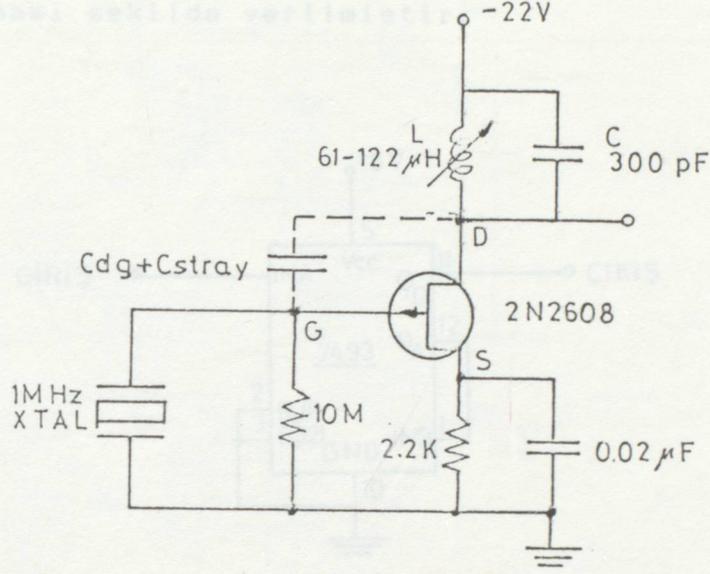
Bir kristalin elektriksel eşdeğer devresi şekilde gösterilmiştir. L bobini, C kondansatörü ve R direnci mekanik sistemin kütle, yay sabiti ve viskoz sönüm katsayısına karşı düşer. 90 KHz lik bir kristal için tipik değerler $Q = 5500$ 'e karşı düşmek üzere $L = 137$ H, $C = 0.0235$ pF ve $R = 15$ K dır. Böyle bir kristalin boyutları $30 \times 4 \times 1.5$ mm dir. C_0 dielektrigi kristal olan elektrotlar arasındaki elektrostatik kapasiteyi belirttiğinden değeri $\sim 3,5$ pF C den daha büyüktür.

R direnci ihmal edilirse kristalin empedansı jX

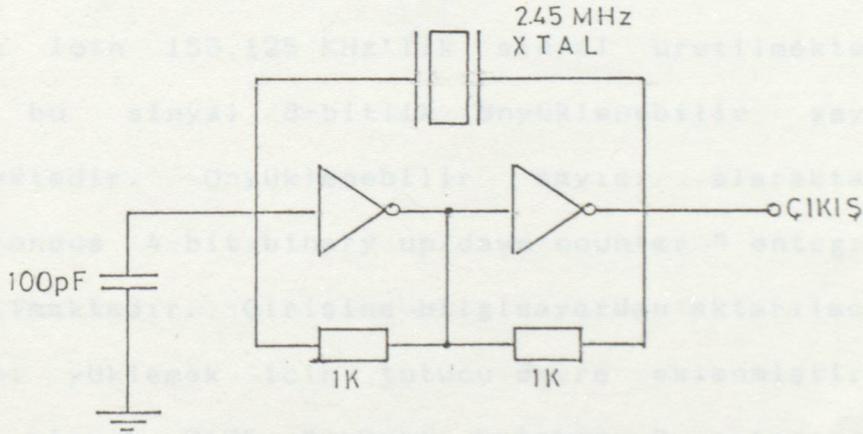
$$jX = - \frac{j}{\omega C'} \frac{\omega^2 - \omega_s^2}{\omega^2 - \omega_p^2}$$

bağıntısı ile frekansa bağlı olan bir reaktans olarak bulunur. Burada $\omega_s^2 = 1/LC$ seri rezonans frekansı ve $\omega_p^2 = (1/L)(1/C + 1/C')$ paralel rezonans frekansıdır. $C' \gg C$ olduğundan $\omega_p = \omega_s$ dir. parametreleri yukarıda belirtilen kristal için paralel rezonans frekansı, seri rezonans frekansından sadece % 0.3 kadar büyüktür $\omega_p < \omega < \omega_s$ için şekil (c) de gösterildiği gibi reaktans endüktif olup bu bölgenin dışında kapasitiftir.

Çeşitli kristal osilatör devreleri gerçekleştirilebilir. Şekilde FET ve çeşitli devre elemanlarından oluşan 1 MHz lik kristal osilatör devresi görülmektedir.



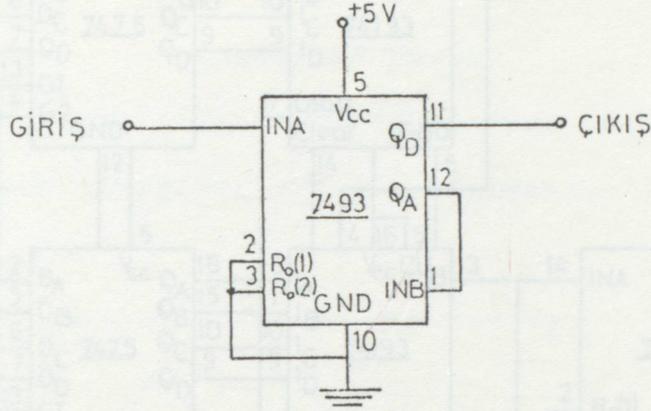
Şekil 3.2: Fet ile gerçekleştirilmiş 1 MHz'lik kristalli bir osilatör.



Şekil 3.3: Gerçekleştirilen kristal osilatör.

Şekilde gerçekleştirilen kristal osilatör devre şeması görülmektedir. Bu devre 2.45 MHz'lik sinyal üretmektedir. Bu sinyalin frekansı bizim devremiz için oldukça fazladır Bu nedenle bu devrenin çıkışına 7493 4-bit binary sayıcı

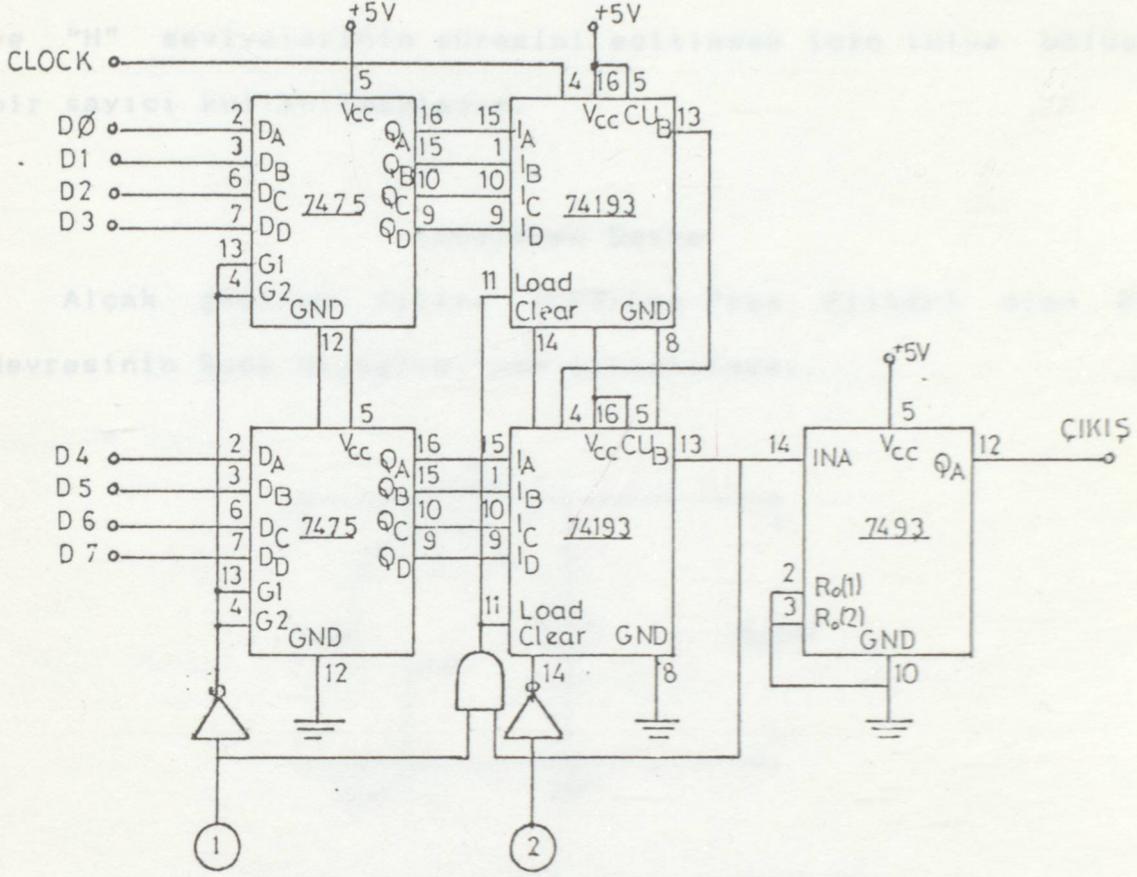
devresi eklenerek sinyal onaltıya bölünmüştür. Sonuçta 153.125 KHz'lik karedalga sinyal elde edilmiştir. Bölücü devrenin şeması şekilde verilmiştir.



Şekil 3.4: Sayıcı/Bölücü devre.

Önyüklenebilir sayıcı

Çalışma aralığımız olan 300 - 20000 Hz'lik sinyalleri üretmek için 153.125 KHz'lik sinyal üretilmektedir. Daha sonra bu sinyal 8-bitlik önyüklenebilir sayıcı ile bölünmektedir. Önyüklenebilir sayıcı alaraktan 74193 "Synchronous 4-bit binary up/down counter" entegre devresi kullanılmaktadır. Girişine bilgisayardan aktarılacak bölüm sayısını yüklemek için tutucu devre eklenmiştir. Tutucu devre olarak 7475 "Quad Latches" entegre devresi kullanılmıştır. Çıkışında ise "L" ve "H" seviyelerinin süresini eşitlemek için ikiye bölücü bir sayıcı kullanılmıştır. Sayıcı devre 7493 entegre devresidir. Tüm devre şeması şekilde gösterilmiştir.



Şekil 3.5: Önyüklenebilir sayıcı

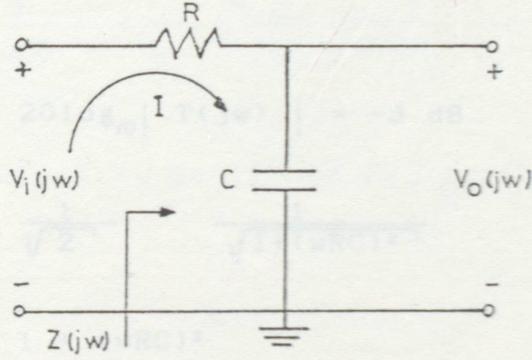
74193 Synchronanous up/down counter (programable counter) 4-bitlik bir sayıcıdır. Oluşturulan devrede iki tane 74193 entegresi kullanılmış ve sonuçta (2x4)-bitlik bir sayıcı elde edilmiştir. Bu 8-bit ile ($2^8 = 256$) 0 ile 255 arasında ondalık sayılar temsil edilebilmektedir.

74193 entegreleri ile oluşturulan önyüklenebilir sayıcıya 152.125 KHz sinyalin uygulandığını söylemiştik. Bu sinyal bilgisayardan sıra ile gelen 255 ile 0 arasındaki sayıların önyüklenebilir sayıcıya yüklenmesi yoluyla bölünür. Önyüklenebilir sayıcı devresi yüklenen sayıdan itibaren

geriye doğru saymaya başlayıp sayım sıfır olunca borrow çıkışından bir darbe üretmektedir. Bu çıkan darbelerin "L" ve "H" seviyelerinin süresini eşitlemek için ikiye bölücü bir sayıcı kullanılmaktadır.

İncelenen Devre

Alçak geçiren filtre (LPF-Low Pass Filter) olan RC devresinin Bode Diyagramı'nın çıkartılması.



Şekil 3.6: Alçak geçiren filtre

$$T(j\omega) = \frac{V_o(j\omega)}{V_i(j\omega)}$$

$$V_o(j\omega) = I(j\omega) \frac{1}{j\omega C} \quad I(j\omega) = \frac{V_i(j\omega)}{Z(j\omega)}$$

$$Z(j\omega) = R + \frac{1}{j\omega C} = \frac{1+j\omega RC}{j\omega C}$$

$$I(j\omega) = \frac{V_i(j\omega)j\omega C}{1+j\omega RC} \quad V_o(j\omega) = \frac{V_i(j\omega)}{1+j\omega RC}$$

$$T(j\omega) = \frac{1}{1+j\omega RC}$$

$$A_v(\text{dB}) = 20 \log_{10} \left| \frac{1}{\sqrt{1+(wRC)^2}} \right|$$

$$= -10 \log_{10} [1+(wRC)^2] \text{ dB}$$

$$\phi = -\tan^{-1}(wRC)$$

Bir filtrede kazancın 3 dB düştüğü frekans köşe frekansı olarak belirtilir. Yukardaki devrenin köşe frekansı şu şekilde bulunur.

$$A_v = 20 \log_{10} |T(jw)| = -3 \text{ dB}$$

$$T(jw) = \frac{1}{\sqrt{2}} = \frac{1}{\sqrt{1+(wRC)^2}}$$

$$2 = 1 + (wRC)^2$$

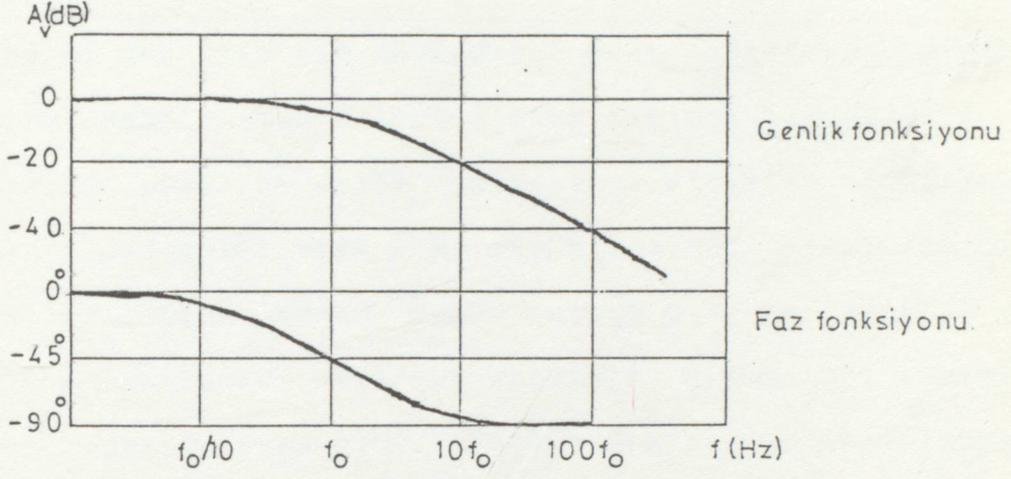
$$(wRC)^2 = 1$$

$$wRC = 1 \quad \text{veya} \quad w = 2\pi f_0 RC$$

$$2\pi f_0 RC = 1$$

$$f_0 = \frac{1}{2\pi RC}$$

Genlik ve faz fonksiyonunun değeri birbirinin 10 katı olan frekanslar (1, 10, 100, 1000, 10000) için hesaplanır. Daha sonra hesaplanan bu değerlere göre aşağıdaki gibi altalta çizilir.



Şekil 3.7: Genlik ve Faz egrileri

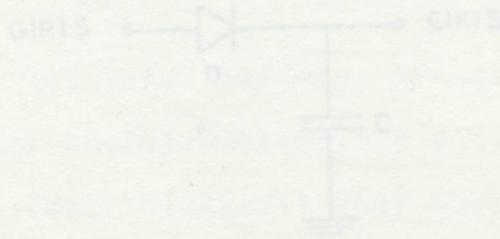
Peak dedektör

Peak dedektör, periyodik olmayan sinyallerin bir basit bir zamanından itibaren maksimum tepe değerini bilmesini sağlayan bir devredir. Peak dedektörün, pozitif tepe veya negatif tepe türünde iki tip türüne ayrılır.

Teoride peak dedektör devresi, sinyalin istenmeyen alternansı (negatif veya pozitif) bir diyot aracılığıyla silinerek yapılır. Daha sonra doğrultulmuş olan bu sinyal bir kapasitöre yüklenir. Böylece kapasite uygulanan sinyalin maksimum değerine şarj olur. Peak dedektörün prensip şeması aşağıdaki gibidir.

B Ü L Ü M - 4

GENLİĞİN ÖLÇÜLMESİ



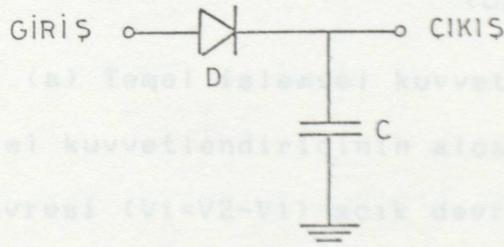
Şekil 4.1. Peak dedektörün prensip şeması

Devre ve kapasitenin ideal olması durumunda prensip şema kullanılabilir. Fakat pratik olarak gerçekleştirilen devre elemanlarının belli bir toleransları bulunduğundan prensip şema yeterince kaliteli değildir. Devrenin duyarlılığı artırarak için istenilen kuvvetlendirici kullanılmaktadır. Böylelikle devrenin duyarlılığı 1000 kat artırılmaktadır. Devre 0.7 mV'a kadar cevap verebilmektedir.

Peek dedektör

Peek dedektör, periyodik olmıyan fonksiyonların bir başlangıç zamanından itibaren maksimum tepe degerinin bilinmesini saglıyan bir devredir. Peek dedektörün, pozitif tepe veya negetif tepe izleyici gibi tipleri mevcuttur.

Temelde peek dedektör devresi, sinyalin istenmeyen alternansı (negatif veya pozitif) bir diyot aracılığı ile yok edilir. Daha sonra dogrultulmuş olan bu sinyal bir kaapsiteye yüklenir. Böylece kapasite uygulanan sinyalin maksimum degerine şarj olur. Peek dedektörün prensip şeması aşağıdaki şekilde verilmiştir.



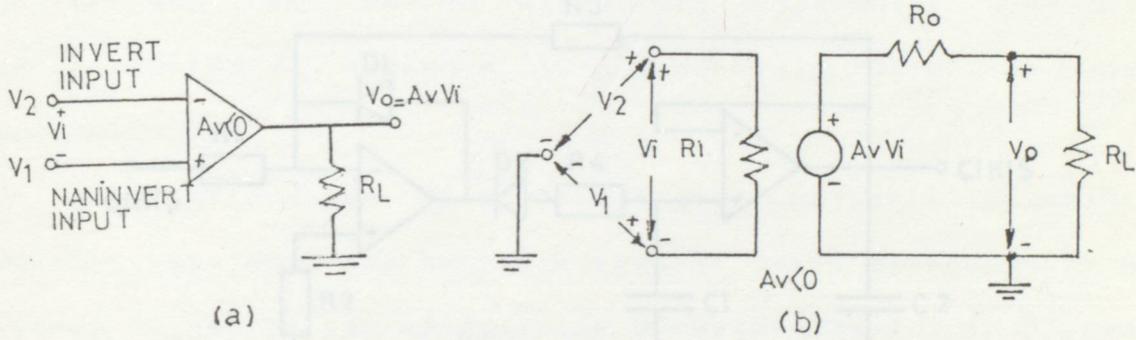
Şekil 4.1: Peek dedektörün prensip şeması

Diyot ve kapasitenin ideal olması durumunda prensip şema kullanılabilir. Fakat pratik olarak gerçekleştirilen devre elemanlarının belli bir toleransları bulunduğundan prensip şema yetersiz kalmaktadır. Devrenin duyarlılığını arttırmak için işlemsel kuvvetlendirici kullanılmaktadır. Böylelikle devrenin duyarlılığı 1000 kat arttırılmıştır. Devre 0.7 mV'a kadar cevap verebilmektedir.

İşlemsel kuvvetlendiriciler

İşlemsel kuvvetlendiricinin şematik diyagramı ve eşdeğer devresi aşağıdaki şekilde gösterilmektedir.

İşlemsel kuvvetlendiriciler yüksek empedanslı invert ve noninvert iki girişe sahiptirler. Girişlerden birinin kullanılması durumunda diğer giriş bir direnç ile toprağa bağlanmaktadır. Genellikle tüm işlemsel kuvvetlendiriciler birtek çıkışa sahiptirler.



Şekil 4.2: (a) Temel işlemsel kuvvetlendirici

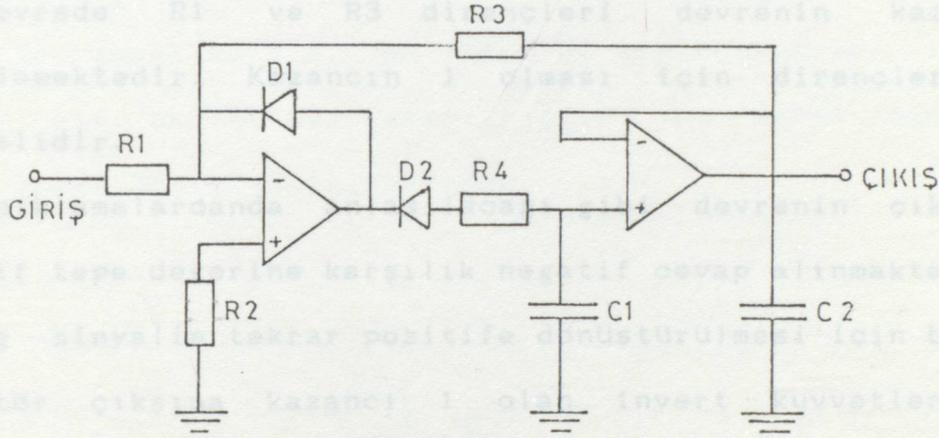
(b) İşlemsel kuvvetlendiricinin alçak frekanstaki eşdeğer devresi ($V_i = V_2 - V_1$) açık devre gerilim kazancı A_o ve yükteki kazancı Av dir.

İdeal işlemsel kuvvetlendirici aşağıdaki karakteristiklere sahiptir.

- | | |
|---|------------------------------------|
| 1- Giriş direnci | $R_i = \infty$ |
| 2- Çıkış direnci | $R_o = 0$ |
| 3- Gerilim kazancı | $A_o = -\infty$ |
| 4- Çalışma bandı | $= \infty$ |
| 5- Simetri çalışma | $V_1 = V_2$ olduğu zaman $V_o = 0$ |
| 6- Karakteristikleri sıcaklık ile değişmez. | |

Pratikte kullanılan işlemsel kuvvetlendiricilerin karakteristikleri ideal işlemsel kuvvetlendiricilerin karakteristiklerine yaklaştığı durumdadır. Kullanılacak işlemsel kuvvetlendiricinin karakteristikleri kataloglardan bulunabilir. Dikkat edilecek özelliklerin en önemlileri, çalışma sıcaklık sınırları ve maksimum frekans sınırıdır.

Gerçekleştirilen devre



Şekil 4.3: Gerçekleştirilen pozitif peek dedektör

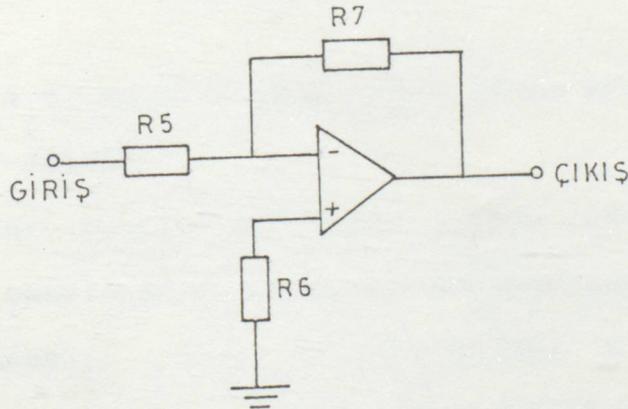
Peak dedektör, duyarlılığı arttırmak için işlemsel kuvvetlendiricilerle gerçekleştirilmiştir. Devre, giriş sinyalinin pozitif tepe değerini izlemektedir. Çıkışta ise negatif gerilim seviyesi vermektedir. Devrede genel tip olan 741 işlemsel kuvvetlendirici kullanılmaktadır.

Devrenin çalışması şöyle açıklanabilir. Girişe uygulanan sinyalin pozitif alternansından işlemsel kuvvetlendiricinin çıkışında negatif bir alternans oluşur. Negatif alternanslarda işlemsel kuvvetlendiricinin çıkışında herhangi bir sinyal alınmaz. Birinci işlemsel

kuvvetlendiricinin çıkışındaki negatif alternanslı sinyal R4 aracılığı ile C1'e yüklenir. C1 kondansatörü boşalmak isteyince D2 diyodu kesime gider ve C1'in boşalmasını engeller. Böylece girişteki sinyalin tepe değeri C1'de depolanır. İkinci işlemsel kuvvetlendirici gerilim izleyici devredir. Girişindeki sinyal aynen çıkışında izlenir. Gereksinme duyulmasının sebebi R3 üzerinden yapılan geri beslemenin uygun polaritede olmasını sağlamaktır.

Devrede R1 ve R3 dirençleri devrenin kazancını belirlemektedir. Kazancın 1 olması için dirençler eşit seçimelidir.

Açıklamalardanda anlaşılacağı gibi devrenin çıkışında pozitif tepe değerine karşılık negatif cevap alınmaktadır. Bu analog sinyalin tekrar pozitifte dönüştürülmesi için bu peek dedektör çıkışına kazancı 1 olan invert kuvvetlendirici konulmuştur. Invert kuvvetlendiricinin devre şeması aşağıdaki şekilde verilmiştir.

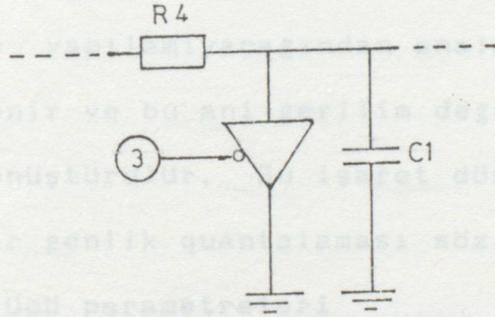


Şekil 4.4: Invert kuvvetlendirici

Tüm devrede kullanılan malzemelerin değeri şöyledir.

R1 = 10 K	R5 = 10 K
R2 = 5 K	R6 = 5 K
R3 = 10 K	R7 = 10 K
D1 = 1N4001	
D2 = 1N4001	
R4 = 10 K	
C1 = 10 μ F	
C2 = 10 μ F	

Yukardaki devre için kondansatörün boşaltılıp daha sonra uygun zaman aralıkları ile şarj edilerek bu şarj edilen analog bilginin ADC'ye gönderilmesini gerçekleştiren ek bir donanıma gerek vardır. Bu işlem C1 kondansatörüne paralel olarak bir buffer yerleştirilmiştir. Bu işlem aşağıdaki devre şemasında gösterilmektedir.



Şekil 4.5: Pozitif peek dedektörden bir kesit

(buffer-74125)

Kondansatör boşalınca kadar buffer aktif olmalıdır. Kondansatör boşaldıktan sonra A/D dönüştürücünün bilginin okunması gerekir. A/D dönüştürücüden 3 tane örnek alınmaktadır. Bunların ortalaması alınarak bulunan değer A/D dönüştürücüden alınan değer kabul edilmektedir.

A/D DÖNÜŞTÜRUCÜLER

Bütün fiziksel olaylar analog özellik gösterir. Örneğin bir ışık olayı, sıcaklık olayı, malzemenin uzaması sonuçta bize analog bilgi verir. Bilgisayarların kullanımından önce bunların ölçümü analog idi. Ölçümlerin daha doğru ve daha rahat okunması sayısal elektronik ile gerçekleştirilmiştir. Sayısal bilgisayar ile ölçüm yapabilmek için analog işaretler lojik mantık seviyeleri olan "1" ve "0" lara dönüştürülmektedir.

Analog alınan bilgiler önce gerilime çevrilir. Gerilime dönüşürülmüş olan analog büyüklüklerin bir bilgisayar, örneğin bir mikroişlemci sistem tarafından işlenmesini sağlamak için analog değerlere karşı düşen sayısal değerlerin belirlenmesi gerekmektedir. Bu işlem sürekli zaman domeninde yapılamıyacağından analog gerilim belirli anlarda örneklenir ve bu ani gerilim değerleri sayısal veri sözcüklerine dönüştürülür. Bu işaret dönüştürme sırasında ayrık zamanlı bir genlik quantalaması söz konusudur.

A/D Dönüştürücü parametreleri

Bir dönüştürücü biriminin transfer özellikleri aşağıda açıklanan parametreler ile tanımlanır.

Ayır d edilebilirlik (Resolution): Bu büyüklük, veri sözcüğünün en düşük ağırlıklı bitinin (Least Significant Bit LSC) değişmesi için giriş geriliminde meydana gelmesi gereken artma yada azalmanın değeridir

Monotonluk (Monotony): Bir dönüştürücünün giriş gerilimi artarken sayısal çıkış değeride sürekli artıyorsa monotonluk

söz konusudur.

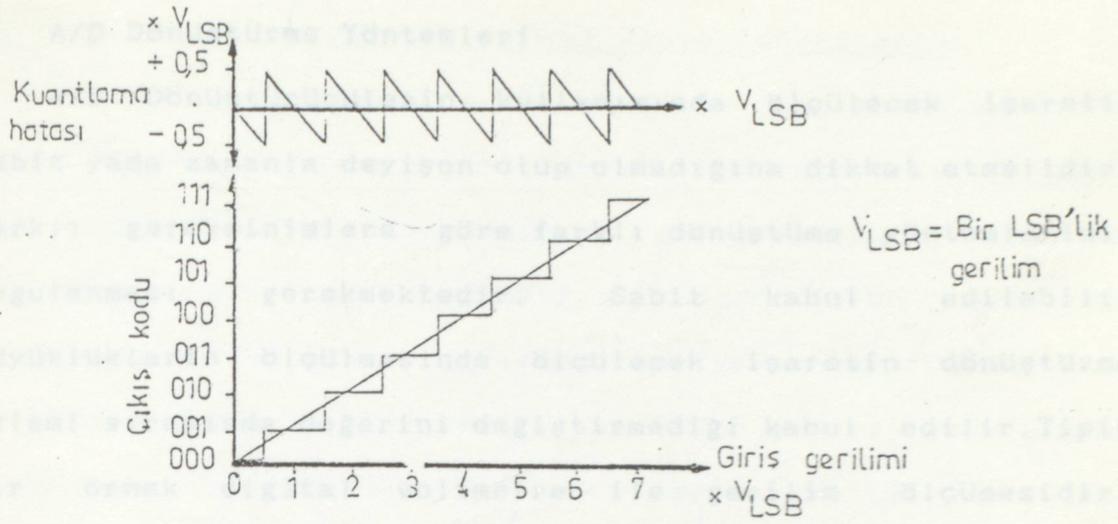
Nonlineerlik (Nonlinearity): Transfer fonksiyonu ile, çıkışın başlangıç ve son değerlerinden geçen doğru arasındaki farkın en büyük değeridir.

Diferansiyel Nonlineerlik (Diferantial Nonlinearity): Birbirini izleyen iki dönüştürme adımı ile, çıkışın başlangıç ve son değerlerinden geçen doğru arasındaki farktır.

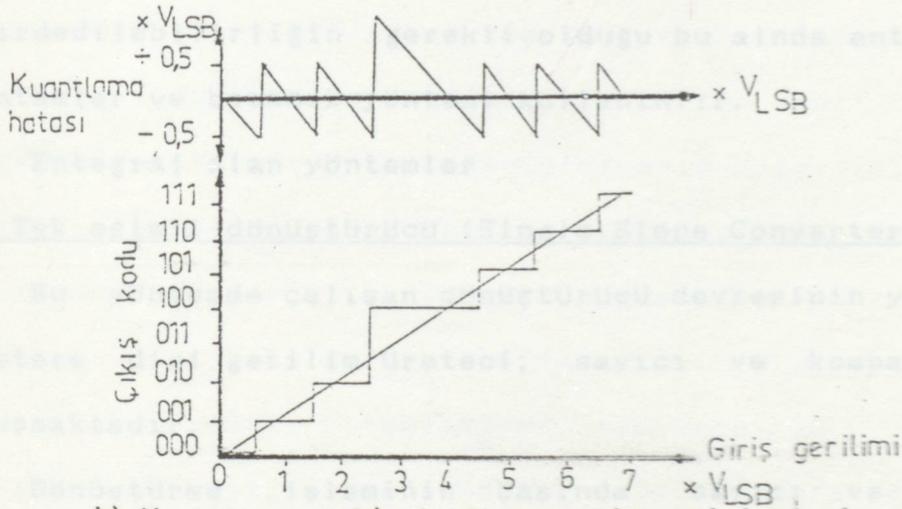
Dönüştürme süresi (Convirsation Time): Belli bir andaki giriş gerilimine karşı düşen sayısal gegerin belirlenmesi için gerekli olan süredir.

Kuantalama Hatası (Quantization Error): Kuantalama hatalarının bir kısmı önüne geçilmeyen yöntem hatalarıdır. Çünkü ayrı ayrı gerilim değerine değil, belli bir gerilim aralığında tek bir sayısal değer karşılık düşürülmektedir. Yöntemden gelen bu hata 0.5 LSB kadardır. Bu yöntem hatasına devre elemanlarının toleransları gibi nedenlerden ileri gelen hatalarda eklenirse, kuantalama hatası daha büyüerek örneğin 1 LSB değerini alır. Bunun anlamı en düşük ağırlıklı veri bitinin değerinin güvenilir olmadığıdır. Ayıredilebilirlik böylece bir bit azalmış olur.

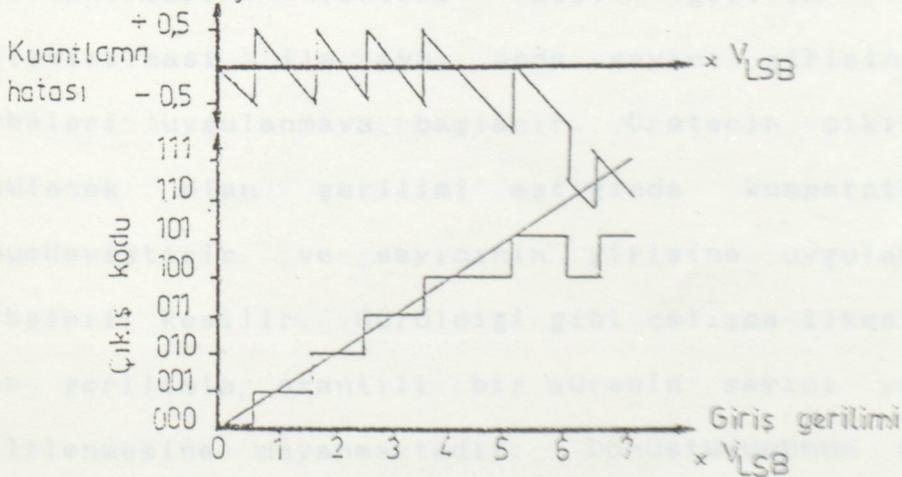
Aşağıdaki şekilde bu kavramlar gösterilmektedir.



a) Monoton ve Linear Bir ADC'nin Geçiş Fonksiyonu



b) Monoton, ama Linear Olmayan Bir ADC'nin Geçiş Fonksiyonu



c) Monoton olmayan Bir ADC'nin Geçiş Fonksiyonu

Şekil 4.6

A/D Dönüştürme Yöntemleri

A/D Dönüştürücülerin kullanımında ölçülecek işaretin sabit yada zamanla değişen olup olmadığına dikkat etmelidir. Farklı gereksinimlere göre farklı dönüştürme yöntemlerinin uygulanması gerekmektedir. Sabit kabul edilebilir büyüklüklerin ölçülmesinde ölçülecek işaretin dönüştürme işlemi sırasında değerini deyiştirmediği kabul edilir. Tipik bir örnek digital voltmetre ile gerilim ölçümesidir. Denellikle uzun dönüştürme zamanında yüksek bir lineerlik ve ayırdedilebilirliğin gerekli olduğu bu alanda entegral alan yöntemler ve basamak yöntemi kullanılır.

Entegral alan yöntemler

a) Tek eğimli dönüştürücü (Single Slope Converters)

Bu yöntemde çalışan dönüştürücü devresinin yapı taşları testere dişi gerilim üretici, sayıcı ve komparatörlerden oluşmaktadır.

Dönüştürme işleminin başında sayıcı ve entegretör sıfırlanırlar. Testere dişi gerilim üreticinin çalıştırılması ile aynı anda sayıcı girişinde clock darbeleri uygulanmaya başlanır. Üreticinin çıkış gerilimi ölçülecek olan gerilimi aştığında komparatör çıkışı konumdeyiştirir ve sayıcının girişine uygulanan clock darbeleri kesilir. Görüldüğü gibi çalışma ilkesi ölçülecek olan gerilimle orantılı bir sürenin sayıcı yardımı ile belirlenmesine dayanmaktadır. Dönüştürücünün özellikleri büyük ölçüde testere dişi gerilim üreticisinde kullanılan RC devresinin kararlılığına bağlıdır.

b) Çift eğimli dönüştürücü (Dual Slope Converters)

Bu yöntemde sayıcının sıfırdan son değerine saymasına kadar geçen süre için giriş geriliminin entegrali alınır. Daha sonra sayıcı sıfırlanır ve entegratörün girişi bir referans kaynağına bağlanır. Kondansatörün boşalması sırasında sayıcı tekrar sıfırdan başlayarak sayar.

Entegratörün çıkış gerilimi sıfırdan geçtiği anda sayıcı durdurulur. Böylece belirlenen boşalma süresi, ölçülmek istenen giriş gerilimi ile orantılıdır. Bu dönüştürme yönteminin üstünlüğü clock frekansı ile RC zaman sabitesinin yalnızca dönüştürme işlemi sırasında sabit kalmasının yeterli olmasıdır. Bu nedenle elmanın değerlerinde zamanla meydana gelebilecek değişimler devrenin çalışmasını etkilemez. Diğer bir avantaj dönüştürme süresinin clock frekansı yardımıyla seçilebilmesidir. Ölçülecek gerilime periyodik bozucu işaretler (örneğin 50 Hz şebeke) karışıyorsa entegrasyon süresinin bozucu işaretin periyodunun tam katı olarak (örneğin 40 ms) seçilmesi ile bu bozucunun entegratörün çıkış gerilimi üzerinde etkisi yok edilebilir.

Entegral alan yöntemlerin daha başka çeşitleride kullanılır. Örnek olarak "Dual Slope" yönteminde otomatik dengeleme veya entegrasyon yönteminde ortaya çıkan bazı hataların giderilmesini sağlayan çift entegrasyon "Quad-Slope" yöntemi gösterilebilir.

Basamak Yöntemi

Bu yöntem daha hızlı dönüştürme yöntemlerinden sayılır. Dönüştürücü devresinin yapı taşları komparatör, sayıcı ve

Digital Analog dönüştürücüdür. Ölçülecek gerilim ile D/A dönüştürücünün girişi sıfırdan başlayarak sayan bir sayıcı tarafından belirlenir. Böylece D/A dönüştürücünün çıkış gerilimi her clock çevriminde 1 LSB kadar artar. Dönüştürücünün çıkış gerilimi ölçülecek olan gerilime eriştiğinde sayıcı dudurularak değeri okunur. Saat frekansının üst sınırı D/A dönüştürücünün yerleşme süresi tarafından belirlenir. Bu nedenle dönüştürme hızı entegral alan yöntemlere göre daha yüksek olmasına rağmen daha düşük bir ayırdedilebilirlikle yetinilmek zorundadır.

Zamanla değişen işaretlerin ölçülmesi

Sabit kabuledilebilir büyüklüklerin ölçülmesinden farklı olarak işaret işleme amacıyla yapılan ölçümlerde işaretin zamanla değişiminin olabildiğince doğru olarak belirlenmesi gerekir. Bu arada herhangi bir bilginin kaybolmaması ve değişmemesi için dönüştürücü sistemin bazı temel koşullara uyması gerekmektedir. Shannon'nun örnekleme teoremine göre eğer örnekleme periyodu işaretin en yüksek frekanslı bileşiminin periyodunun yarısı ise işaret bozulmadan tekrar elde edilebilir. Bu koşul yerine getirilmezse işaretin örneğin bir D/A dönüştürücü sistemi ile tekrar elde edilmesi sırasında bir vuru olayı oluşur. Bu hatalı kuantalama etkisine "alising" adı verilir. Bu nedenle dönüştürülecek işaretin ideal bir alçak geçiren filtreden geçirilerek ilgilenilmeyen yüksek frekanslı bileşenlerin süzülmesi gerekmektedir. Sınır frekansının üzerindeki frekanslarda sonsuz zayıflatma sağlayan ideal flitrelerin gerçekleşmesi

olanaksız olduğundan örnekleme frekansı işaret süzöldükten sonra kalan 0.5 LSB'den büyük genlikli bileşenin frekansının iki katı olmalıdır. Bu nedenle gerçek sistemlerde genellikle gerekli olanın üç katındanda yüksek frekansla örnekleme yapılır. Bu ise doğal olarak hızlı dönüştürücülerin kullanılmasını gerektirir.

Hızlı dönüştürme yöntemleri

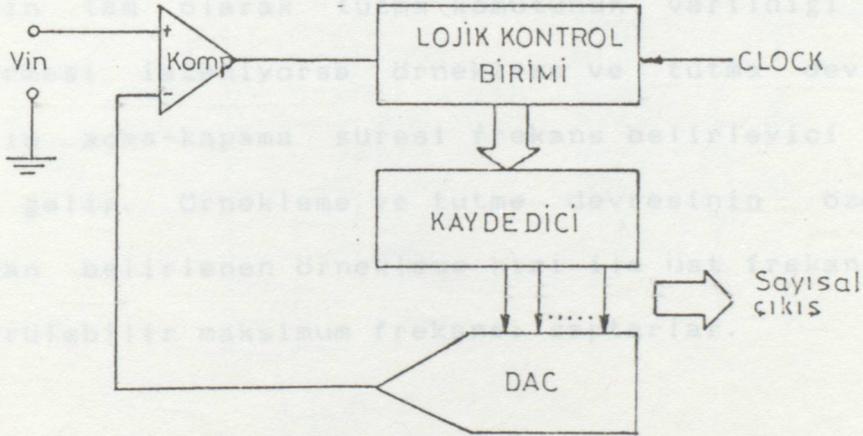
Paralel Yötem (Flashing)

Kullanılan en hızlı dönüştürme yöntemidir. Bu yöntemde her komparatörün eşik değerinin bir kuantalama basamağına karşı düştüğü bir paralel komparatör dizisine uygulanır ve hangi komparatör çıkışlarının lojik "1" seviyesini aldığı belirlenir. Bu çıkışlar bir kod çözücüye iletilerek sayısal veri sözcüğü tek adımda elde edilir. Bu tür dönüştürücülerin gerçekleşmesi devre tekniğı açısından oldukça masraflıdır. Altı bitlik bir dönüştürücüde 63 tane komparatörün kullanılması gerekir ancak dönüştürme süresinde 20..50 ns gibi çok küçük bir degerdedir.

Ardışık Yaklaşım Yöntemi (Successive Approximation)

En yaygın olarak kullanılan yöntem az bir lineerlik sapması, yüksek ayırdelebilirlik ve kısa dönüştürme süreleri sağlıyan ardışık yaklaşım yöntemidir. Aşağıdaki blok şemada görüldüğü gibi dönüştürücü, bir komparatör, saat darbesi ile yönetile bir kontrol birimi, bir kaydedici ve bir D/A dönüştürücüden oluşur. Dönüştürme işleminin başında ilk clock darbesi ile en yüksek degerli bit D/A dönüştürücünün girişine uygulanır. D/A dönüştürücünün

çıkışında bu bite karşı düşen gerilim elde edilerek komparatirde giriş gerilimi ile karşılaştırılır. Girişteki işaret gerilimi D/A dönüştürücünün çıkış geriliminden büyükse komparatör çıkışı lojik "1" küçükse lojik "0" seviyesini alır. Bu süreç izleyen clock çevrimlerinde daha düşük değerli bitlerle tekrarlanır. Böylece 8 bitlik bir veri sözcüğü, 8 clock çevrimi sonunda elde edilebilir. Clock frekansı ve buna bağlı olarak dönüştürme hızı D/a dönüştürücünün yerleşme süresi tarafından belirlenir.

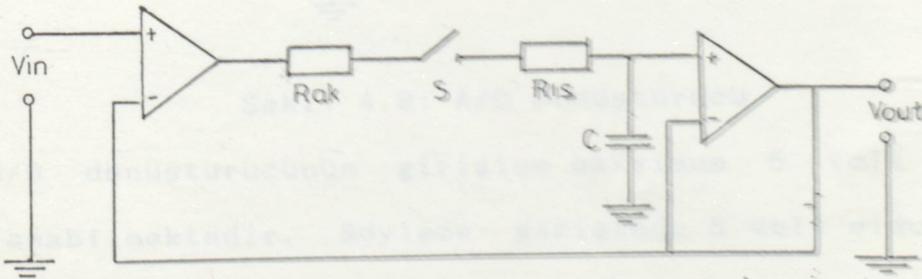


Şekil 4.7: Ardışık Yaklaşım Yöntemi ile çalışan bir A/D dönüştürücünün blok şeması.

Örnekleme ve Tutma Devreleri

Dönüştürülecek işareti, dönüştürme işlemi sırasında dar sınırlar içerisinde (örneğin 0.5 LSB) sabit tutan örnekleme ve tutma (sample and hold) devreleri sayesinde dönüştürülebilecek maksimum frekansın değeri önemli ölçüde

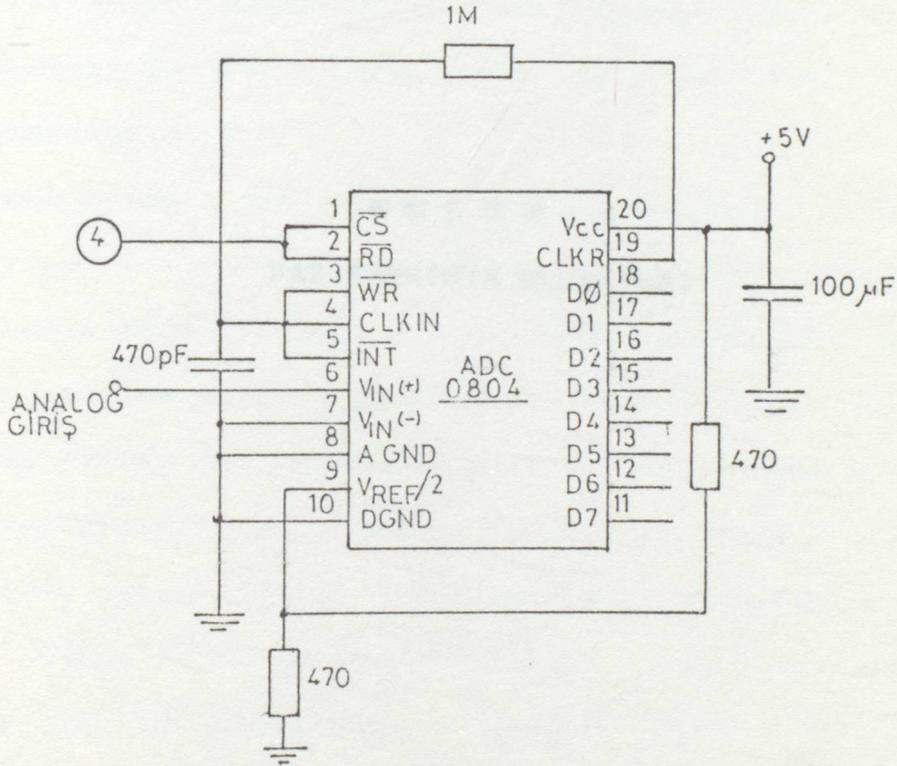
arttırılabilir. Örnekleme ve tutma devrelerinin sistem parametreleri frekansı belirleyen büyüklüklerdir. Aşağıdaki şekildedeki anlaşılacağı gibi örnekleme sırasında giriş işaretinin seviyesine kadar dolan bir kondansatör ile buna seri bağlı bir direnç söz konusudur. Tutma sırasında S anahtarı açılınca giriş gerilimine karşı düşen kondansatör gerilimi yüksek dirençli bir empedans çeviricisi üzerinden ölçülür. Bu durumda bir dönüştürücü sisteminin maksimum örnekleme hızı örnekleme ve tutma devresinin yerleşme süresi (acquisition time) ile dönüştürücünün dönüştürme süresinin toplamlarının tersi olarak hesaplanabilir. Ölçülen işaret değerinin tam olarak tutma komutunun verildiği an için belirlenmesi isteniyorsa örnekleme ve tutma devresindeki anahtarın açma-kapama süresi frekans belirleyici büyüklük haline gelir. Örnekleme ve tutma devresinin özellikleri tarafından belirlenen örnekleme hızı ile üst frekans sınırı, dönüştürülebilir maksimum frekansı saptarlar.



Şekil 4.8: Bir örnekleme ve tutma devresinin blok şeması. Ris anahtarın direnci, Rak ise komparatörün çıkış direncini göstermektedir.

Gerçekleştirilen A/D dönüştürücü

Projede gerçekleştirilen A/D dönüştürücü özel teknik bilgi içermemektedir. Sadece katalogta verilen devre şemasının gerçekleştirilmesi olayıdır. A/D dönüştürücü entegresi 0804 dür. Gerçekleştirilen devre aşağıdaki şekilde gösterilmektedir.



Şekil 4.9: A/D Dönüştürücü

A/D dönüştürücünün girişine maksimum 5 volt gerilim uygulanabilmektedir. Böylece girişinde 5 volt olduğu zaman çıkışında 8 bitlik heksadesimal olarak FF değeri görülmektedir. Referans gerilimi olarak 2.5 volt gerilim uygulanması gerekir. Bu işlem kaynak gerilimine gerilim bölücü dirençler bağlanarak elde edilmektedir.

Faz Farkı

Projelede gerçekleştirilen faz farkı devresi karedalga üretici çıkışındaki karedalga sinyali ile gecikmiş devrenin çıkışındaki karedalga sinyali arasındaki faz farkını ölçer. Referans frekansı karedalga üretici çıkışındaki sinyaldir.

Yönlü Belirlenmesi

Referans sinyali ile değerlendirilen sinyal arasındaki faz farkının İLERİ/GERİ (NEGATİF/POZİTİF) olduğunu belirlemek gerekir. Bunda yine referans sinyaline göre belirlenmektedir.

B Ö L Ü M - 5 JK-Flip Flop

FAZ FARKININ ÖLÇÜLMESİ

Burada yön belirleme yapılmaktadır. JK-Flip Flop ile gerçekleştirilen ölçümde, GND, K girişine değeri atılabilecek sinyal, clock girişine ise referans sinyali verilmektedir. JK-Flip Flop kenar tetiklidir. Tetikleme işleminin "H" dan "L" e geçen kenar yapılmaktadır. Clock (Referans) sinyali düşen kenar varlığında K girişinde "H" varsa Q çıkışında "L" üretilmektedir. Böylece faz farkı pozitif işaretli veya ileri yöndedir. K girişinde "L" varsa Q çıkışında "H" üretilmektedir. Böylece faz farkı negatif işaretli veya geriden izlenmektedir.



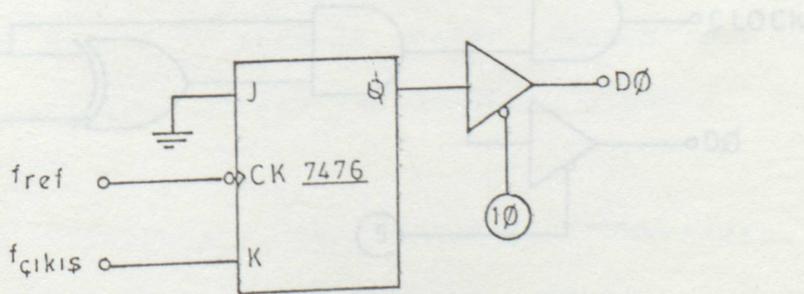
Şekil 5.14 JK-Flip Flop

Faz Farkı Devresi

Projede gerçekleştirilen faz farkı devresi karedalga üretici çıkışındaki karedalga sinyal ile incelenen devrenin çıkışındaki karedalga sinyal arasındaki faz farkını bulur. Referans frekansı karedalga üretici çıkışındaki sinyaldir.

Yönün Belirlenmesi "H" üreten devredir. Bu nedenle Referans sinyali ile değerlendirilen sinyal arasındaki faz farkının İLERİ/GERİ (NEGATİF/POZİTİF) olduğunun belirlenmesi gerekir. Buda yine referans sinyaline göre belirlenmektedir.

Burada yön belirleme işlemi JK-Flip Flop ile yapılmaktadır. JK-Flip Flop'un J girişine GND, K girişine değerlendirilecek sinyal, clock girişine ise referans sinyali verilmektedir. JK-Flip Flop kenar tetiklemelidir. Tetikleme işlemi "H" dan "L" a geçen kenarla yapılmaktadır. Clock (Referans) sinyali düşen kenar verdiğinde K girişinde "H" varsa Q çıkışında "L" üretilmektedir. Böylece faz farkı pozitif işaretli veya ileri yöndedir. K girişinde "L" varsa Q çıkışında "H" üretilmekte, böylece faz farkı negatif işaretli veya geriden izlenmektedir.



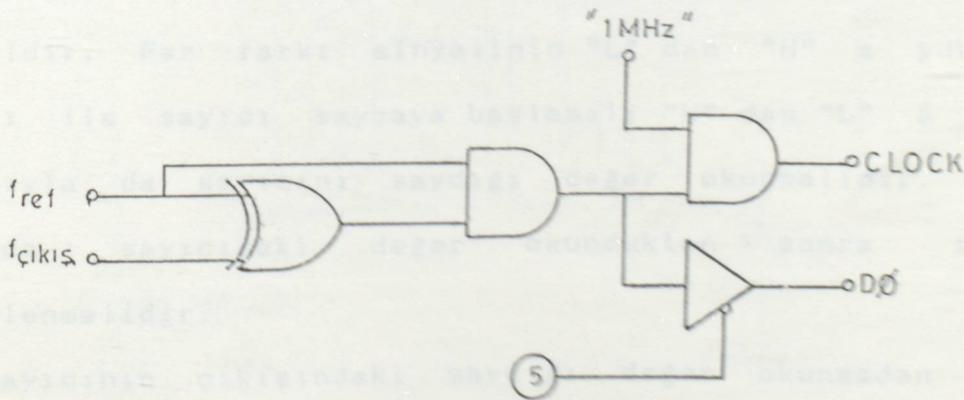
Şekil 5.1: JK-Flip Flop

Fark Alıcı Devre

Fark alıcı, analog olarak iki sinyal arasındaki faz farkını bulan devredir. Elde edilen analog sinyal yine bir kare dalga sinyalidir.

Başlangıç noktası, iki sinyalin lojik olarak farklı oldukları bölgede lojik "H" üreten devredir. Bu nedenle girişlerine faz farkı ölçülecek sinyaller uygulanmak koşulu ile bir EXOR ve VE kapısı aşağıdaki şekilde görüldüğü gibi bağlanması yeterlidir.

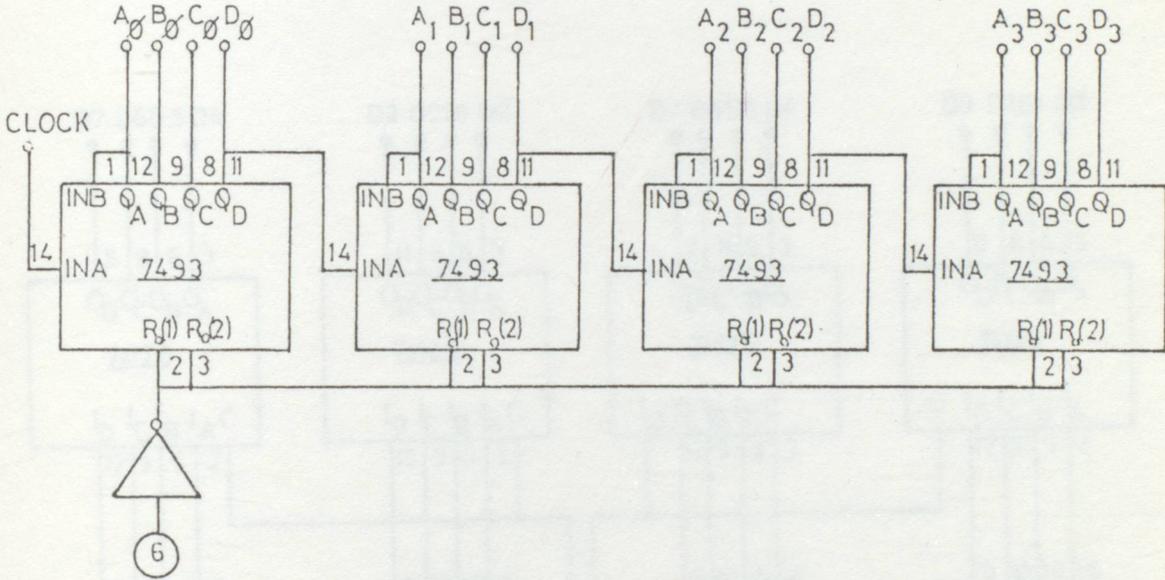
İkinci VE kapısının kullanılmasının nedeni, faz farkı ölçümü temelde sayısal frekans ölçme yöntemine dayanmaktadır. Bu nedenle sayısal faz farkını gösterecek sayıcının Clock sinyalini üretmesi gerekir. Sayıcını saymasını sağlamak için karedalga üreticiden alınan 1MHz lik clock sinyaline sadece faz farkı işaretinin "H" olduğu bölgede izin verilmektedir.



Şekil 5.2: Fark alıcı devre

Sayıcı Devre

Sayıcı devre olarak 16-bitlik sayıcı devre kullanılmıştır. Bu devre 4 adet 7493 Binary Counter entegresi ile gerçekleştirilmiştir. Bu 16-bitlik sayıcının şeması aşağıdaki şekilde gösterilmektedir.



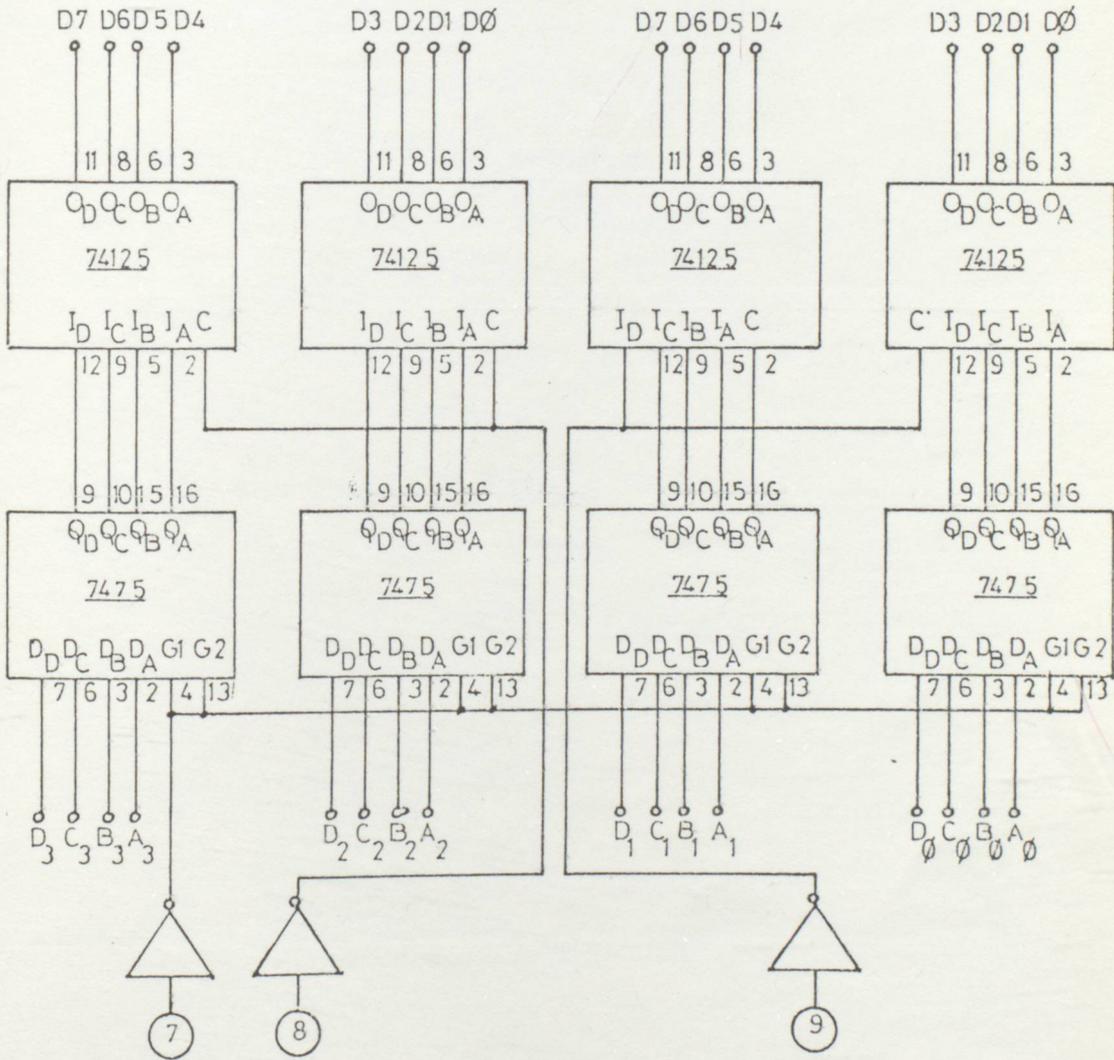
Şekil 5.3: 16-bit sayıcı

Sayıcı devrenin sayma işlemi sadece bir periyot boyunca olmalıdır. Faz farkı sinyalinin "L" dan "H" a yükselen kenarı ile sayıcı saymaya başlamalı "H" dan "L" a düşen kenarıyla da sayıcının saydığı değer okunmalıdır. Aynı zamanda sayıcıdaki değer okunduktan sonra sayıcı temizlenmelidir.

Sayıcının çıkışındaki saydığı değer okunmadan önce çıkışta bulunan tutucu (Latch) devre elemanında saklanmalıdır.

Tutucu ve Buffer Devreleri

Bu tutucu devrenin kullanılmasındaki amaç okumanın sağlıklı yapılabilmesi için daha geniş bir zaman dilimi sağlamaktır. Sayıcı çıkışının tutucuya aktarılması işlemi bilgisayar tarafından yapılmaktadır. Bu tutucu devrenin şeması aşağıdaki şekilde gösterilmektedir.



Şekil 5.4: Tutucu ve Buffer devreleri

Bilgisayarın veri yollarının sürekli yüklenmemesi için okunacak bilgiler buffer aracılığı ile yapılmaktadır. 74LS138 (Decedor/Demultiplexer) entegresi ile buffer kontrol uçları seçilmekte ve her seferinde bilgisayarın veri yollarından 8-bitlik veri okunmaktadır. Bu işlem tutucu ve buffer devrelerinin bağlantı şemasından görülmektedir.

B.Ö.L.U.M. - 0

BİLGİSAYAR VE YAZILIM

Giris Çıkış Birimleri

Anstrad - CPC -484 bilgisayarında GİRİŞ/ÇIKIŞ birimleri heksadesimal olarak FEEO adresinden itibaren yapılmaktadır. Bilgisayara bilgi aktarmak veya bilgisayardan bilgi aktarmak için adres hatlarının seçilmesi gerekir. Ve ayrıca her bilgi değişik adresden işlem görerek gönderilmelidir.

Bütün için 10 adet giriş çıkış birimi gereklidir. Bunlardan iki tanesi karadağlı sinyal üretmek için, iki tanesi A/D dönüştürücüden bilgi almak için, altı tanesi ise faz farkı ölçümü için kullanılır. Bu işlemler bilgisayardan FEEO adresinden itibaren B Ö L Ü M - 6 10 adres ile yapılır.

B Ö L Ü M - 6

BÖLÜM - 6 BİLGISAYAR VE YAZILIM

Bu bölümde sayılan adreslerden birine kabul ederek ya o adreste dışarıya bilgi aktarmak veya bilgisayara bilgi aktararak yapılır. Bu adreslere gelen veri yollarının seçilmesi işlemi 74LS138 Decodör Demultiplexer ile yapılmaktadır.

F	S	E		Çıkışlar (Hex)
1 1 1 1	1 0 0 0	1 1 1 0	X X X X	
1 1 1 1	1 0 0 0	1 1 1 0	0 0 0 0	FE00
1 1 1 1	1 0 0 0	1 1 1 0	0 0 0 1	FE01
1 1 1 1	1 0 0 0	1 1 1 0	0 0 1 0	FE02
1 1 1 1	1 0 0 0	1 1 1 0	0 0 1 1	FE03
1 1 1 1	1 0 0 0	1 1 1 0	1 0 0 0	FE04
1 1 1 1	1 0 0 0	1 1 1 0	1 0 0 1	FE05
1 1 1 1	1 0 0 0	1 1 1 0	1 0 1 0	FE06
1 1 1 1	1 0 0 0	1 1 1 0	1 0 1 1	FE07
1 1 1 1	1 0 0 0	1 1 1 0	1 1 0 0	FE08
1 1 1 1	1 0 0 0	1 1 1 0	1 1 0 1	FE09

Tablo 6.1

74LS138 entegresinde 8 çıkış olduğundan bütün için yetersiz kalmaktadır. Bu nedenle 2 adet 74LS138 entegresi kullanılmaktadır.

Giriş Çıkış Birimleri

Amstrad CPC 464 bilgisayarda GİRİŞ/ÇIKIŞ birimleri heksadesimal olarak F8E0 adresinden itibaren yapılmaktadır. Bilgisayara bilgi aktarmak veya bilgisayardan bilgi aktarmak için adres hatlarının seçilmesi gerekir. Ve ayrıca her bilgi değişik adresten işlem görerek gönderilmelidir.

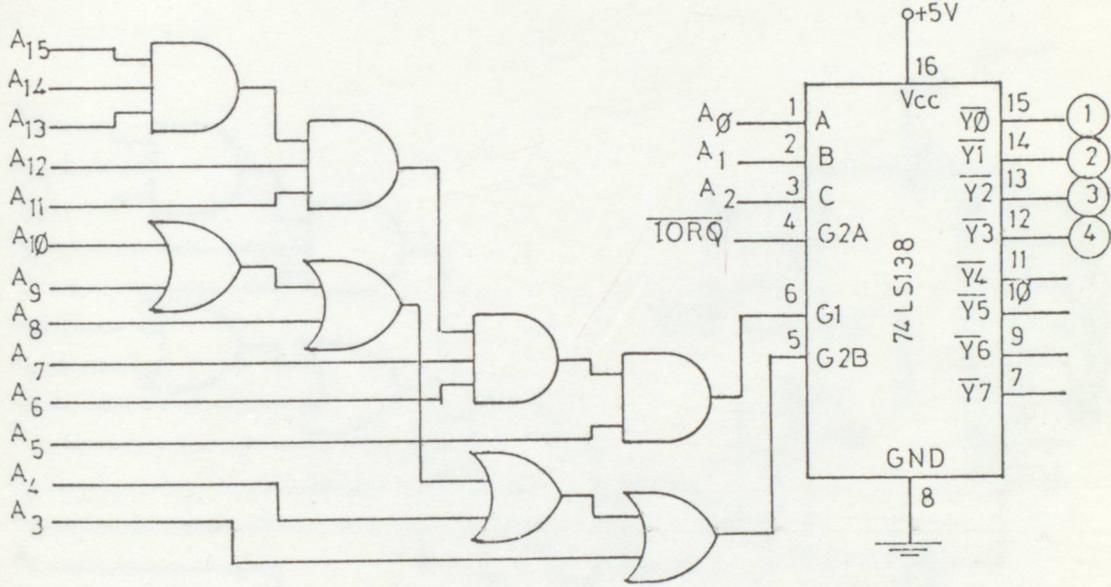
Bizim için 10 adet giriş çıkış birimi gerekmektedir. Bunlardan iki tanesi karedalga sinyal üretmek için, iki tanesi A/D dönüştürücüden bilgi almak için, altı tanesi ise faz farkı ölçümü için kullanılır. Bu işlemler bilgisayarın F8E0 adresinden itibaren devam eden 10 adres ile yapılır. Yukarıda sayılan işlemlerin herbiri adreslerden birine tekabül ederek ya o adresten dışarıya bilgi aktarılarak yada bilgisayara bilgi aktarılarak yapılır. Bu adreslere gelen veri yollarının seçilmesi işlemi 74LS138 Decoder/Demultiplexer ile yapılmaktadır.

F 8 E				Onaltılı (Hex)
1 1 1 1	1 0 0 0	1 1 1 0	X X X X	
1 1 1 1	1 0 0 0	1 1 1 0	0 0 0 0	F8E0
1 1 1 1	1 0 0 0	1 1 1 0	0 0 0 1	F8E1
1 1 1 1	1 0 0 0	1 1 1 0	0 0 1 0	F8E2
1 1 1 1	1 0 0 0	1 1 1 0	0 0 1 1	F8E3
1 1 1 1	1 0 0 0	1 1 1 0	1 0 0 0	F8E8
1 1 1 1	1 0 0 0	1 1 1 0	1 0 0 1	F8E9
1 1 1 1	1 0 0 0	1 1 1 0	1 0 1 0	F8EA
1 1 1 1	1 0 0 0	1 1 1 0	1 0 1 1	F8EB
1 1 1 1	1 0 0 0	1 1 1 0	1 1 0 0	F8EC
1 1 1 1	1 0 0 0	1 1 1 0	1 1 0 1	F8ED

Tablo 6.1

74LS138 entegresinde 8 çıkış olduğundan bizim için yetersiz olup bu nedenle 2 adet 74LS138 entegresi kullanılmaktadır.

Karedalga sinyal üretmek ve A/D dönüştürücüsü için birinci 74LS138 entegre devresi, faz farkı ölçümü için ise ikinci 74LS138 entegre devresi kullanılmıştır.

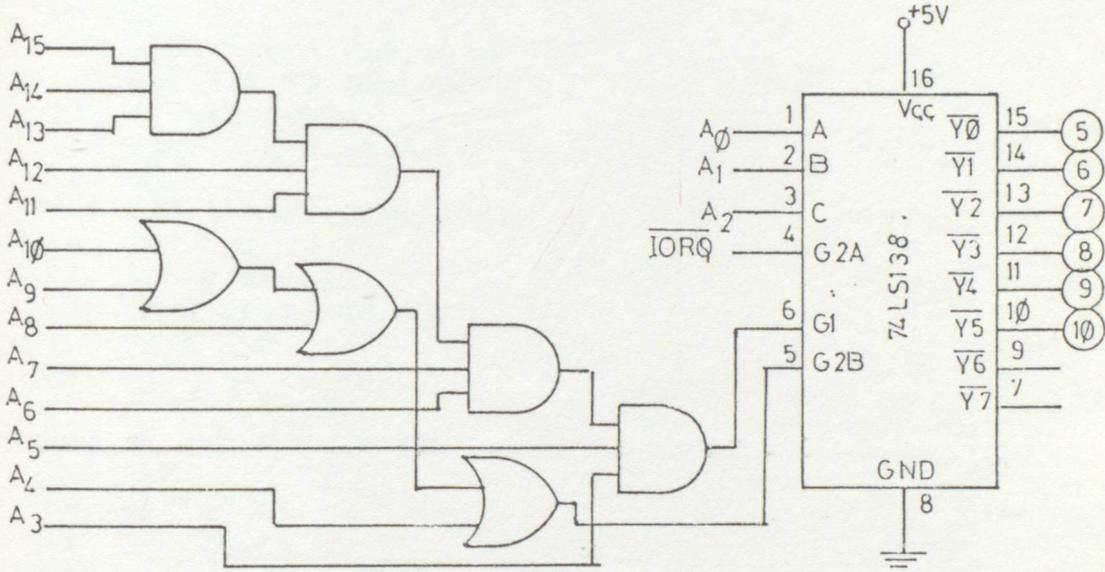


Şekil 6.1: Birinci Decoder/Demultiplexer

Karedalga sinyal üretmek ve A/D dönüştürücüsü için F8E0 - F8E3 arasındaki GİRİŞ/ÇIKIŞ birimleri kullanılmıştır. Buda 74LS138 entegre devresinde Y0 - Y3 arasındaki çıkışlara karşılık düşmektedir. Bu çıkışlar şu şekilde kullanılmaktadır. Y0 çıkışı önyüklenebilir sayıcı devresinde görülen 74193 entegresinin CLEAR (14) girişine. Y1 çıkışı yine aynı devrede görülen 7475 entegresinin (2) numaralı girişine bağlanmaktadır. Y2 çıkışı pozitif peek dedektör devre şemasındaki C1 kondansatörüne paralel olarak bağlı olan buffer'a bağlanmıştır. Buda şekil 4.5 te gösterilmiştir.

Kondansatör boşalınca kadar buffer aktif tutulmakta

kondansatör boşaldıktan sonra A/D dönüştürücüsünün bilgisinin okunması gerekir. Bu okuma işlemi F8E3 adresinden yapılmaktadır. Bunun için Y3 çıkışı A/D dönüştürücünün eleman seçme ucuna bağlanmaktadır.



Şekil 6.2: İkinci Decoder/Demultiplexer.

Faz farkını ölçme işleminde F8E8 - F8ED arasındaki giriş çıkış birimleri ile yapılmaktadır. Buda 74LS138 entegre devresinde Y0 - Y5 arasındaki çıkışlara karşılık düşmektedir

F8E8 adresli GİRİŞ/ÇIKIŞ biriminden fark alıcı devre şemasından görülen DO bilgisi okunmaktadır. Bu sinyal "H" olunca sayıcı devresinde Reset işlemi yapılmaktadır. Bu işlem F8E9 adresinden yapılmaktadır. Daha sonra DO sinyali tekrar okunmakta sinyal "L" olunca F8EA adresi seçilerek bilgiler tutucuya aktarılmaktadır. Daha sonra 16-bitlik sayıcının çıkışlarından ardarda birinci 8-bit ve ikinci

8-bit okunmaktadır. Bu işlemlerde F8EB ve F8EC adreslerinde yapılmaktadır. Son olarakta F8ED adresinden faz farkının işareti okunmaktadır.

Tablo 6.2 de bilgisayar programı ve tablo 6.3 de ise önyüklenebilir sayıcıya uygulanacak bölüm sayıları görülmektedir.

```

80 FOR I=255 TO 4 STEP -1
90 OUT &F8E1,I
90 OUT &F8E2,0
90 FOR J=1 TO 100
90 NEXT J
100 GEN(1)=0 : FAZ(1)=0
110 FOR I=1 TO 3
120 A=INP(&F8E3)
130 GEN(I)=GEN(I)+A
140 NEXT I
150 GEN(I)=INT(GEN(I)/3)
160 FOR K=1 TO 3
170 A=INP(&F8E5)
180 IF A=254 THEN 200
190 GOTO 170
200 FOR J=1 TO 90
210 A=INP(&F8E6)
220 IF A=255 THEN 250
230 NEXT J
240 GOTO 300
250 OUT &F8E9,0
260 A=INPUT(&F8E8)
270 IF A=255 THEN 280
280 OUT &F8EA
290 A=INPUT(&F8E8)
300 B=INPUT(&F8EC)
310 A=255+A
320 FAZ(1)=FAZ(1)+A/B
330 NEXT K
340 FAZ(1)=INT(FAZ(1)/9)
350 A=INP(&F8ED)
360 IF A=255 THEN 390
370 FAZ(1)=-1*FAZ(1)
380 NEXT I

```

Tablo 6.2: Bilgisayar Programı

```

10 DIM GEN(255),FAZ(255)
20 FOR I=255 TO 4 STEP -1
30 OUT &F8E0,0
40 OUT &F8E1,I
50 FOR J=1 TO 100
60 OUT &F8E2,0
70 NEXT J
80 FOR J=1 TO 100
90 NEXT J
100 GEN(I)=0 : FAZ(I)=0
110 FOR I=1 TO 3
120 A=INP(&F8E3)
130 GEN(I)=GEN(I)+A
140 NEXT J
150 GEN(I)=INT(GEN(I)/3)
160 FOR K=1 TO 3
170 A=INP(&F8E8)
180 IF A=254 THEN 200
190 GOTO 170
200 FOR J=1 TO 50
210 A=INP(&F8E8)
220 IF A=255 THEN 250
230 NEXT J
240 GOTO 380
250 OUT &F8E9,0
260 A=INPUT(&F8E8)
270 IF A=255 THEN 260
280 OUT &F8EA
290 A=INPUT(&F8EB)
300 B=INPUT(&F8EC)
310 A=256*A
320 FAZ(I)=FAZ(I)+A+B
330 NEXT K
340 FAZ(I)=INT(FAZ(I)/3)
350 A=INP(&F8ED)
360 IF A=255 THEN 380
370 FAZ(I)=-1*FAZ(I)
380 NEXT I

```

Tablo 6.2: Bilgisayar programı

Uygulanan sinyal(Hz) =====	Bölüm sayısı =====	1.Bölücü çıkışı(Hz) =====	2.Bölücü çıkışı(Hz) =====
153125	255	600	300
153125	254	602	301
153125	253	605	302
153125	252	607	303
153125	251	610	305
153125	250	612	306
153125	249	614	307
153125	248	617	308
153125	247	619	309
153125	246	622	311
153125	245	625	312
153125	244	627	313
153125	243	630	315
153125	242	632	316
153125	241	635	317
153125	240	638	319
153125	239	640	320
153125	238	643	321
153125	237	646	323
153125	236	648	324
153125	235	651	325
153125	234	654	327
153125	233	657	328
153125	232	660	330
153125	231	662	331
153125	230	665	332
153125	229	668	334
153125	228	671	335
153125	227	674	337
153125	226	677	338
153125	225	680	340
153125	224	683	341
153125	223	686	343
153125	222	689	344
153125	221	692	346
153125	220	696	348
153125	219	699	349
153125	218	702	351
153125	217	705	352
153125	216	708	354
153125	215	712	356
153125	214	715	357
153125	213	718	359
153125	212	722	361
153125	211	725	362
153125	210	729	364
153125	209	732	366
153125	208	736	368
153125	207	739	369

Tablo 6.3

Uygulanan sinyal(Hz) =====	Bölüm sayısı =====	1.Bölücü çıkışı(Hz) =====	2.Bölücü çıkışı(Hz) =====
153125	206	743	371
153125	205	746	373
153125	204	750	375
153125	203	754	377
153125	202	758	379
153125	201	761	380
153125	200	765	382
153125	199	769	384
153125	198	773	386
153125	197	777	388
153125	196	781	390
153125	195	785	392
153125	194	789	394
153125	193	793	396
153125	192	797	398
153125	191	801	400
153125	190	805	402
153125	189	810	405
153125	188	814	407
153125	187	818	409
153125	186	823	411
153125	185	827	413
153125	184	832	416
153125	183	836	418
153125	182	841	420
153125	181	845	422
153125	180	850	425
153125	179	855	427
153125	178	860	430
153125	177	865	432
153125	176	870	435
153125	175	875	437
153125	174	880	440
153125	173	885	442
153125	172	890	445
153125	171	895	447
153125	170	900	450
153125	169	906	453
153125	168	911	455
153125	167	916	458
153125	166	922	461
153125	165	928	464
153125	164	933	466
153125	163	939	469
153125	162	945	472
153125	161	951	475
153125	160	957	478
153125	159	963	481
153125	158	969	484
153125	157	975	487
153125	156	981	490

Uygulanan sinyal (Hz) =====	Bölüm sayısı =====	1. Bölücü çıkışı (Hz) =====	2. Bölücü çıkışı (Hz) =====
153125	155	987	493
153125	154	994	497
153125	153	1000	500
153125	152	1007	503
153125	151	1014	507
153125	150	1020	510
153125	149	1027	513
153125	148	1034	517
153125	147	1041	520
153125	146	1048	524
153125	145	1056	528
153125	144	1063	531
153125	143	1070	535
153125	142	1078	539
153125	141	1085	542
153125	140	1093	546
153125	139	1101	550
153125	138	1109	554
153125	137	1117	558
153125	136	1125	562
153125	135	1134	567
153125	134	1142	571
153125	133	1151	575
153125	132	1160	580
153125	131	1168	584
153125	130	1177	588
153125	129	1187	593
153125	128	1196	598
153125	127	1205	602
153125	126	1215	607
153125	125	1225	612
153125	124	1234	617
153125	123	1244	622
153125	122	1255	627
153125	121	1265	632
153125	120	1276	638
153125	119	1286	643
153125	118	1297	648
153125	117	1308	654
153125	116	1320	660
153125	115	1331	665
153125	114	1343	671
153125	113	1355	677
153125	112	1367	683
153125	111	1379	689
153125	110	1392	696
153125	109	1404	702
153125	108	1417	708
153125	107	1431	715
153125	106	1444	722

Uygulanan sinyal (Hz) =====	Bölüm sayısı =====	1. Bölücü çıkışı (Hz) =====	2. Bölücü çıkışı (Hz) =====
153125	105	1458	729
153125	104	1472	736
153125	103	1486	743
153125	102	1501	750
153125	101	1516	758
153125	100	1531	765
153125	99	1546	773
153125	98	1562	781
153125	97	1578	789
153125	96	1595	797
153125	95	1611	805
153125	94	1628	814
153125	93	1646	823
153125	92	1664	832
153125	91	1682	841
153125	90	1701	850
153125	89	1720	860
153125	88	1740	870
153125	87	1760	880
153125	86	1780	890
153125	85	1801	900
153125	84	1822	911
153125	83	1844	922
153125	82	1867	933
153125	81	1890	945
153125	80	1914	957
153125	79	1938	969
153125	78	1963	981
153125	77	1988	994
153125	76	2014	1007
153125	75	2041	1020
153125	74	2069	1034
153125	73	2097	1048
153125	72	2126	1063
153125	71	2156	1078
153125	70	2187	1093
153125	69	2219	1109
153125	68	2251	1125
153125	67	2285	1142
153125	66	2320	1160
153125	65	2355	1177
153125	64	2392	1196
153125	63	2430	1215
153125	62	2469	1234
153125	61	2510	1255
153125	60	2552	1276
153125	59	2595	1297
153125	58	2640	1320
153125	57	2686	1343
153125	56	2734	1367
153125	55	2784	1392

Uygulanan sinyal (Hz) =====	Bölüm sayısı =====	1. Bölücü çıkışı (Hz) =====	2. Bölücü çıkışı (Hz) =====
153125	54	2835	1417
153125	53	2889	1444
153125	52	2944	1472
153125	51	3002	1501
153125	50	3062	1531
153125	49	3125	1562
153125	48	3190	1595
153125	47	3257	1628
153125	46	3328	1664
153125	45	3402	1701
153125	44	3480	1740
153125	43	3561	1780
153125	42	3645	1822
153125	41	3734	1867
153125	40	3828	1914
153125	39	3926	1963
153125	38	4029	2014
153125	37	4138	2069
153125	36	4253	2126
153125	35	4375	2187
153125	34	4503	2251
153125	33	4640	2320
153125	32	4785	2392
153125	31	4939	2469
153125	30	5104	2552
153125	29	5280	2640
153125	28	5468	2734
153125	27	5671	2835
153125	26	5889	2944
153125	25	6125	3062
153125	24	6380	3190
153125	23	6657	3328
153125	22	6960	3480
153125	21	7291	3645
153125	20	7656	3828
153125	19	8059	4029
153125	18	8506	4253
153125	17	9007	4503
153125	16	9570	4785
153125	15	10208	5104
153125	14	10937	5468
153125	13	11778	5889
153125	12	12760	6380
153125	11	13920	6960
153125	10	15312	7656
153125	9	17013	8506
153125	8	19140	9570
153125	7	21875	10937
153125	6	25520	12760
153125	5	30625	15312
153125	4	38281	19140



DM54LS04/DM74LS04 Hex Inverting Gates

General Description

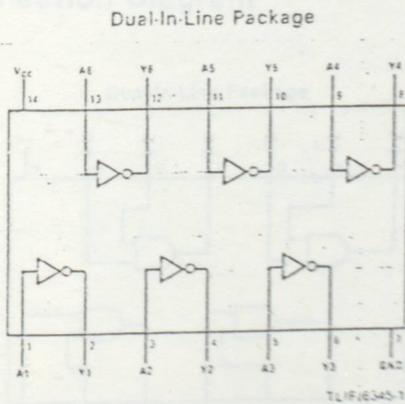
This device contains six independent gates each of which performs the logic INVERT function.

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	-65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram



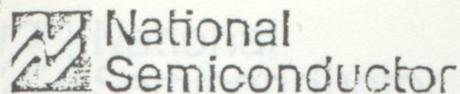
DM54LS04 (J) DM74LS04 (N)

Function Table

$$Y = \overline{A}$$

Input	Output
A	Y
L	H
H	L

H = High Logic Level
L = Low Logic Level



DM54LS08/DM74LS08 Quad 2-Input AND Gates

General Description

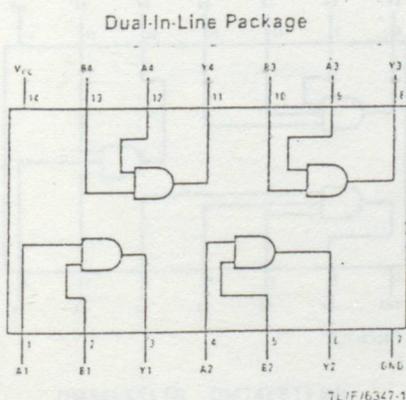
This device contains four independent gates each of which performs the logic AND function.

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	- 65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram



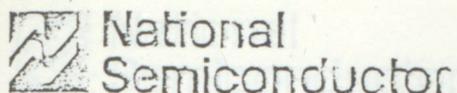
DM54LS08 (J) DM74LS08 (N)

Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level
L = Low Logic Level



DM54LS11/DM74LS11 Triple 3-Input AND Gates

General Description

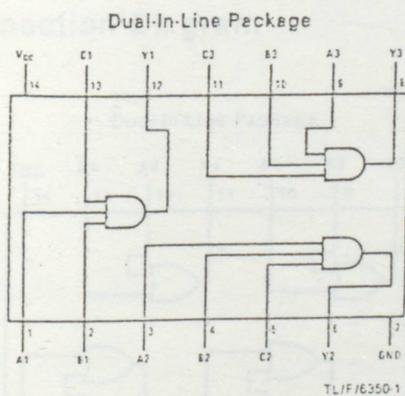
This device contains three independent gates each of which performs the logic AND function.

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	-65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram



DM54LS11 (J) DM74LS11 (N)

Function Table

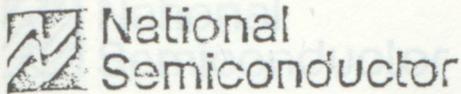
$$Y = ABC$$

Inputs			Output
A	B	C	Y
X	X	L	L
X	L	X	L
L	X	X	L
H	H	H	H

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level



DM54LS75/DM74LS75 Quad Latches

DM54LS32/DM74LS32 Quad 2-Input OR Gates

General Description

This device contains four independent gates each of which performs the logic OR function.

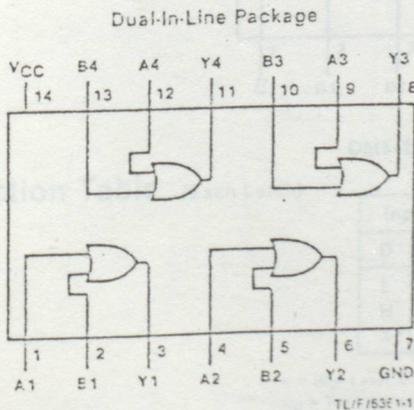
Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	-65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram

Connection Diagram



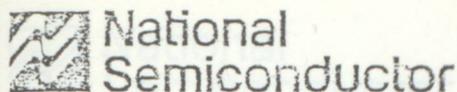
Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level
L = Low Logic Level

DM54LS32 (J) DM74LS32 (N)



DM54LS75/DM74LS75 Quad Latches

DM54LS75A/DM74LS75A Dual Negative-Edge-Triggered

General Description With Preset, C Absolute Maximum Ratings (Note 1)

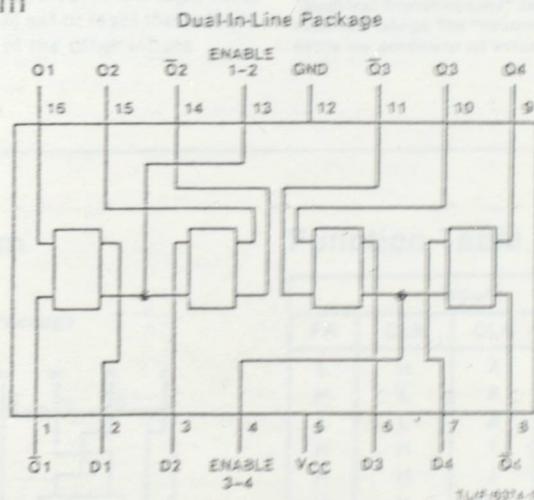
These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q input when the enable (G) is high, and the Q output will follow the data input as long as the enable remains high. When the enable goes low, the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the enable is permitted to go high.

These latches feature complementary Q and \bar{Q} outputs from a 4-bit latch, and are available in 16-pin packages.

Supply Voltage 7V
 Input Voltage 7V
 Storage Temperature Range -65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram



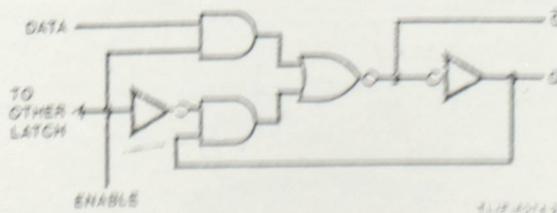
DM54LS75 (J) DM74LS75 (H)

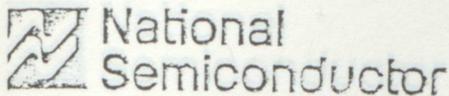
Function Table (Each Latch)

Inputs		Outputs	
D	G	Q	\bar{Q}
L	H	L	H
H	H	H	L
X	L	Q_0	\bar{Q}_0

H = High Level, L = Low Level, X = Don't Care
 Q_0 = The Level of Q Before the High-to-Low Transition of G

Logic Diagram (Each Latch)





DM54LS90/DM74LS90, DM54LS192, DM74LS192

DM54LS76A/DM74LS76A Dual Negative-Edge-Triggered J-K Flip-Flops with Preset, Clear, and Complementary Outputs

General Description

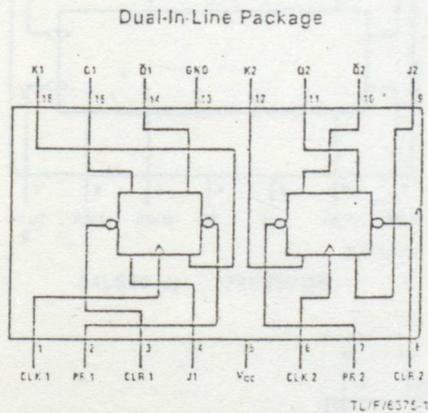
This device contains two independent negative-edge-triggered J-K flip-flops with complementary outputs. The J and K data is accepted by the flip-flop on the falling edge of the clock pulse. The clock triggering occurs at a voltage level and is not directly related to the transition time of the negative going edge of the clock. Data on the J and K inputs may be changed while the clock is low or high without affecting the outputs as long as the setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	-65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram



DM54LS76A (J) DM74LS76A (N)

Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q ₀	\bar{Q} ₀
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	Toggle
H	H	H	X	X	C ₀	\bar{C} ₀

H = High Logic Level

L = Low Logic Level

↓ = Negative Going Transition

* = This configuration is nonstable; that is, it will not persist when preset and/or clear inputs return to their inactive (high) state.

Q₀ = The output logic level of Q before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each active (↓) of the clock pulse.

Function Tables

LS90
BCD COUNT SEQUENCE
(See Note A)

Count	Output			
	Q _D	Q _C	Q _E	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

LS90
BI-QUINARY (5-2)
(See Note B)

Count	Output			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

LS92
COUNT SEQUENCE
(See Note C)

Count	Output			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

LS93
COUNT SEQUENCE
(See Note C)

Count	Output			
	Q _D	Q _C	Q _E	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

LS90
RESET/COUNT TRUTH TABLE

Reset Inputs				Output			
RO(1)	RO(2)	R9(1)	R9(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L				COUNT
L	X	L	X				COUNT
L	X	X	L				COUNT
X	L	L	X				COUNT

LS92, LS93
RESET/COUNT TRUTH TABLE

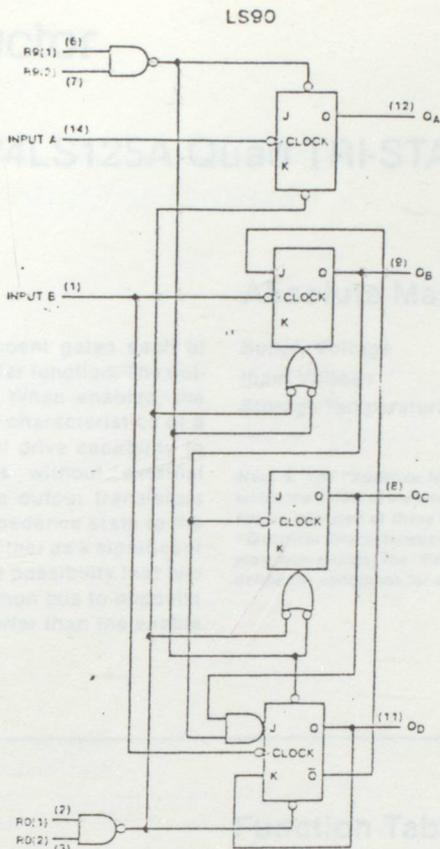
Reset Inputs		Output			
RO(1)	RO(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X				COUNT
X	L				COUNT

Note A: Output Q_A is connected to input E for BCD count.
 Note B: Output Q_D is connected to input A for bi-quinary count.
 Note C: Output Q_A is connected to input B.
 Note D: H = High Level, L = Low Level, X = Don't Care.

Logic Diagrams

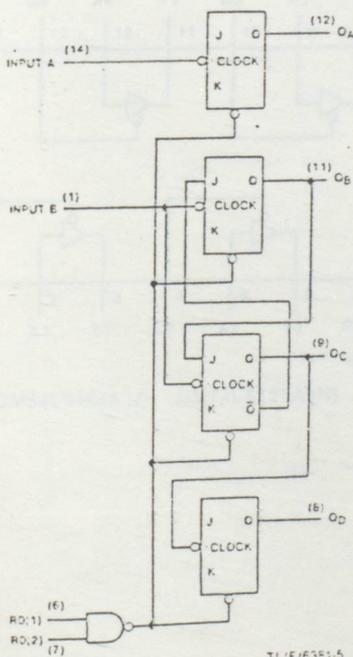
General Description

This device contains four independent gates which perform a non-inverting buffer function. The outputs exhibit the low impedance characteristics of standard LS output with additional drive capability: the driving of bus lines without resistors. When disabled, both the output drivers are turned off presenting a high impedance at the bus line. Thus the output will act neither as a load nor as a driver. To minimize the possibility of outputs will attempt to take a common bus to logic levels, the rise/fall time is shorter than the time of the outputs.



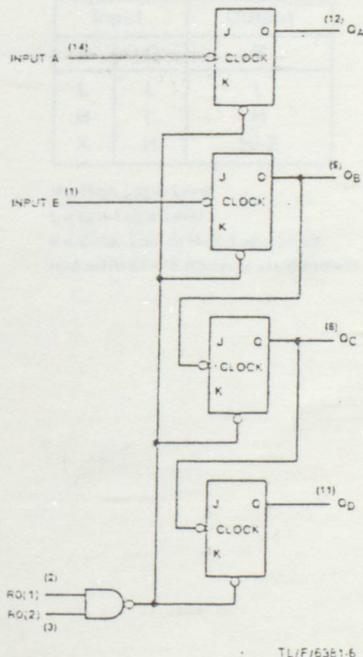
TL/F/6361-4

LS92



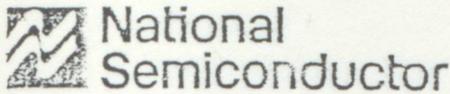
TL/F/6361-5

LS93



TL/F/6361-6

The J and K inputs shown without connection are for reference only and are functionally at a high level.



DM54LS125A/DM74LS125A Quad TRI-STATE® Buffers

Gates with Open-Collector Outputs

General Description

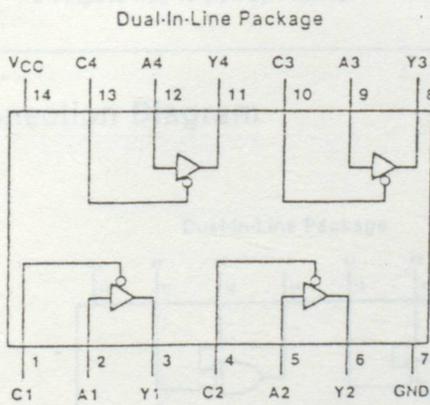
This device contains four independent gates each of which performs a non-inverting buffer function. The outputs have the TRI-STATE feature. When enabled, the outputs exhibit the low impedance characteristics of a standard LS output with additional drive capability to permit the driving of bus lines without external resistors. When disabled, both the output transistors are turned off presenting a high-impedance state to the bus line. Thus the output will act neither as a significant load nor as a driver. To minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the disable time is shorter than the enable time of the outputs.

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	-65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram



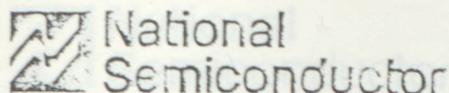
DM54LS125A (J) DM74LS125A (N)

Function Table

Y = A

Input		Output
A	C	Y
L	L	L
H	L	H
X	H	Hi-Z

H = High Logic Level
 L = Low Logic Level
 X = Either Low or High Logic Level
 Hi-Z = TRI-STATE (Outputs are disabled)



DM54LS136/DM74LS136 Quad 2-Input Exclusive-OR Gates with Open-Collector Outputs

General Description

This device contains four independent gates each of which performs the logic exclusive-OR function. The open-collector outputs require external pull-up resistors for proper logical operation.

Pull-Up Resistor Equations

$$R_{MAX} = \frac{V_{CC} (Min) - V_{OH}}{N_1 (I_{OH}) + N_2 (I_{IH})}$$

$$R_{MIN} = \frac{V_{CC} (Max) - V_{OL}}{I_{OL} - N_3 (I_{IL})}$$

Where: $N_1 (I_{OH})$ = total maximum output high current for all outputs tied to pull-up resistor

$N_2 (I_{IH})$ = total maximum input high current for all inputs tied to pull-up resistor

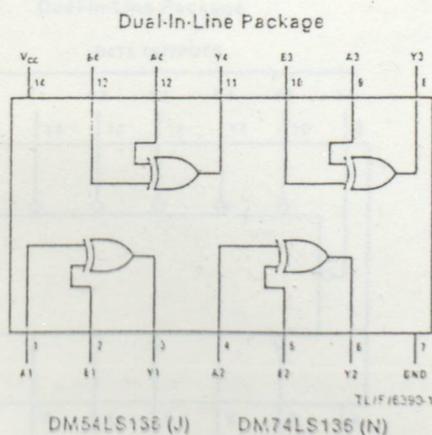
$N_3 (I_{IL})$ = total maximum input low current for all inputs tied to pull-up resistor

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Output Voltage	7V
Storage Temperature Range	-65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram



Function Table

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level



National
Semiconductor

DM54LS138/DM74LS138, DM54LS139/DM74LS139 Decoders/Demultiplexers

General Description

These Schottky-clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The LS138 decodes one-of-eight lines, based upon the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The LS139 comprises two separate two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs, presenting only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design.

Features

- Designed specifically for high-speed:
 - Memory decoders
 - Data transmission systems
- LS138 3-to-8-line decoders incorporates 3 enable inputs to simplify cascading and/or data reception
- LS139 contains two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance
- Typical propagation delay (3 levels of logic)
 - LS138 21 ns
 - LS139 21 ns
- Typical power dissipation
 - LS138 32 mW
 - LS139 34 mW

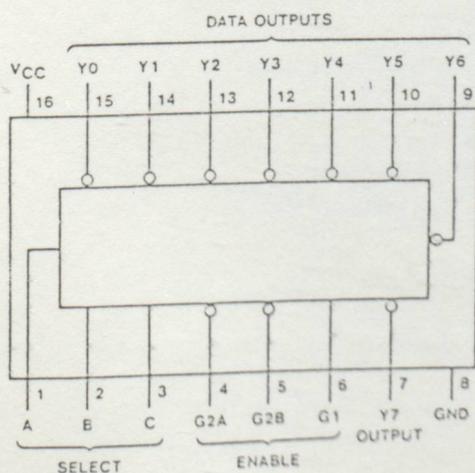
Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	-65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagrams

Dual-In-Line Package

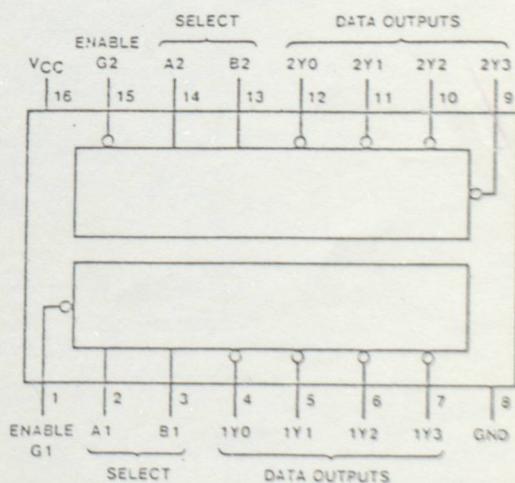


54LS138 (J)

74LS138 (N)

TL/F/6391-1

Dual-In-Line Package



54LS139 (J)

74LS139 (N)

TL/F/6391-2

Function Tables

LS138

Inputs					Outputs							
Enable		Select										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2 = G2A + G2B
 H = High level, L = low level, X = don't care

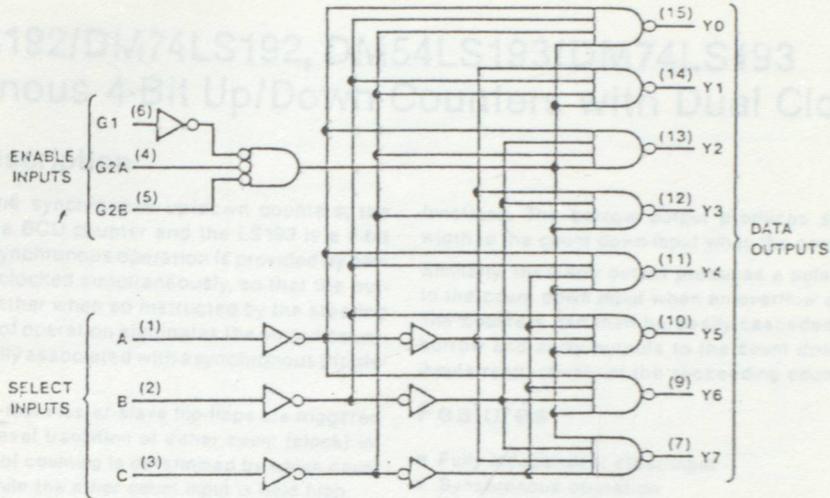
LS139

Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = high level, L = low level, X = don't care

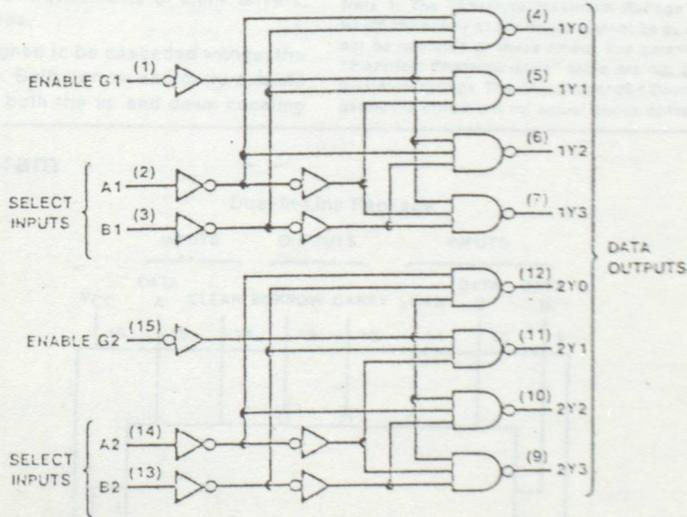
Logic Diagrams

LS138

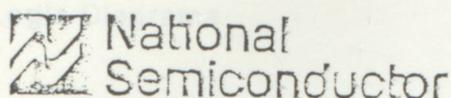


TL/F/6351-3

LS139



TL/F/6351-4



DM54LS192/DM74LS192, DM54LS193/DM74LS193 Synchronous 4-Bit Up/Down Counters with Dual Clock

General Description

These circuits are synchronous up/down counters; the LS192 circuit is a BCD counter and the LS193 is a 4-bit binary counter. Synchronous operation is provided by having all flip-flops clocked simultaneously, so that the outputs change together when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple-clock) counters.

The outputs of the four master-slave flip-flops are triggered by a low-to-high level transition of either count (clock) input. The direction of counting is determined by which count input is pulsed, while the other count input is held high.

The counters are fully programmable; that is, each output may be preset to either level by entering the desired data at the inputs while the load input is low. The output will change independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

A clear input has been provided which, when taken to a high level, forces all outputs to the low level; independent of the count and load inputs. The clear, count, and load inputs are buffered to lower the drive requirements of clock drivers, etc., required for long words.

These counters were designed to be cascaded without the need for external circuitry. Both borrow and carry outputs are available to cascade both the up and down counting

functions. The borrow output produces a pulse equal in width to the count down input when the counter underflows.

Similarly, the carry output produces a pulse equal in width to the count down input when an overflow condition exists. The counters can then be easily cascaded by feeding the borrow and carry outputs to the count down and count up inputs respectively of the succeeding counter.

Features

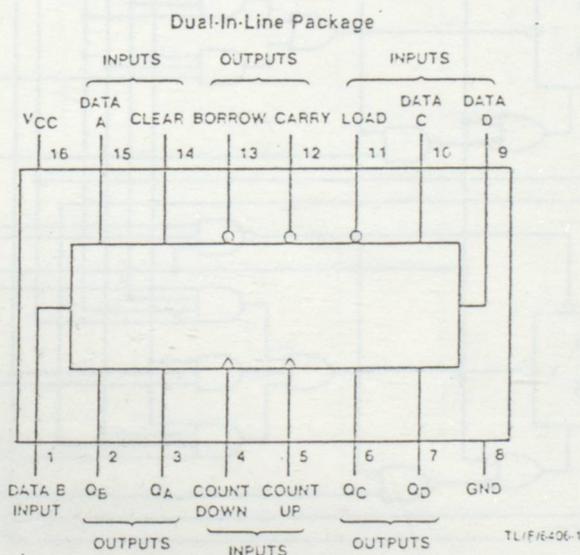
- Fully independent clear input
- Synchronous operation
- Cascading circuitry provided internally
- Individual preset each flip-flop
- Typical count frequency 32 MHz
- Typical power dissipation 95 mW

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	-65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram



Note: Low input to load sets $O_A = A$, $O_B = B$, $O_C = C$, and $O_D = D$.

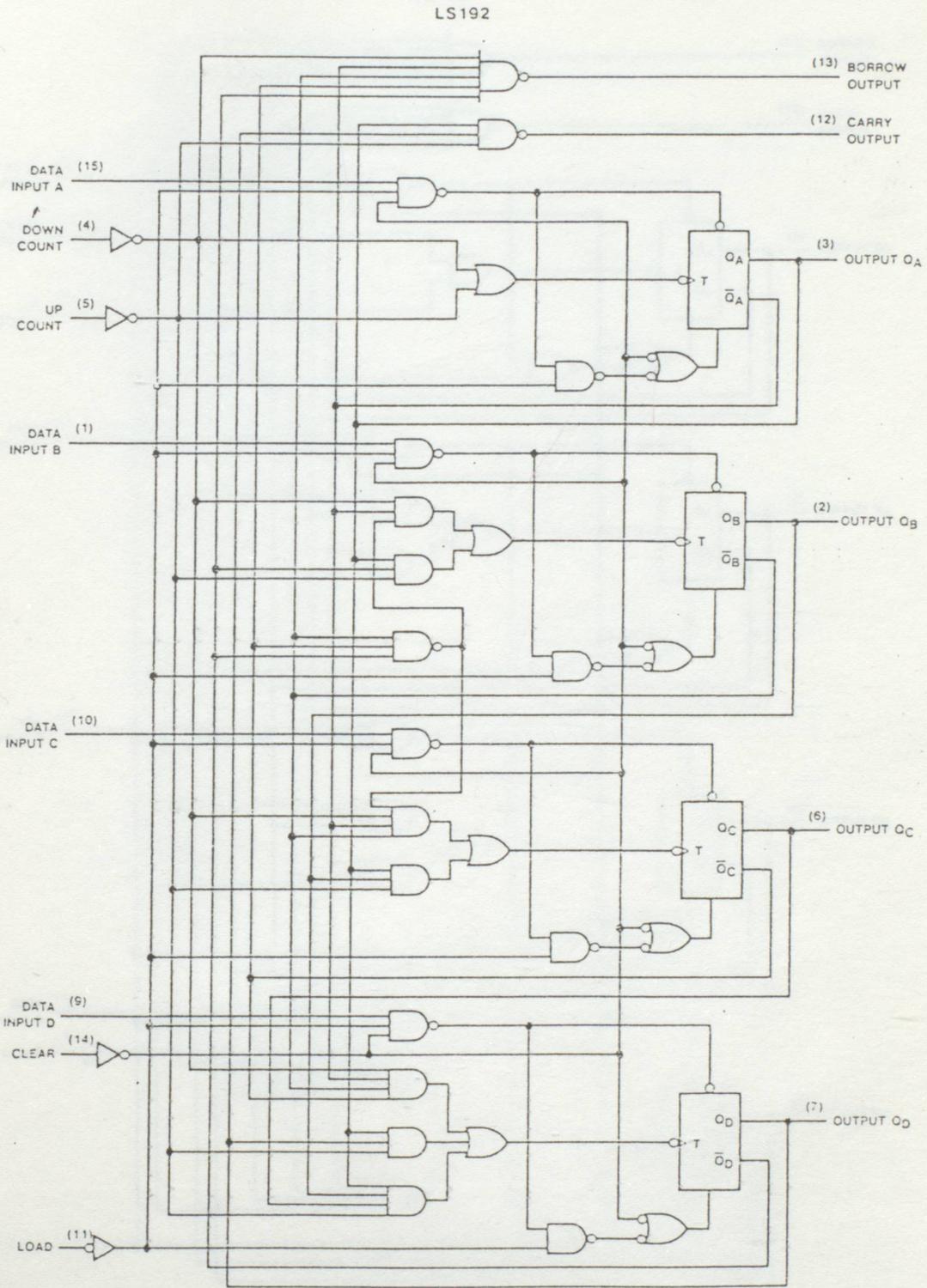
54LS192 (J)

74LS192 (N)

54LS193 (J)

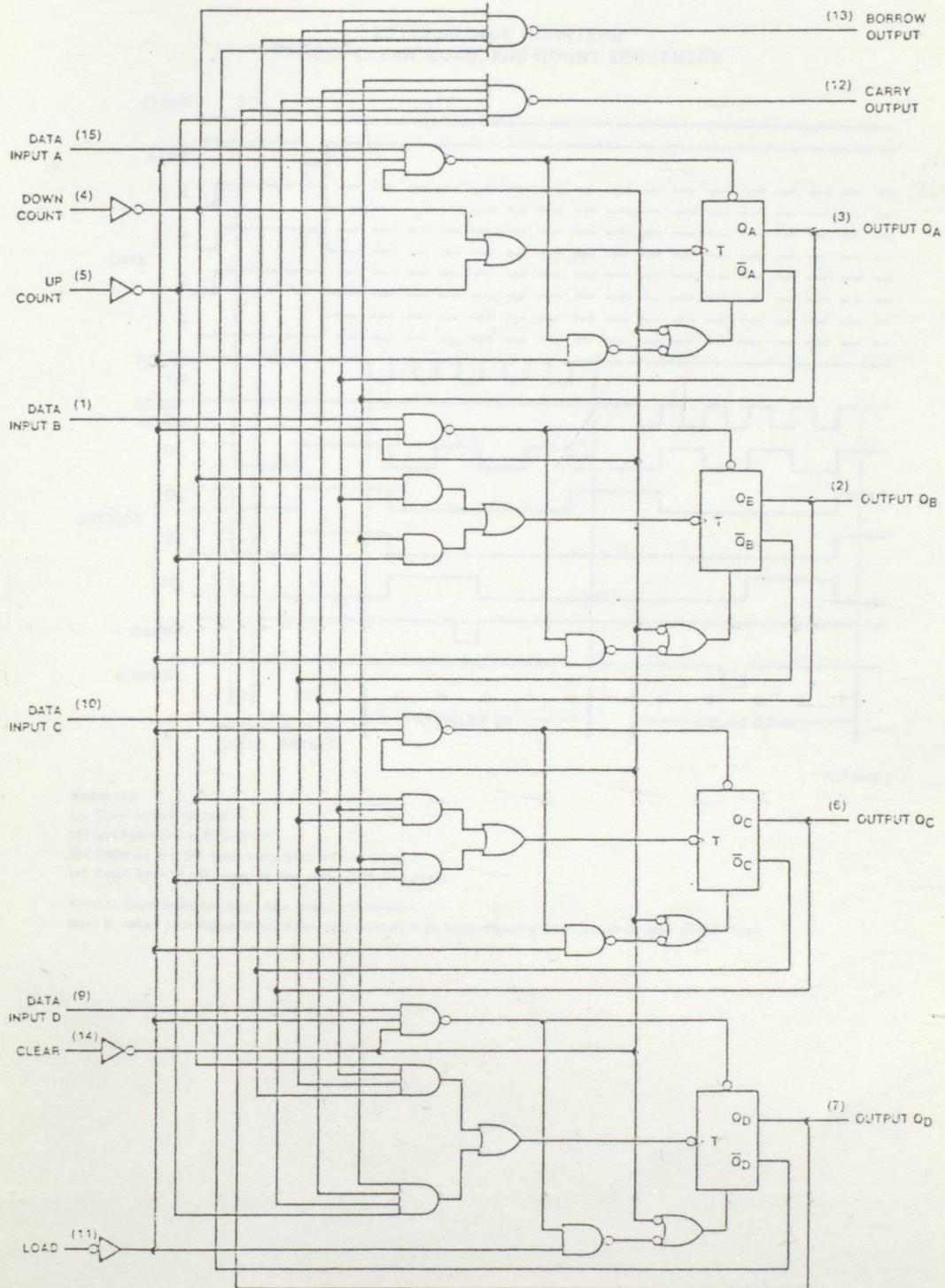
74LS193 (N)

Logic Diagrams



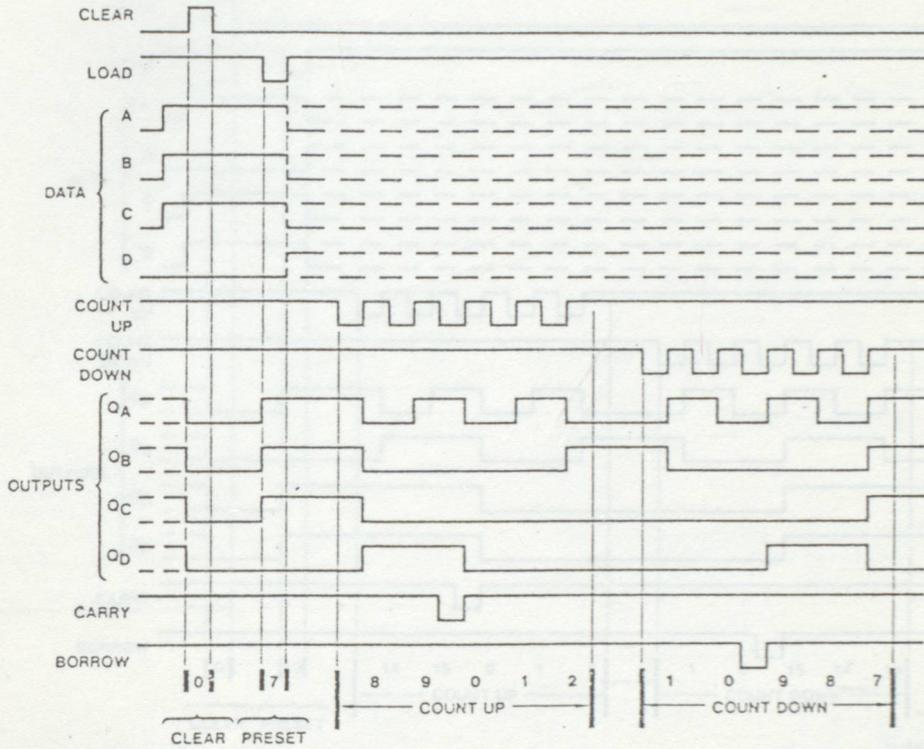
Logic Diagrams (Continued)

LS193



Timing Diagrams

LS192 DECADE COUNTERS
TYPICAL CLEAR, LOAD, AND COUNT SEQUENCES



TL/F1640E-4

Sequence:

- (1) Clear outputs to zero.
- (2) Load (preset) to BCD seven.
- (3) Count up to eight, nine, carry, zero, one, and two.
- (4) Count down to one, zero, borrow, nine, eight, and seven.

Note A: Clear overrides load, data, and count inputs.

Note B: When counting up, count-down input must be high, when counting down, count-up input must be high.

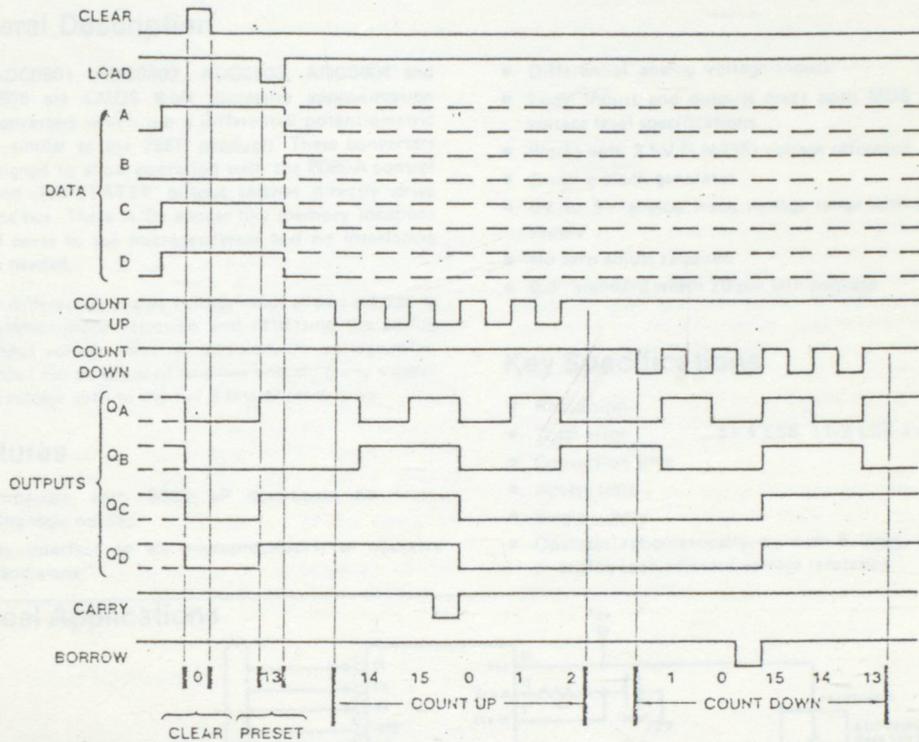
Timing Diagrams (Continued)

PRELIMINARY

National
SemiconductorADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-BIT μ P
Compatible A/D

LS193 BINARY COUNTERS

TYPICAL CLEAR, LOAD, AND COUNT SEQUENCES



TL/F16405-5

Sequence:

- (1) Clear outputs to zero.
- (2) Load (preset) to binary thirteen.
- (3) Count up to fourteen, fifteen, carry, zero, one, and two.
- (4) Count down to one, zero, borrow, fifteen, fourteen, and thirteen.

Note A: Clear overrides load, data, and count inputs.

Note B: When counting up, count-down input must be high; when counting down, count-up input must be high.



PRELIMINARY

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters which use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the 8080A control bus, and TRI-STATE® output latches directly drive the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

A new differential analog voltage input allows increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

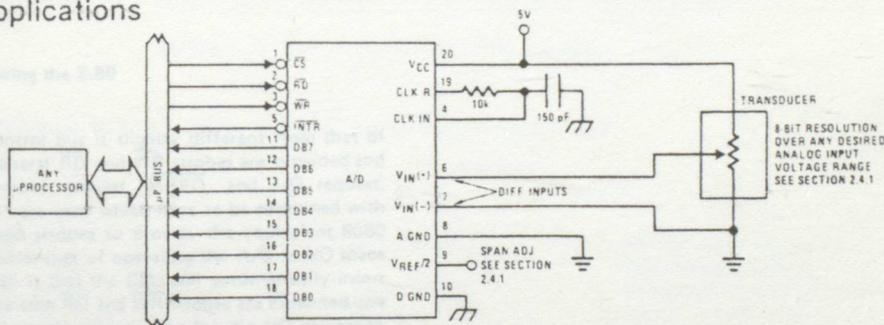
- Compatible with 8080 μ P derivatives—no interfacing logic needed
- Easy interface to all microprocessors, or operates "stand alone"

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package

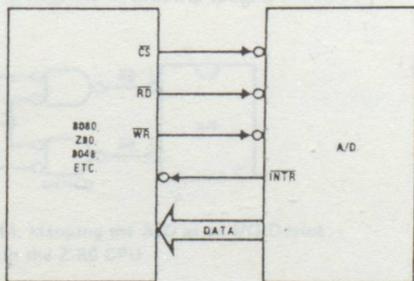
Key Specifications

- Resolution: 8 bits
- Total error: $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time: 100 μ s
- Access time: 135 ns
- Single supply: 5 VDC
- Operates ratiometrically or with 5 VDC, 2.5 VDC, or analog span adjusted voltage reference

Typical Applications

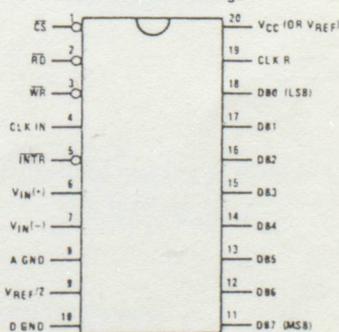


8080 Interface



Connection Diagram

ADC080X
Dual-In-Line Package



LINEARITY SPECIFICATION			
PART NUMBER	FULL SCALE ADJUSTED	VREF/2 = 2.500 VDC (NO ADJUSTMENTS)	VREF/2 = NO CONNECTION (NO ADJUSTMENTS)
ADC0801	$\pm 1/4$ LSB	$\pm 1/2$ LSB	
ADC0802			
ADC0803	$\pm 1/2$ LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

TRI-STATE® is a registered trademark of National Semiconductor Corp.

TOP VIEW

4.0 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A, 6800 and SC/MP-II microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored at location 0200 to 020F. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for CS and the MEMR and MEMW strobes) or it can be controlled as an I/O device by using the I/O R and I/O W strobes and decoding the address bits A0 → A7 (or address bits A8 → A15 as they will contain the same 8-bit address information) to obtain the CS input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 10.

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General RD and WR strobes are provided and separate memory request, MREQ, and I/O request, IORQ, signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the RD and WR strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 11.

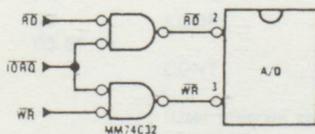


FIGURE 11. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

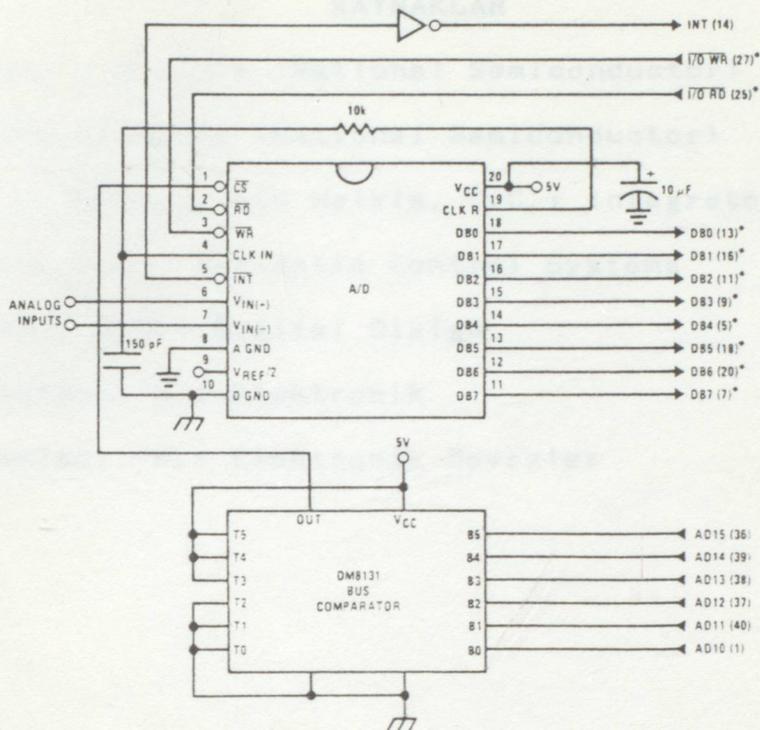
Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

The standard control bus signals of the 8080 (\overline{CS} , \overline{RD} and \overline{WR}) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device; however address decoding is still required to generate the appropriate CS for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as CS inputs—one for each I/O device.



Note 1: *Pin numbers for the INS8228 system controller, others are INS8080A.

Note 2: Pin 23 of the INS8228 must be tied to -12V through a 1 k Ω resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 10. ADC0801-INS8080A CPU Interface

SAMPLE PROGRAM FOR FIGURE 10 ADC0801-INS8080A CPU INTERFACE

0038	C3 00 03	RST 7:	JMP	LD DATA	
.
0100	21 00 02	START:	LXI H 0200H		; HL pair will point to
					; data storage locations
0103	31 00 04	RETURN:	LXI SP 0400H		; Initialize stack pointer (Note 1)
0106	7D		MOV A, L		; Test # of bytes entered
0107	FE 0F		CPI 0F H		; If # = 16. JMP to
0109	CA 13 01		JZ CONT		; user program
010C	D3 E0		OUT E0 H		; Start A/D
010E	FR		EI		; Enable interrupt
010F	00	LOOP:	NOP		; Loop until end of
0110	C3 0F 01		JMP LOOP		; conversion
0113	.	CONT:	.		.
.	.	(User program to	.		.
.	.	process data)	.		.
.
0300	DB E0	LD DATA:	IN E0 H		; Load data into accumulator
0302	77		MOV M, A		; Store data
0303	23		INX H		; Increment storage pointer
0304	C3 03 01		JMP RETURN		

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 2: All addresses used were arbitrarily chosen.

KAYNAKLAR

- 1- Logic Databook (National Semiconductor)
- 2- CMOS Databook (National Semiconductor)
- 3- Milliman, J. and Halkis, C.C.: Integreted Electronics
- 4- Kuo, B.C.: Automatic Control Systems
- 5- Mano, M.M.: Digital Disign
- 6- Pastacı, H.: Elektronik
- 7- Pastacı, H.: Elektronik Devreler

ÖZGEÇMİŞ

1962'de Hendek'te doğdum. İlk, orta ve lise öğrenimimi İstanbul'da yaptım. 1981 yılında Yıldız Üniversitesi, Mühendislik Fakültesi, Elektrik Bölümü'nü kazandım. 1985 yılında mühendislik tahsilimi tamamladım. Aynı yıl mezun olduğum bölümün yüksek lisans sınavını kazandım. Halen bu bölümde çalışmalarına devam etmekteyim.

