

YILDIZ TEKNİK ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ

Bilgisayar, Yaz, Çık, Dep. ve
Değ, Akı, Bel, Ara,

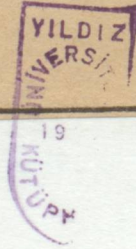
Yüksek Lisans Tezi

Gökhan Kuru

1987

YILDIZ ÜNİVERSİTESİ
GENEL KİTAPLIĞI

Kot : R. 152
Alındığı Yer : Fen Bil. Ens. 49
Tarih : 6.12.1988
Fatura : ---
Fiatı : 4500 TL
Ayniyat No : 1/21
Kayıt No : 45733
UDC : 001.64
Ek : 378.242



-3-

YILDIZ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ



BİLGİSAYARLARIN YAZICI ÇIKIŞLARINI DEPOLAYAN VE
DEĞERLENDİREN AKILLI BELLEK ARABİRİMİ

YÜKSEK LİSANS TEZİ

MÜH. GOKHAN KURU

İSTANBUL, 1987

İ Ç İ N D E K İ L E R

ÖZET	3
SUMMARY	4
GİRİŞ	5
BİRİNCİ BÖLÜM	
EIA RS 232 C ARABİRİMİ ÖZELLİKLERİ	
1.1- GİRİŞ	12
1.2- RS 232 C DE PAKETLEME DÜZENİ	12
1.3- ASCII STANDARTI	13
1.4- RS 232 C HABERLEŞMESİNDEKİ HIZ	14
1.5- RS 232 C GERİLİM SEVİYELERİ	15
1.6- BAĞLANTI FİŞİ VE BACAKLARI	16
1.7- BAĞLANTI ÇEŞİTLERİ	17
İKİNCİ BÖLÜM	
CENTRONIX ARABİRİM ÖZELLİKLERİ	
2.1- GİRİŞ	19
2.2- CENTRONIX DE HIZ	19
2.3- CENTRONIX DE İLETİM MESAFESİ	20
2.4- CENTRONIX DEKİ GERİLİM SEVİYELERİ	20
2.5- CENTRONIX DE "HANDSHAKE"	21
2.5.1- Bilgi İletiminin Zaman Diagramı	21
2.5.2- Handsake	22
2.6- BAĞLANTI FİŞİ VE BACAKLARI	22

ÜÇÜNCÜ BÖLÜM

GERÇEKLEŞTİRİLEN DEVRENİN TEKNİK ÖZELLİKLERİ	25
--	----

DÖRDÜNCÜ BÖLÜM

GERÇEKLEŞTİRİLEN ELEKTRONİK DEVRENİN YAPISI (HARDWARE)	
--	--

4.1- ŞEMA 1	28
4.2- ŞEMA 2	29
4.3- ŞEMA 3	30

BEŞİNCİ BÖLÜM

DEVRENİN TANITIMI, ÇALIŞMASI	
------------------------------	--

5.1- GİRİŞ	32
5.2- ZAMANLAMA İŞARETLERİNİ ÜRETEN DEVRE	32
5.3- MİKROİŞLEMCİ ÜNİTESİ	34
5.4- BELLEK ÜNİTESİ	35
5.5- GİRİŞ VE ÇIKIŞ PORTLARI	36

ALTINCI BÖLÜM

SİSTEMİN YAZILIMI (SOFTWARE)	37
--	----

EKLER	48
-----------------	----

Z-80 - 6264

8251 - 8255

2Kx8 ZEROPOWER RAM

4040 - 4001

74151 - 14138

8284 - 2764

7812 - 7912

KAYNAKÇA	82
--------------------	----

ÖZGEÇMİŞ	83
--------------------	----

ÖZET

Bilindiği gibi yazıcılar bilgisayarların çevrebirimlerinden olup günümüzde bir çok alanlarda sürekli artan bir oranla kullanılmaktadırlar. Adındanda anlaşılacağı gibi görevi bilgisayarın emirleri doğrultusunda bilgisayardan aldığı verileri kağıt üzerine yazmaktır. Bilgisayarla çift yönlü bir haberleşme düzeni ile belirli protokoller altında haberleşmektedir. Günümüzde gelişen teknoloji ile birlikte yazıcıların yapısında büyük yenilikler olmuş, yazma hızları arttırılmıştır.

Bu tez çalışmasında "dotmatrix" yazıcı diye bilinen yazıcıların bilgisayarla kullanılmasında ortaya çıkan hızsorununun nasıl bir düzen kullanılarak azaltılabileceği araştırılmış ve gerçekleştirilmiştir.

Dot matrix tipi yazıcılar ileri düzeyde bir elektronik yapıya (mikroişlemcili bir yapı) sahip olmalarına rağmen kağıt üzerine yazı yazan kısmın mekanik bir düzen olması nedeni ile bilgisayarın hızına yetişememektedir. Bunun sonucu olarak yazıcılar bilgisayarları bekletmekte ve bazı durumlarda çok büyük zaman kaybına neden olmaktadır. Tez çalışmasının asıl amacı bu kaybın herhangi bir hataya neden olmadan ortadan kaldırılmasıdır. Tabiki böyle bir düzeni kurmadan önce yazıcıların bilgisayarlarla nasıl haberleştiği, ne tip bir haberleşme kullandığı, bunların nasıl gerçekleştiği araştırılmış ve ileriki sayfalarda anlatılmıştır.

Gerçeklenen elektronik devre (Hardware), çalışması, teknik özellikleri, haberleşme tekniği olarak kullanılan RS 232C ve Centronix haberleşmesinin yapısı, devrenin çalışması için gerekli olan yazılım (software) ayrıntılı olarak verilmeye çalışılmıştır.

SUMMARY

As you know, printer is one of the peripheral of computers and used in many area with increasing rate day by day. As it's name suggests it's duty to receive the informations from computer and write them on the papers. Printer communicates to computer bidirectionally. Because of the today's increasing technology, the sutructure of the printers are in high level and their writing speeds were increased

In this study, speed problem which occurs between the computer and dotmatrix printer during their communication is investigated and the solution of this problem is tried to be found.

Although dotmatrix printers have a good hardware with micro-processor, their writing section is mechanic. This reduces the writing speed and computer waits until printer complates it's writing. This waiting causes to lose the time. Main aim of this study is to reduce to lose the time.

The electronic circuit which constructed to find the solution of this proplem, it's software structure , communication technics RS 232 and Centronix are given in detail on the next pages.

GİRİŞ

Bu makale için Akıllı Bellek Arabirimi (YABA) mikroilemci
ve yazıcı biriminden oluşan bir sistemdir.

Bu birim, yazıcı birim ve bir entegre devre yani
mikroilemci (MİK) ve yazıcı birimden oluşmaktadır.

Bu makalede mikroilemci birimleri, işte benim gerçekle-

ştiren yazıcı birim ve Akıllı Bellek Arabirimi (YABA)

biriminden oluşan bir sistem ve bilgisayar arasında bir birimdir

BİLGİSAYARLARIN YAZICI ÇIKIŞLARINI DEPOLAYAN VE DEĞERLENDİREN

AKILLI BELLEK ARABİRİMİ

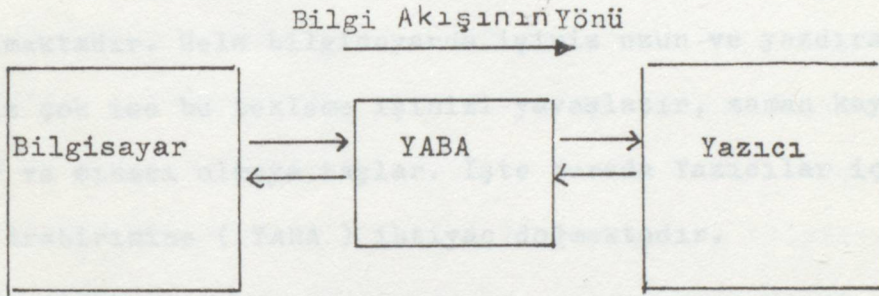
(Y A B A)



Not: YABA kısaltması, Yazıcı (Printer) için Akıllı Bellek Arabirimi
anlamında kullanılmıştır.

Yazıcılar için Akıllı Bellek Arabirimi (YABA) mikroişlemci çevresi için düzenlenmiş mikroişlemcili bir çevre birimidir.

Çevre birimi deyince sadece tek bir entegre devre yani 6821 (PIA), 6850 (ACIA),... vs düşünülmemelidir. Çevre birimleride mikroişlemcili olabilirler. İşte benim gerçekleştirmeye çalıştığım Yazıcılar için Akıllı Bellek Arabirimi (YABA) buna bir örnektir. YABA yazıcı ile bilgisayar arasında bir birimdir ve ikisi arasındaki bilgi akışını sağlar.



Acaba neden böyle bir arabirime gereksinim duyulmuştur?

Zaten bilgisayar ile yazıcı arasında bilgi akışı vardır gibi sorular akla gelebilir.

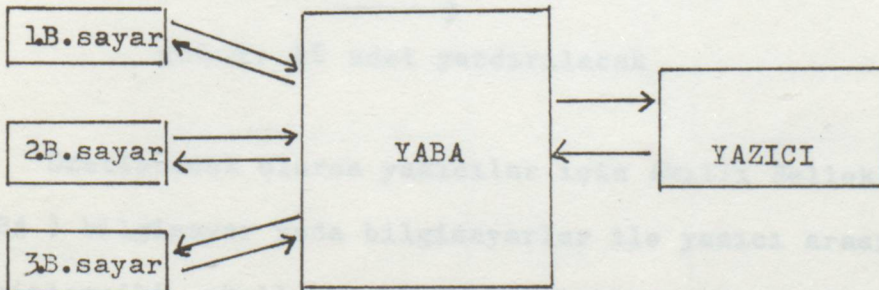
Bir bilgisayar düşünelim. Bu bilgisayar çeşitli verileri yazıcıya yazdırıyor olsun. Bilgisayar bilgileri kendi yapısında bulunan yazıcı çıkışından (printer port) dışarıya atacak, yazıcıda bu bilgileri alarak kağıt üzerine yazacaktır. Yazıcının bu bilgileri alma işlemi tamamen elektronik bir yapı sayesinde olmaktadır. Fakat yazı yazan kısım mekanik bir düzendir ve çalışabileceği maksimum bir hızı vardır. Yazıcı, bilgisayarın gönderdiği bilgileri aldığı hızda yazamaz. Hatta bazı durumlarda "italic harf" yada "double high" gibi modlarda yazı yazarken hızı oldukça azalır.

İşte bu gibi durumlarda yazıcı bilgisayarı bekletir ve bilgi gönderilmesini durdurur.

Bu bekletme işlemi bilgisayar ve yazıcı arasındaki "handshaking" (el sıkışma) sinyalleşmesi ile olur. Gerçekte yazıcı bilgisayardan aldığı bilgiyi hemen o anda yazmaz. Yazıcıların belirli büyüklükte bellekleri (printer buffer) vardır. Yazıcılar aldığı bilgileri yazarken bilgisayarın bu anda gönderdiği bilgileri sonradan yazılmak üzere belleğe koyarlar. Yazıcıların bilgisayarı bekletmesi bu belleğin dolmasından sonra olmaktadır. Genelde yazıcıların bu bellekleri 2KByte ile 6KByte arasında değişmektedir.

Yazıcının bilgisayarı bekletmesi bazı durumlarda pek hoş olmamaktadır. Hele bilgisayarda işiniz uzun ve yazdıracak bilgileriniz çok ise bu bekleme işinizi yavaşlatır, zaman kaybına sebep olur ve sıkıcı olmaya başlar. İşte burada Yazıcılar için Akıllı Bellek Arabirimine (YABA) ihtiyaç doğmaktadır.

YABA ya ihtiyacı gösteren diğer bir örnekte şu verilebilir. Bir iş yeri düşünelim. Bu iş yerinde birden fazla bilgisayar olsun. Örneğin: 3 tane fakat 1 adet yazıcı bulunsun. Her bilgisayar yazıcıya bilgi yazdıracaksa yazıcının haberleşme kablosunun sürekli sökülüp takılması da hoş bir durum değildir. Buradada bilgisayar ile yazıcılar arasında bir akıllı arabirime ihtiyaç vardır.

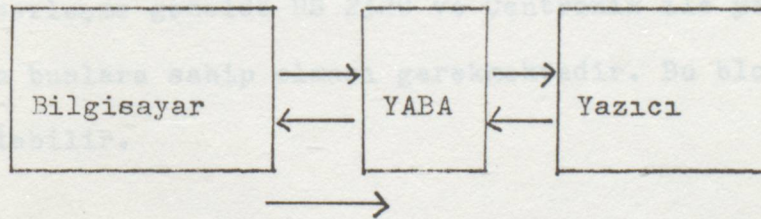


Bu örnekteki YABA , 3 bilgisayara aynı anda bağlanmakta, bunların gönderdiği bilgileri birbirlerine karıştırmadan yazıcıya ayrı ayrı yazdırmaktadır. Her bilgisayar için Bir yazıcı almaktan yada sürekli yazıcı kablosunun değiştirilmesi böylece önlenmiş olmaktadır.

Bir bilgisayar düşünelim ve bu bilgisayar yazıcıya herhangi bir bilgiyi 1 defadan fazla kere yazdıracak olsun. Bilgisayar ile yazıcı arasında bir akıllı arabirim yoksa ve yazıcıda çok özel bir yazıcı değilse, bilgisayarın her defasında aynı bilgileri yazıcıya yollaması gerekmektedir. Oysa bir YABA kullanıldığında bilgisayar YABA ya bilgiyi (bizim örneğimizde listeyi) bir kere gönderecek, arkasından kaç adet istendiğini söyleyecek ve bilgisayar aradan çekilip diğer bir işle uğraşacaktır. YABA aldığı emire göre istenen adetteki bilgiyi yazıcıya yazdıracaktır.

Bu gereksinimde YABA nın gerekliliği için verilebilecek diğer bir örnektir.

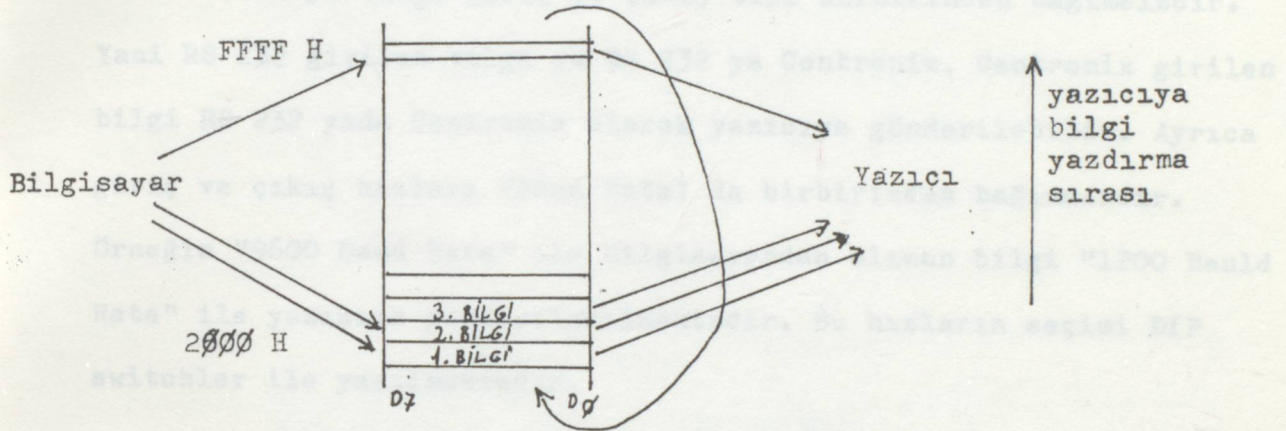
Örneğin herhangi bir sınıf listesinden 15 adet yazdırılacak olsun.



Özetlenecek olursa yazıcılar için Akıllı Bellek Arabirimi

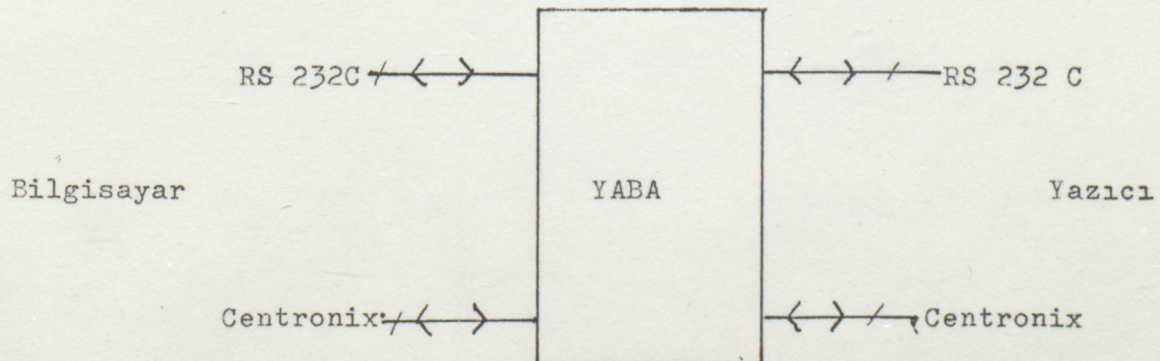
(YABA) bilgisayar yada bilgisayarlar ile yazıcı arasında yer alan mikroişlemcili, akıllı ve büyük bir belleğe sahip olan bir arabirimidir.

İkisi arasındaki bilgi alış verişini bilgisayarı bekletmeden yapar. Bilgisayarın gönderdiği verileri büyük bir hızla alır, belleğe yerleştirir ve yazıcıya yazdırır. YABA içerisinde bilgilerin belleğe yerleşimi ilk giren ilk çıkar (FIFO) metoduna göre olmaktadır. Bilgilerin belleğe yerleşimi şu şekilde olmaktadır.



Bellek dolduğunda şekilde görüldüğü gibi belleğe yazma işlemi en alt bölgeden tekrarlanmaktadır.

YABA'nın bilgisayar ile yazıcı arasındaki bilgi akışını sağladığı bilindiğine göre YABA'nın sahip olması gereken bir özelliğide haberleşme tipi ve haberleşme hızıdır. Bilgisayar ile yazıcı arasındaki haberleşme genelde RS 232C ve Centronix ile yapıldığından bir YABA'nın bunlara sahip olması gerekmektedir. Bu blok olarak şöyle gösterilebilir.



YABA nın her iki taraflada haberleşmesi herhangi bir hataya sebep olmamak için " Handshaking " sinyalleri ile olmaktadır.

Bunlar

RS 232C için : $\overline{\text{CTS}}$, $\overline{\text{DCP}}$, $\overline{\text{DTR}}$, $\overline{\text{RTS}}$

Centronix için : $\overline{\text{BUSY}}$, $\overline{\text{STROBE}}$, $\overline{\text{ACK}}$ dur.

YABA ya bilgi giriş ve çıkış tipi birbirinden bağımsızdır. Yani RS 232 girilen bilgi ya RS 232 ya Centronix, Centronix girilen bilgi RS 232 yada Centronix olarak yazıcıya gönderilebilir. Ayrıca giriş ve çıkış hızları (Baud Rate) da birbirinden bağımsızdır. Örneğin "9600 Baud Rate" ile bilgisayardan alınan bilgi "1200 Bauld Rate" ile yazıcıya yazdırılabilmektedir. Bu hızların seçimi DIP switchler ile yapılmaktadır.

"Yazıcılar için Akıllı Bellek Arabirimi" için verilen bu açıklamalar sanıyorum herkezde YABA nın yapısı, özellikleri vegerek-liliği hakkında bir takım bilgilerin oluşmasını sağlamıştır. Bundan sonra, gerçekleşen devrenin yapısını anlatmadan önce haberleşme tek-niklerinin incelenmesinde yarar olduğundan dilerseniz haberleşme tekniklerini inceleyelim.

1.1- GİRİŞ

EIA RS 232 C (Electronic Industry Association) standardı iki adet çift yönlü bilgi kanalı üzerinde bilginin seri olarak, senkron veya asenkron, handshaking veya handshaking yapılmadan gönderilmesini sağlar. Yani bu standart ile haberleşme yapıldığında gönderilecek bilgi tek bir tel üzerinden seri olarak gönderilir ve alınacak bilgi gene tek tel üzerinden seri olarak alınır. Bilgilerin alınması ve verilmesi sırasında herhangi bir hataya sebep olmak için bilgi iletilen handshaking (el sıkışma) sinyalleriyle iletilmektedir. İşte EIA RS 232 C standardı iki adet kanal içermekte olup iki ayrı bilginin iletilmesi için kullanılabilir.

BİRİNCİ BÖLÜM

EIA RS 232 C ARABİRİM ÖZELLİKLERİ

1.2- RS 232 C STANDARTINDAKİ HABERLEŞMEDE PAKETLEME BÜYÜK

Her bilgi gönderilmeden önce iki birim arasında senkronizasyon sağlanması ve gönderilen bilginin ne olduğu anlaşılabilmesi için bir adet "Stop bit" gönderilir. Bu bit aktif low dur ve karakter iletilmeden başlatılır. Bundan sonra 8 veya daha az sayıda bilgi bitleri yollar. Hatta ilk yollanan bit en az 100 ns kadar aktif. Bilgi (Data) bitlerinden sonra hatta iletilen bir adet "parity bit" (feyn yada odd). Bu son gönderilen ve bilgi iletilmesinin sonuna kadar aktif olan "Stop bit" yollar. Stop bit bir yada iki bit iletilmektedir. Verilerin kaç bit olduğu, parity'nin tipi, parity'nin olup olmayacağı, stop bitinin kaç adet olduğu sistemde belirlenmektedir.

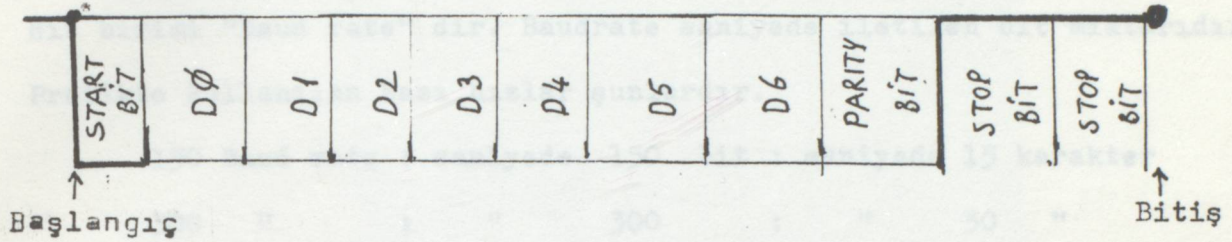
1.1- GİRİŞ

EIA RS 232 C (Electronic Industry Association) standartı iki adet çift yönlü bilgi kanalı üzerinde bilginin seri olarak, senkron veya asenkron, handshaking veya handshaking yapılmadan gönderilmesini sağlar. Yani bu standart ile haberleşme yapıldığında gönderilecek bilgi tek bir tel üzerinden seri olarak gönderilir ve alınacak bilgi gene tek tel üzerinden seri olarak alınır. Bilgilerin alınması ve verilmesi sırasında herhangi bir hataya sebep olmamak için bilgi iletimi handshaking (el sıkışma) sinyalleşmesi ile yapılmaktadır. İşte EIA RS 232 C standartı iki adet kanal içermekte olup iki ayrı bilginin iletimini çift yönlü olarak sağlayabilmektedir. RS 232 C hattı üzerinden seri olarak iletilen bilgi belirli bir paketleme düzeni içerisinde gönderilmektedir.

1.2- RS 232 C STANDARDINDAKİ HABERLEŞMEDE PAKETLEME DÜZENİ

Her bilgi gönderilmeden önce iki birim arasında senkronizasyonun sağlanması ve gönderilen bitginin ne olduğunun anlaşılabilmesi için hatta bir adet "Stop bit" i gönderilir. Bu bit aktif Low dur ve karakterin iletiminin başladığını gösterir. Bundan sonra 8 veya daha az sayıdaki bilgi bitleri yollanır. Hatta ilk yollanan bit en az ağırlıklı bittir. Bilgi (Data) bitlerinden sonra hattaki iletimden dolayı oluşabilecek hataların anlaşılabilmesi için "parity bit" gönderilir.(even yada odd). En son gönderilen ve bilgi iletiminin sona erdiği belirten bit olan "Stop bit" yollanır. Stop bit bir yada iki bit olabilmektedir. Verilerin kaç bit olduğu, parity'nin tipi, parity nin olup olmayacağı, stop bitinin kaç adet olduğu sistemden sisteme değişmektedir.

Yukarıda açıklanmak istenen bu paketleme işlemi şematik olarak şu şekilde gösterilebilir.



1.3- ASCII STANDARTI

Bu şemada gösterilen paketleme tipi 11 bitlik bir paketlemedir. Pratikte çoğunlukla stop biti sayısı olarak bir seçilir ve 10 bitlik paketleme yapılır. Bu paket içerisinde gönderilen bilgiye genelde karakter denir. Karakterlerde ASII adı verilen standart ile belirlenirler. Örneğin;

3 (Decimal) — 33 (ASCII) " 011 0011" dir.

ASCII standartında her karakter 7 bit den oluşmuştur.

Anlaşılacağı gibi ASCII standartında 128 karakter vardır. ($2^7=128$)

Her rakkamın, harfin ve komutların ASCII karşılığı Hex. sayı olarak belirlenmiş olup bunları gösteren tablo aşağıdaki gibidir.

Character	7-Bit ASCII	Octal	Hex
A	100 0001	101	41
B	100 0010	102	42
C	100 0011	103	43
D	100 0100	104	44
E	100 0101	105	45
F	100 0110	106	46
G	100 0111	107	47
H	100 1000	110	48
I	100 1001	111	49
J	100 1010	112	4A
K	100 1011	113	4B
L	100 1100	114	4C
M	100 1101	115	4D
N	100 1110	116	4E
O	100 1111	117	4F
P	101 0000	120	50
Q	101 0001	121	51
R	101 0010	122	52
S	101 0011	123	53
T	101 0100	124	54
U	101 0101	125	55
V	101 0110	126	56
W	101 0111	127	57
X	101 1000	130	58

Y	101 1001	131	59
Z	101 1010	132	5A
0	011 0000	060	30
1	011 0001	061	31
2	011 0010	062	32
3	011 0011	063	33
4	011 0100	064	34
5	011 0101	065	35
6	011 0110	066	36
7	011 0111	067	37
8	011 1000	070	38
9	011 1001	071	39
blank	010 0000	040	20
.	010 1110	056	2E
(	010 1000	050	28
+	010 1011	053	2B
\$	010 0100	044	24
*	010 1010	052	2A
)	010 1001	051	29
_	010 1101	055	2D
/	010 1111	057	2F
?	010 1100	054	2C
=	011 1101	075	3D

1.4- RS 232 C HABERLEŞMESİNDEKİ HIZ

Seri haberleşme belirlenmiş bazı hızlarla yapılmaktadır.

Hız birimi "Baud rate" dir. Baudrate saniyede iletilen bit miktarıdır.

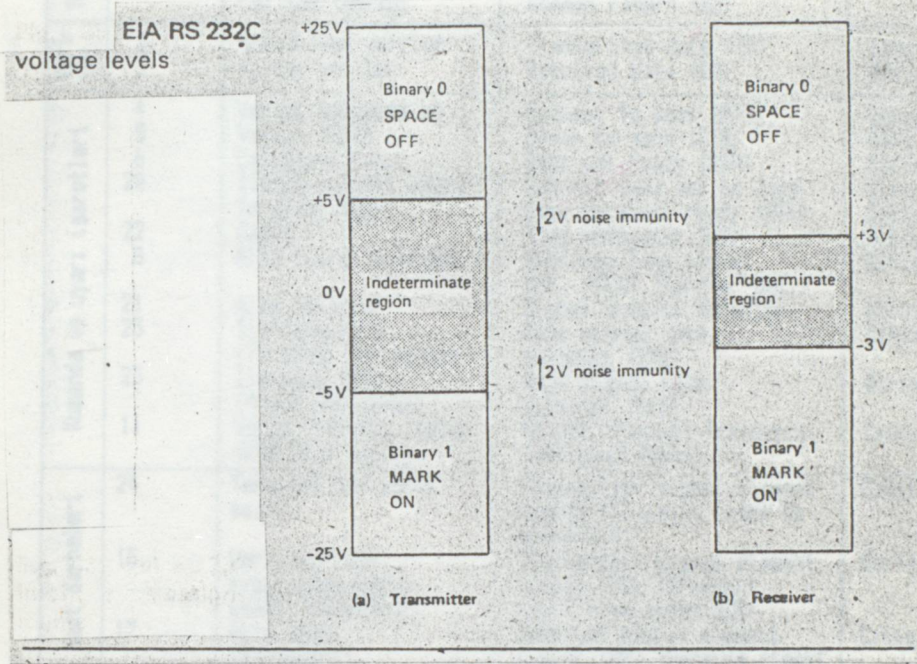
Pratikte kullanılan bazı hızlar şunlardır.

150 Baud rate	:	saniyede	150 bit	:	saniyede	15 karakter
300 "	:	"	300 "	:	"	30 "
600 "	:	"	600 "	:	"	60 "
1200 "	:	"	1200 "	:	"	120 "
2400 "	:	"	2400 "	:	"	240 "
4800 "	:	"	4800 "	:	"	480 "
9600 "	:	"	9600 "	:	"	960 "
19200 "	:	"	19200 "	:	"	1920 "

(Saniyedeki karakter sayısı 10 bitlik paketlemeye göre verilmiştir.)

1.5- RS 232 C GERİLİM SEVİYELERİ

EIA RS 232 C standartında iletimi yapılmak üzere hatta gönderilen bilginin iletimdeki gerilim seviyesi bilinen TTL seviyesi değildir. Farklılık göstermektedir. İletim sırasında bilginin bozulmaya uğramaması ve hata oluşmaması için gerilim seviyeleri biraz yüksek tutulmuştur. RS 232 C standartı ile haberleşmede 30 m.ye kadar olan uzaklıklar hiç bir sorun çıkarmamaktadır. Hattaki gerilim seviyeleri aşağıda gösterildiği gibidir.

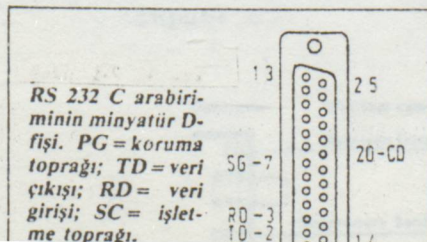


- EIA RS 232 C Gerilim Seviyeleri -

Görüldüğü gibi "lojik 1"ler hatta -5 ile -25 volt arasında "Lojik 0" ler ise +5 ile +25 volt arasında verilmektedir. Alıcı kısım ise +3 voltdan küçük gerilimleri "Lojik 0" , -3 voltdan küçük gerilimleride "Lojik 1" kabul etmektedir. Hattaki gerilimin hem +, hem - olması nedeni ile hat üzerindeki akımın çift yönlü olarak akması sağlanarak kapasitif etkilerinde azaltılması başarılmıştır.

1.6- BAĞLANTI FİŞİ VE BACAKLARI

İki RS 232 C Biriminin birbirleri ile olan bağlantıları 25 kutuplu minyatür D fişlerle sağlanır. Bu fiş aşağıdaki şekilde gösterilmektedir.



RS 232 C arabirim fişi

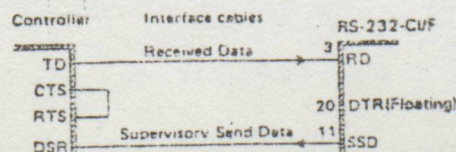
	Fiş ba- cak no.	Anlamı	Yön (term.)
Toprak	1	Koruma toprağı	Protective ground (PG)
	7	İşaret toprağı/ Çalışma toprağı	Signal ground / Common return (SG)
Veri- ler	2	Gönderilen veriler	Transmitted data (TD)
	3	Alınan veriler	Received data (RD)
Kumanda ve uyarı işaretleri	4	Verici bölümünü aç	Request to send (RTS)
	5	Verici hazır	Clear to send (CTS)
	6	Çalışmaya hazır	Data set ready (DSR)
	20	İletim hattını bağla	Connect data set to line
	22	Terminal hazır	Data terminal ready (DTR)
	22	Çağrı	Ring indicator (RI)
	8	Alış işaret seviyesi	Received line signal det. (DCD) (Carrier det.)
	21	Alış kalitesi	Signal quality detector
	23	İletişim hızı (Terminal'den seçim)	Data signal rate selector (DTE)
	23	İletişim hızı (Modem'den seçim)	Data signal rate selector (DCE)
	11	Veriş frekansı seçimi (200 Baud modem)	Select transmit frequency (200 baud modem)
Saat darbeleri	24	Terminal'den veriş saati	Transmitter signal element timing (Transmit clock to modem DTE)
	15	Veri iletişim aygıtından veriş saati (darbeleri)	Transmitter signal element timing (TC) (Transmit clock from modem DCE)
	17	Alış saati (darbeleri)	Receiver signal element timing (RC) (Receive clock)
Ek kanal	14	Gönderilen veriler (geridonüş kanalı)	Secondary transmitted data
	16	Alınan veriler (geridonüş kanalı)	Secondary received data
	19	Verici bol. aç (g.d.)	Secondary request to send
	13	Verici hazır (g.dönüş)	Secondary clear to send
	12	Alış işaret seviyesi (geridonüş)	Secondary Carrier detector

1.7- BAĞLANTI ÇEŞİTLERİ

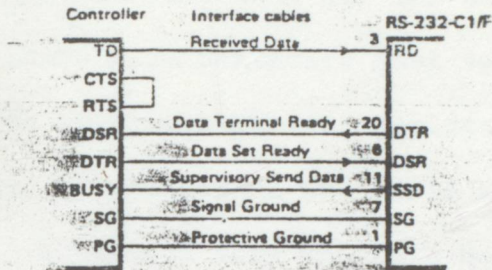
Bağlantılar 25 kutuplu minyatür D fişlerle gerçekleştirilir ama bu hatlar fişlerin aynı numaralı uçlarına hiç düşünmeden bağlanamazlar. Eğer, Örneğin verilerin kablo aracılığı ile bir bilgisayardan ötekine taşınması isteniyorsa normal olarak 2 ve 3 numaralı hatların çaprazlanması gerekir.

Bu bağlantı çeşitleri aşağıdaki şekillerdeki gibi yapılabilir.

a) When controller does not have BUSY signal input:

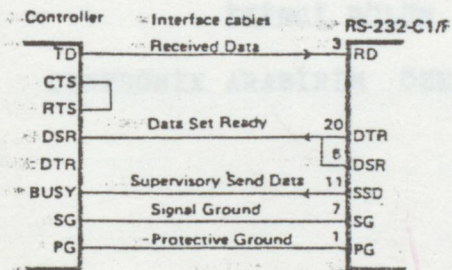


b) When controller has BUSY signal input:

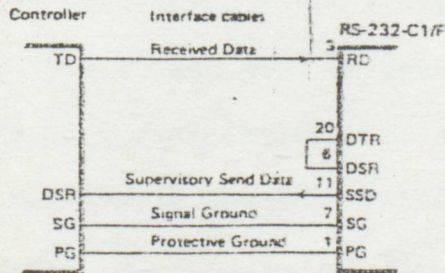


c) Handling of unused signals

i) When DTR signal is not used, make DTR signal floating.



ii) When DSR signal is not used, connect DSR and DTR signals in the connector.



2.1- Giriş

Centronix standardı ile iki birim arasındaki veri iletişimi paralel olarak yapılmaktadır. Yani veri iletişimi RS 232 C'ye göre seri olarak gerçekleştirilmemektedir. Böylece veri iletişimindeki hız oldukça arttırılmaktadır. İki birim arasındaki haberleşme sırasında herhangi bir yanlış olup bilginin kaybolmaması için haberleşme genelde "Manchester" kodu ile sağlanmaktadır. Veri iletişimi çoğunlukla 8 bit, bazen de 7 bit olarak yapılmaktadır. Genelde bir çok durumda iki birim arasındaki haberleşmede ASCII kodu kullanılmaktadır. Bir Centronix arabirimi ile haberleşmek için tek bir kanal bulunmaktadır.

İKİNCİ BÖLÜM

CENTRONIX ARABİRİM ÖZELLİKLERİ

Haberleşmede seri iletişimin bulunmaması haberleşme hızını çok büyük oranda arttırmaktadır. Seri haberleşmede karaktere ait bitler sıra ile gönderilirken, centronix'de karaktere ait bütün bitler aynı anda iletilmektedir. Bu yüzden paralel olarak haberleşmede "Synchronous" diye bir kavram vardır. İki birim arasındaki paralel iletişimde hız, seri olarak kullanılan çevre elemanlarına ve sistemlerin hızı ile sınırlanır. 1 metrede daha az uzaklıklarda 1 Mega Bit/saniye'ye kadar iletişim hızları elde edilebilir. Anlaşılacağı gibi 1 saniyede 100 000 000 karakterin iletişimi sağlanabilmektedir.

2.2- CENTRONIX İKİ BİRİM MESAFESİ

Centronix standardı ile yapılan haberleşmedeki hızın fazla olması RS 232 C'ye göre çok büyük bir avantajdır. Fakat iletişim mesafesi de oldukça fazladır. RS 232 C standardı 15 metreye kadar sınırlanmıştır. RS 232 C ile 30 metre olan iletişim mesafesi centronix'de 2 metreye düşmektedir. Centronix standardı ile yapılacak ha-

2.1- GİRİŞ

Centronix standartı ile iki birim arasındaki veri iletimi paralel olarak yapılmaktadır. Yani veri iletimi RS 232 C deki gibi seri olarak iletilmemektedir. Böylece veri iletimindeki hız oldukça arttırılmış olmaktadır. İki birim arasındaki haberleşme sırasında herhangi bir hatanın olup bilginin kaybolmaması için haberleşme gene "handsake" sinyalleri ile sağlanmaktadır. Veri iletimi çoğunlukla 8 bit, bazende 7 bit olarak yapılmaktadır. Gene bir çok durumda iki birim arasındaki haberleşmede ASCII kodu kullanılmaktadır. Bir Centronix arabiriminde haberleşmek için tek bir kanal bulunmaktadır. Hatırlanacak olursa bu kanal sayısı RS 232 C arabiriminde iki idi.

2.2- CENTRONIX HABERLEŞMESİNDEKİ HIZ

Haberleşmede seri iletimin bulunmaması haberleşme hızını çok büyük oranda arttırmaktadır. Seri haberleşmede karektere ait bitler sıra ile gönderilirken, centronix'de karektere ait bütün bitler aynı anda iletilmektedir. Bu yüzden paralel haberleşmede "Baudrate" diye bir kavram yoktur. İki birim arasındaki paralel iletişim hızı, temel olarak kullanılan devre elemanlarının ve sistemlerin hızı ile belirlenir. 1 metreden daha az uzunluklarda 1 Mega Bit/saniye'lik iletişim hızları elde edilebilir. Anlaşılacağı gibi 1 saniyede 100 000 den fazla karakterin iletimi sağlanabilmektedir.

2.3- CENTRONIX DEKİ İLETİM MESAFESİ

Centronix standartı ile yapılan haberleşmedeki hızın fazla olması RS 232 C ye göre çok büyük bir avantajdır. Fakat iletim mesafesine gelince burada RS 232 C standartı üstündür. Daha öncedende söylendiği gibi RS 232 C için 30 metre olan iletim mesafesi centronix'de 2 metreye düşmektedir. Centronix standartı ile yapılacak haberleşmede kablo uzunluğunun 2 metreyi geçmemesine dikkat edilmelidir.

2.4- CENTRONIX DEKİ GERİLİM SEVİYELERİ

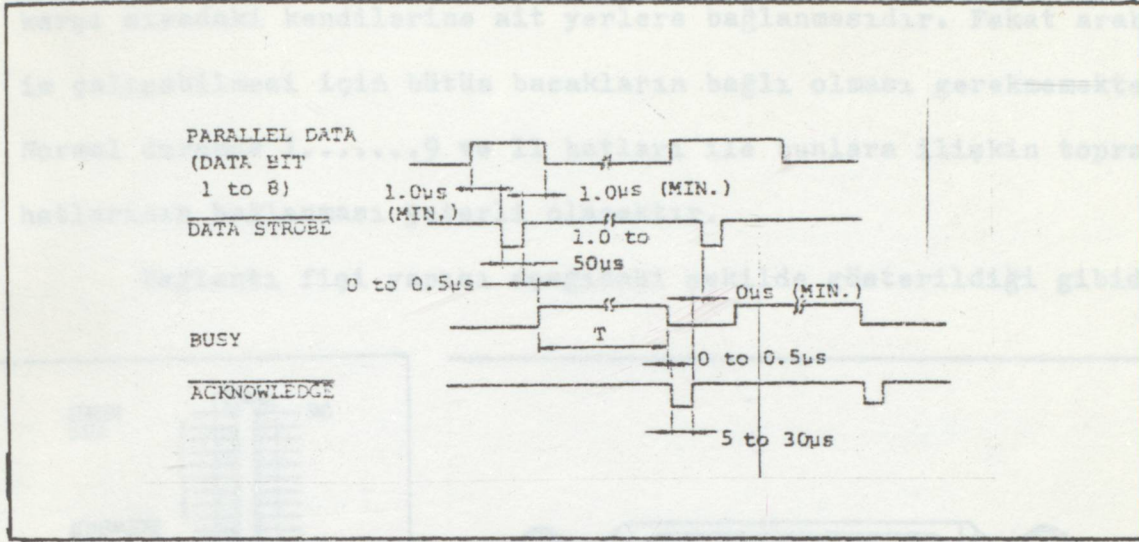
Centronix standartında gerilim seviyesi olarak $\emptyset + 5$ volt kullanılmaktadır bunlar TTL seviyesidir. "Lojik $\emptyset$ " lar $\emptyset$ volt, "Lojik 1" ler +5 volt olarak hatta verilmektedir. Yukarıda belirtilen iletim hattının kısa olmasının sebeplerinden birtaneside budur. Uzun kablolar zaten düşük olan TTL seviyelerini daha çok zayıflatırlar ve sonucta parazitlerin etkili olmasına yol açarlar. Ayrıca hattaki akım tek yöne doğru aktığı için kapasitif etki vardır ve iletim hattı uzadıkça bu kapasitif etki artar ve çok büyük derecelerde sinyal bozulmalarına sebep olur.

2.5- CENTRONIX DEKİ "HANDSHAKE"

"Handsake" sinyalleşmesinin nedeni daha önce bahsedildiği gibi iki birim arasındaki senkronizasyonun sağlanması ve bilgi akışında herhangi bir hatanın olmasının önlenmesidir. Bizim üzerinde çalıştığımız konu olan Yazıcı için Akıllı Bellek Arabiriminde bu olay çok daha önemlidir. Zira YABA bilgisayardan aldığı bilgileri yazıcıya gönderecek, büyük bir ihtimalle yazıcının belleği dolduktan sonra YABA ya sinyal göndererek bilginin gönderilmesini durduracak, daha sonra belleği boşaldığında YABA nın bilgi göndermesine izin verecektir. İşte bu haberleşmeler "handshake"sinyalleri ile olacaktır.

2.5.1- Bilgi İletiminin Zaman Diagramı

İki Birim arasındaki Centronix standartı ile yapılan iletim şu zamanlamaya göre olmaktadır.



Paralel İletim Zaman Diagramı

2.5.2- Handshake

Yukarıda verilen zaman diagramını açıklarken iletimin bilgisayar ile yazıcı arasında yapıldığını düşünelim. İkisi arasındaki "Handshake" sinyalleşmesi şu şekilde açıklanabilir.

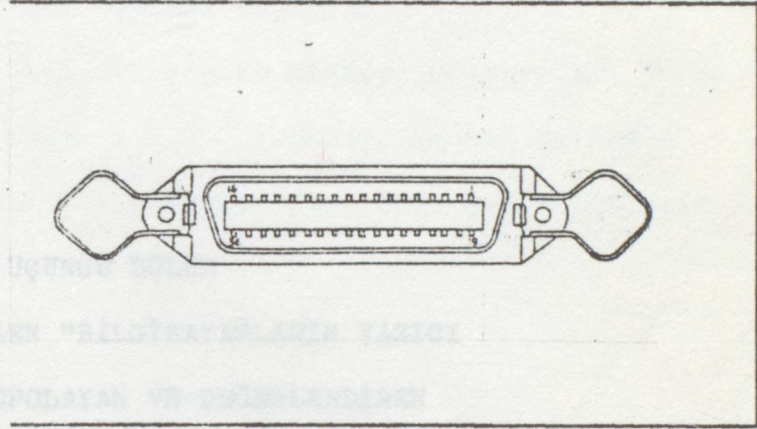
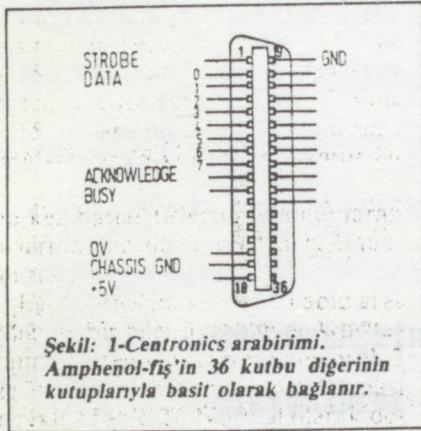
Sekiz adet veri hattı konduktan kısa bir süre sonra (yaklaşık 1µs) "Strobe" kısa bir süre için Low seviyeye çekilir. Bunun üzerine yazıcının "Busy" işareti High seviyesine geçer. Verilerin yazıcı tarafından alınmış olduğu "Acknowledge" hattına verilen kısa süreli bir Low darbesi ile anlaşılır. Bununla birlikte "Busy" işareti tekrar eski seviyesine iner. Bilgisayarda elindeki verilerle "Busy" hattının tekrar Low seviyesinde olmasını bekler. İşte bütün bu olaylar "handshake" olarak adlandırılır.

2.6- BAĞLANTI FİŞİ VE BACAKLARI

İki Centronix biriminin birbirleri ile olan bağlantıları 36 pinli fişlerle sağlanır. Her iki fişin uçları karşılıklı olarak birbirleri ile bağlanır. Bu iş sırasında dikkat edilmesi gereken nokta, veri hatlarının, toprak hatlarıyla burulması ve bu toprak hatlarının

karşı sıradaki kendilerine ait yerlere bağlanmasıdır. Fakat arabirim-im çalışabilmesi için bütün bacakların bağlı olması gerekmektedir. Normal durumda 1.....9 ve 11 hatları ile bunlara ilişkin toprak hatlarının bağlanması yeterli olacaktır.

Bağlantı fişi yapısı aşağıdaki şekilde gösterildiği gibidir.



Centronix Arabirimi Fişi

Bu 36 pinli fişdeki her bir bacağın numarası, adı ve görevi şöyledir.

-Centronics-arabiriminin bacak bağlantıları.

Bacak		İşaret	Anlamı	Yön (basıcı-ya göre)
İşaret	Şasi			
1	19	STROBE	Veri aktarımı için tetikl. darbesi	Giriş
2	20	DATA 1		Giriş
3	21	DATA 2		Giriş
4	22	DATA 3		Giriş
5	23	DATA 4		Giriş
6	24	DATA 5		Giriş
7	25	DATA 6		Giriş
8	26	DATA 7		Giriş
9	27	DATA 8	(BASIC'dan) teyit işareti Bekleme işareti (verilerin alınması için)	Giriş
10	28	ACKNLG		Giriş
11	29	BUSY		Çıkış
12	30	PE	"Kağıt bitti" uyarısı	Çıkış
13	-	SLCT	Basıcı durumu	Çıkış
14	-	-	-	-
15	-	NC	kullanılmıyor	-
16	-	0 V	Şasi seviyesi (lojik)	-
17	-	CHASS.GND	Basıcının şasisi	-
18	-	(+5 V)	-	-
19...30	-	GND	paralel şasi hatları	-
31	-	INIT	Başlangıç konumuna getirme	Giriş
32	-	ERROR	Basıcıdan hata bildirisi	Çıkış
33	-	-	-	-
34	-	-	-	-
35	-	-	-	-
36	-	-	-	-

Bu test çalışmasında gerçekleştirilmeye çalışılan devrenin teknik özellikleri şöyle sıralanabilir.

1 - Genelde temel yapı mikroislemcili bir yapıdır.

Mikroislemci olarak Z-80 kullanılmış olup çalışma hızı 2,304 MHz olarak seçilmiştir.

2 - Yapı 64 KByte'lık bir bir belleğe sahiptir.

Bu belleklerden 5 KByte , içinde işletim sistemi programları bulunan EPROM, geri kalan 56 KByte'a RAM bellektir. Bu RAM belleğin 1 KByte'lık işletim sistemi kullanmakta, diğerleri ise bilgilerin saklanması için kullanılır.

ÜÇÜNCÜ BÖLÜM

3 - Devre: GERÇEKLEŞTİRİLEN "BİLGİSAYARLARIN YAZICI

1 - ÇIKIŞLARINI DEPOLAYAN VE DEĞERLENDİREN

2 - AKILLI BELLEK ARABİRİMİ" NİN TEKNİK

3 - ÖZELLİKLERİ.

4 - 1 adet Centronics

ne sahiptir. Bunların giriş portu olarak kullanılır, çıkış portu olarak ise yazıcıya bağlanmaktadır.

4 - NS 232 C arabirimi ile haberleşme hızları 150-300-600-1200-2400-4800-9600-19200 baudlarda ile gerçekleştirilir.

5 - Giriş hızları ile çıkış hızları arasında bağlantı değildir.

Yani, giriş hızı 9600 baud ile girerse çıkış hızı yazıcıya 1200 baud ile gönderilebilir.

6 - NS 232 C standardı ile giriş ve çıkış hızları Centronics standardında veya NS 232 C standardında olabilir. 1200 baud giriş ve çıkış haberleşme standartlarında birbirleriyle bağlantılıdır.

7 - Giriş ve çıkış hızları ile giriş ve çıkış hızları arasında bağlantı yoktur. "TIP switch" ile giriş ve çıkış hızları ayarlanabilir.

8 - İşletim devre bir taba olarak NS 232 C programları ile çalışır.

Bu tez çalışmasında gerçekleştirilmeye çalışılan devrenin teknik özellikleri şöyle özetlenebilir.

1 - Genelde temel yapı mikroişlemcili bir yapıdır.

Mikroişlemci olarak Z-80 kullanılmış olup çalışma hızı 2,304 MHz olarak seçilmiştir.

2 - Yapı 64 KByte lık bir belleğe sahiptir.

Bu belleklerden 8 KByte , içinde işletim sistemi programları bulunan EPROM, geri kalan 56 KByte'ı RAM bellektir. Bu RAM belleğin 1 KByte'ını işletim sistemi kullanmakta, diğerleri ise bilgilerin saklanması için kullanılmaktadır.

5 - Devre;

1 adet RS 232 C	giriş portu
1 adet Centronix	giriş portu
1 adet RS 232 C	çıkış portu
1 adet Centronix	çıkış portu

na sahiptir. Bunların giriş portu olanları bilgisayara, çıkış portu olanları yazıcıya bağlanmaktadır.

4 - RS 232 C arabirimi ile yapılacak haberleşme 150-300-600-1200 2400-4800-9600-19200 Baudrate ile yapılabilmektedir.

5 - Giriş Baudrate ile çıkış Baudrate; birbirine bağımlı değildir. Yani örneğin 9600 Baud ile girilen bir bilgi yazıcıya 1200 Baud ile gönderilebilir.

6 - RS 232 C standartı ile girilen bir bilgi Centronix standartında veya RS 232 C standartında çıkabilir. Yani giriş ve çıkış haberleşme standartları da birbirinden bağımsızdır.

7 - Giriş ve çıkış standartları ile giriş ve çıkış hızları önpanelde bulunan "DIP switch" leri ile seçilmektedir.

8 - İstenirse devre bir YABA olarak değil Z-80 programları ile çalış-

RS 232 C girişini herhangi bir terminalin RS 232 C portuna bağlamak ve ön paneldeki ilgili tuşa basmak yeterlidir. Bu işlem yapılacak olursa makina kodunda bilgi girip, program yazılabilmekte ve çalıştırılabilmektedir.

9 - İstenirse sisteme hex klavye ile bilgi girmekde mümkündür.

DÖRDÜNCÜ BÖLÜM

GENİŞLETİLEBİLİR ELEKTRONİK DEVRENİN YAPISI

(HARDWARE)

Bu bölümde gerçekleştirilen elektronik devrenin hardware kısmı verilmiştir. Devre genel olarak 3 bölüme ayrılmıştır.

1. Zamanlama İşaretlerini Oluşturan Devre

2. M. Analizci DÖRDÜNCÜ BÖLÜM

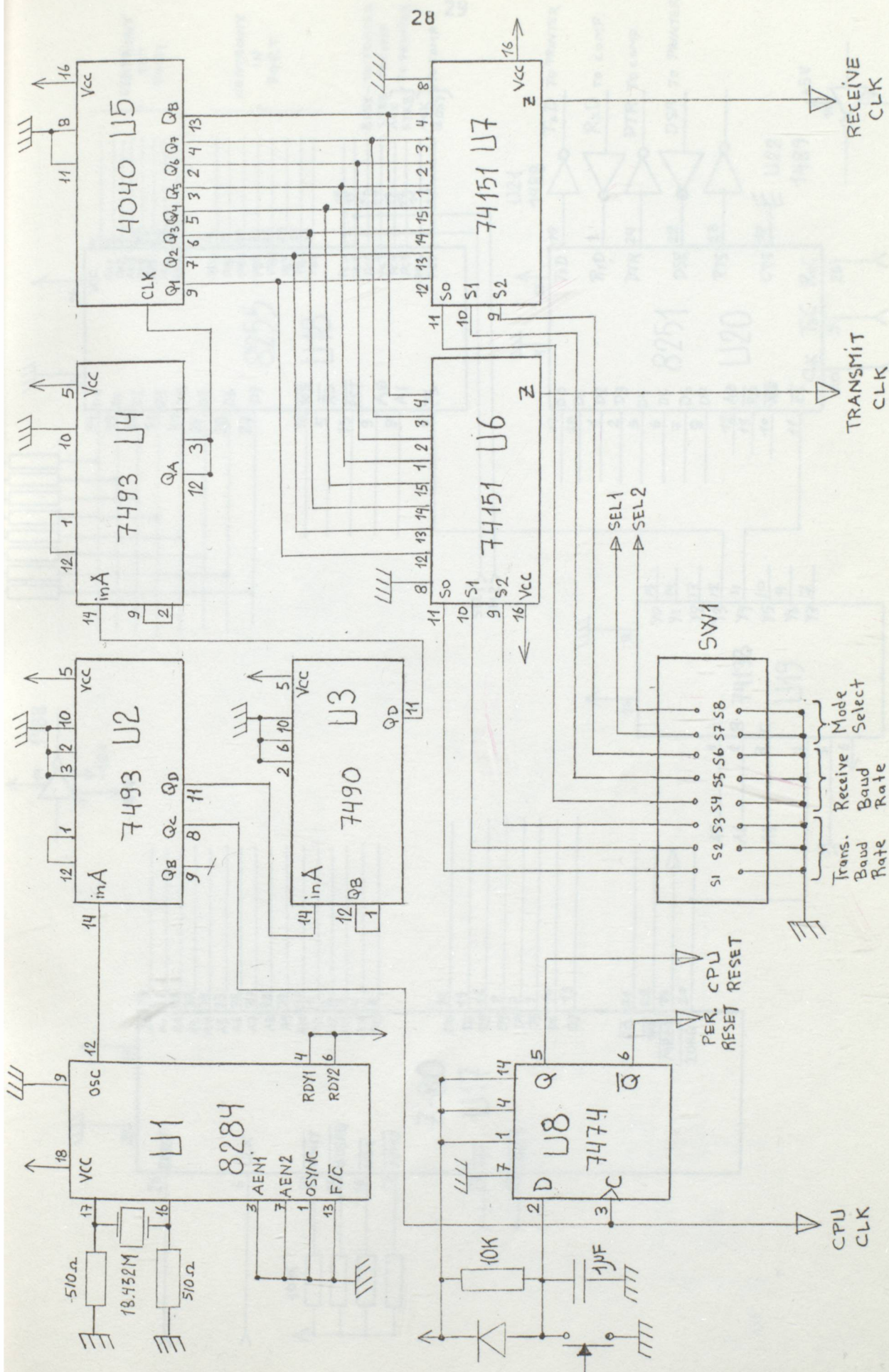
GERÇEKLEŞTİRİLEN ELEKTRONİK DEVRENİN YAPISI

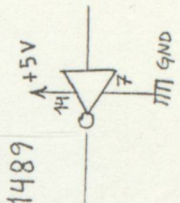
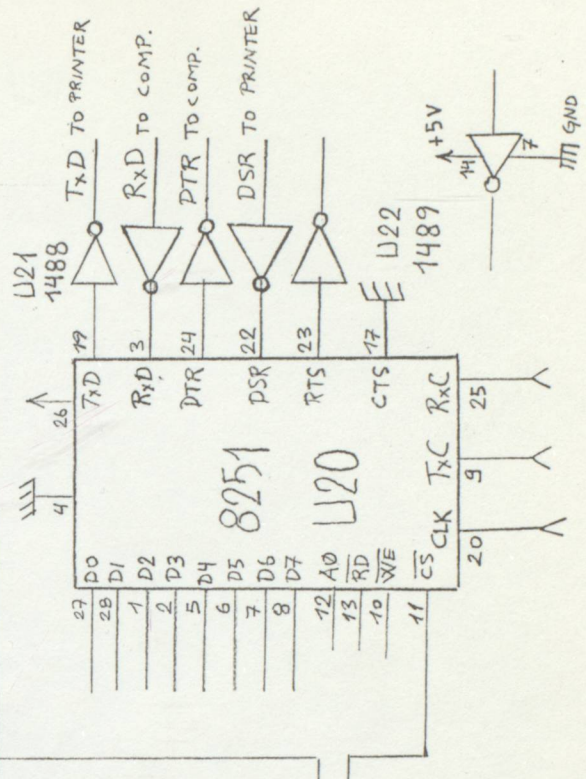
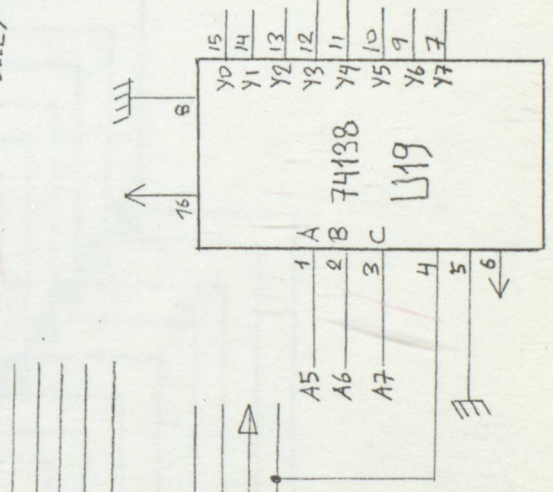
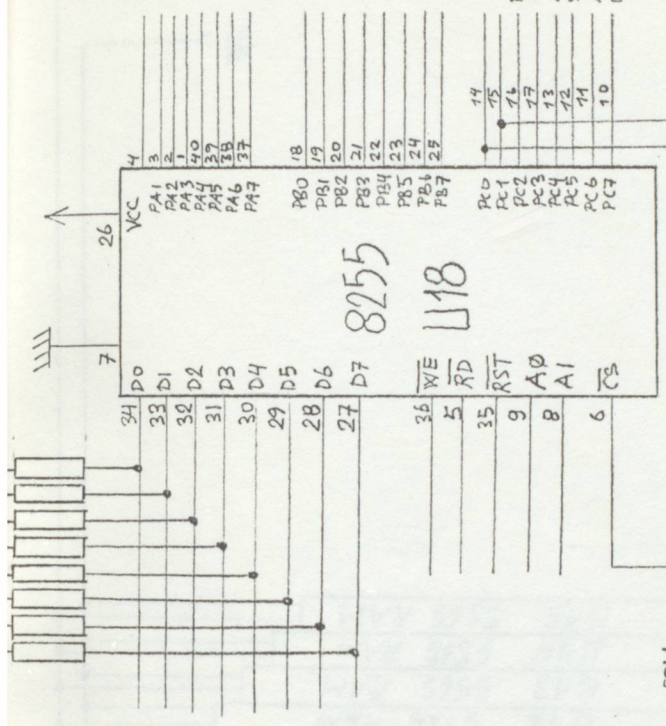
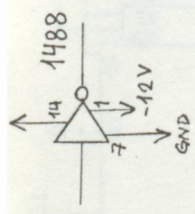
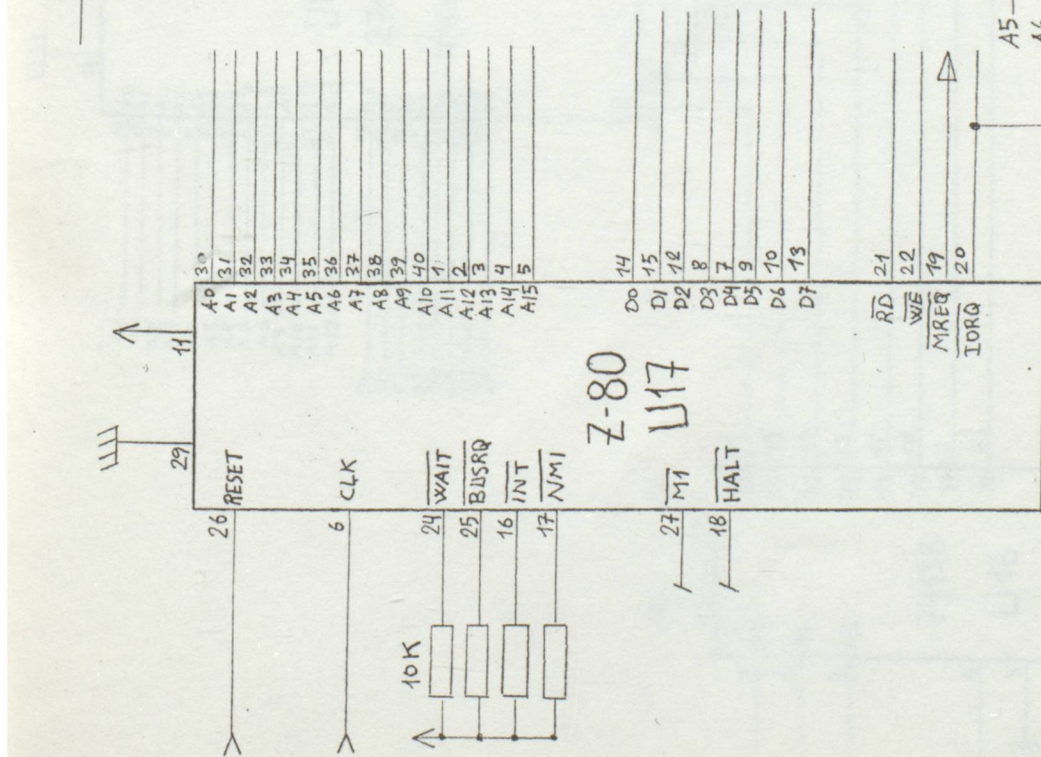
Verilen bu devre teknik özellikleri, (HARDWARE)

Bu bölümde gerçekleştirilen elektronik devrenin hardware yapısı verilmiştir. Devre genel olarak 3 bölümden oluşmaktadır. Bunlar

- 1-Zamanlama işaretlerini Üreten devre
- 2-Mikroişlemci Ünitesi
- 3-Bellek Ünitesi

Şemaları verilen bu devrelerin teknik özellikleri, çalışma prensipleri ileriki bölümlerde açıklanmıştır.





CENTRONIX OUT PORT

CENTRONIX IN PORT

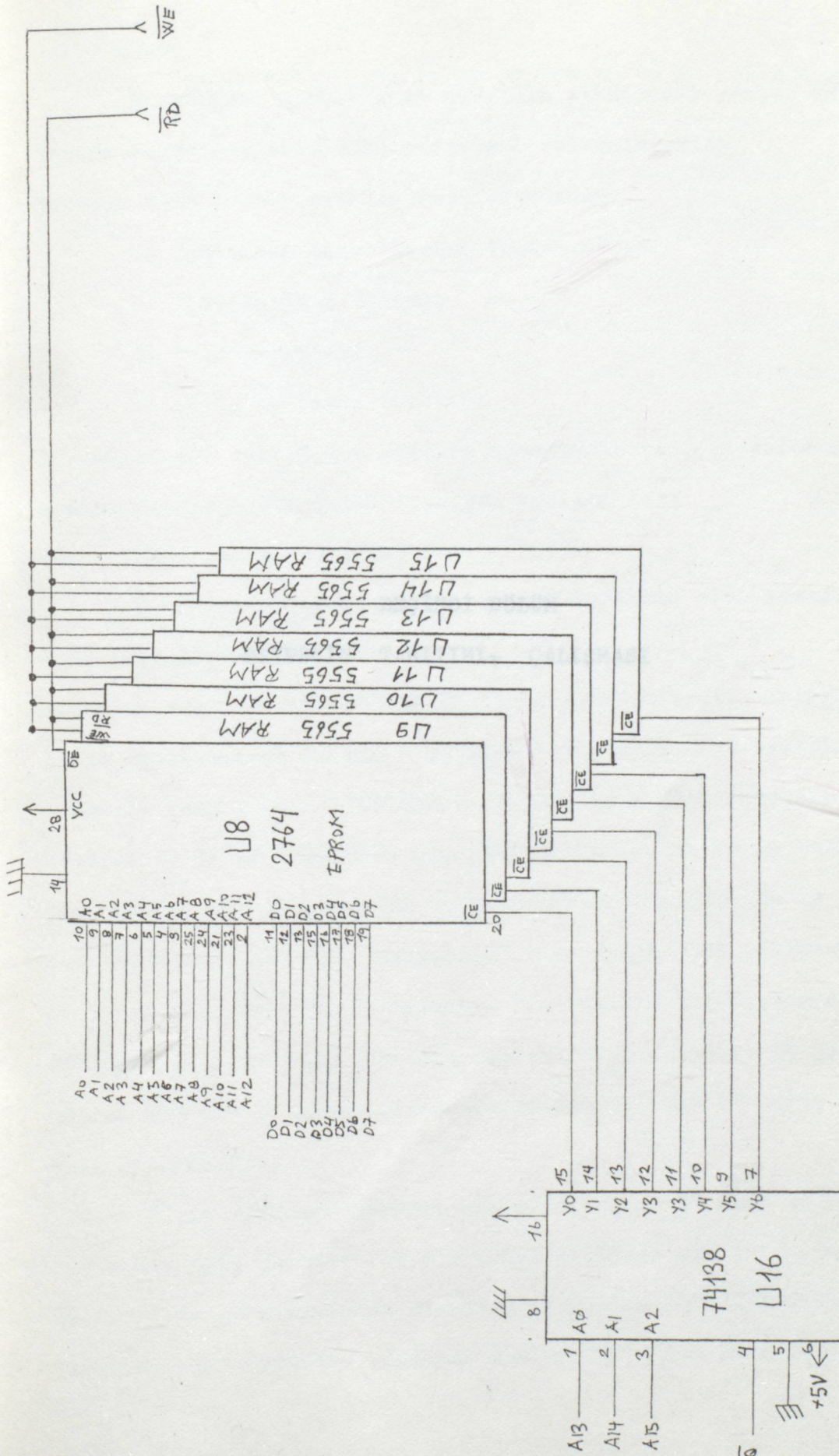
BUSY-TO-PRINTER
STRB-TO-COMP
ACK-TO-PRINTER
ACK-TO-COMP

TxD TO PRINTER

RxD TO COMP.

DTR TO COMP.

DSR TO PRINTER



BEŞİNCİ BÖLÜM

DEVRENİN TANITIMI, ÇALIŞMASI

5.1 - GİRİŞ

Bu bölümde gerçekleştirilen devrenin elektronik yapısı ve bu yapıda bulunan elemanların görevleri anlatılacaktır.

Genelde YABA yı 4 kısıma ayırmak mümkündür.

- 1- Zamanlama İşaretlerini Üreten Devre
- 2- Mikroişlemci Ünitesi
- 3- Bellek Ünitesi
- 4- Giriş ve Çıkış Portları

Bu devrelerde kullanılan entegre devrelerin çalışma prensipleri ve ayrıntılı bilgileri Ekler kısmında verilmiştir.

5.2 - ZAMANLAMA ŞİRATLERİNİ ÜRETEN DEVRE

B devrenin şeması ŞEMA 1 olarak verilmiş olan şemadır.

YABA daki mikroişlemcinin,

giriş ve çıkış portlarındaki IC (Integrated Circuit, Entegre Devre)

lerin çalışması ve RS 232 C standartı ile yapılacak haberleşmenin

Baudrate inin seçimi için gerek olacak Clock (CLK) işaretlerinin

üretimi U1 Ic sı olan 8284 ile yapılmaktadır. Bu Ic ye bağlanmış

olan 18,432 MHz lik kristal osilator sayesinde 8284 ün 12 nolu ucun-

dan 18,432 MHz lik %50 "Dutycycle" kare dalga elde edilmektedir.

U2 IC si olan 74LS930 bu frekansı 8 e bölerek mikroişlemcinin(Z-80CPU)

CLK işareti olan 2,304 MHz lik işareti üretmektedir. Bu işaret direk

olarak CPU nun ve giriş çıkış devresinde bulunan IC lerin CLK giri-

şine gitmektedir.

U2 de frekansı bölünen sinyaller U3 ve U4 dede bölünerek 4040

"12 bit ripple counter" IC sinin CLK girişine gelir. Bu 4040 ın

Q1, ... ve Q8 çıkışından sırası ile 150-300-600-1200-2400-4800-9600

19200 Hz lik sinyaller alınırki bunlar 10 bitlik paketleme ile RS

232C, standartında gönderilecek bilgiler için gerekli olan Baudrate frekanslarıdır. 4040 ın bu çıkışları U6 ve U7 IC lerinin aynı isimli uçlarına birlikte gelirler U6 ve U7 ler 74 LS 151 olup bunlar girişlerinde bulunan 8 adet sinyalden istenilen bir tanesini Z ucundan dışarıya seçerek vermektedirler. Bu IC lerden U6 nın çıkışı yazıcıya gönderilen RS 232 C standartındaki bilgi için gerekli olan CLK dur (Transmit Clock). U7 nin çıkışı ise bilgisayardan bilgi alımı için kullanılan Baudrate CLK dur. (Receive Clock) Bu U6 ve U7 hangi frekans çıkışlarına vereceği 50-51-52 girişlerdeki "binary" sayı ile olmaktadır. Ayrıca bu DIP switch in 7. ve 8. kontakları mod seçimi için kullanılmaktadır. Konumlara göre mod lar şöyledir.

S7	S8		
OFF	OFF	RS232 giriş	RS232 çıkış
OFF	ON	RS232 giriş	Centronix çıkış
ON	OFF	Centronix giriş	RS232 çıkış
ON	ON	Centronix giriş	Centronix çıkış

DIP switch lerin konumuna göre Baudrate ler şöyledir.

S1/S4	S2/S5	S3/S6	Baudrate
OFF	OFF	OFF	150
OFF	OFF	ON	300
OFF	ON	OFF	600
OFF	ON	ON	1200
ON	OFF	OFF	2400
ON	OFF	ON	4800
ON	ON	OFF	9600
ON	ON	ON	19200

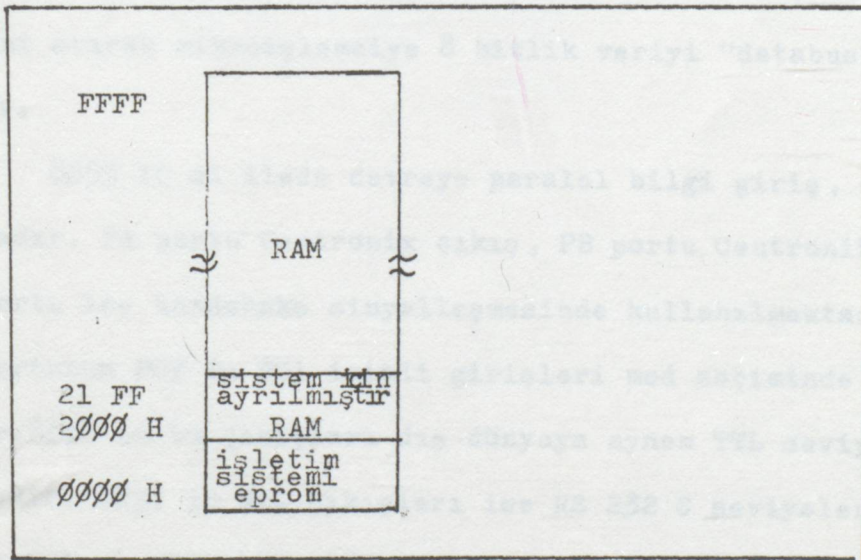
5.3 - MİKROİŞLEMCİ ÜNİTESİ

U17 IC si sistemin mikroişlemcisi olan Z-80 dir. Z-80 için gerekli olan CLK ve RESET işaretleri ŞEMA 1 den gelmektedir. ŞEMA 2 mikroişlemci ünitesinin açık şemasıdır. Z-80 in $\overline{\text{WAIT}}$, $\overline{\text{BUSRQ}}$, $\overline{\text{INT}}$, $\overline{\text{MMT}}$ girişlerindeki " pull up" dirençleri olan 10 K lık dirençler bu uçların boşa kalmamasını ve Lojik 1 e bağlanmalarını sağlamak

(chip select) $\overline{CS}$ işaretlerinin üretimi için kullanılmıştır. İleride belirtileceği gibi bu giriş çıkış portları mikroişlemcinin IO (Input, Output) portlarına yerleştirilmiştir. U24 CD4071 ve CD 4001 IC leri ise sisteme hex klavye ile bilgi girilmesi ve klavye ile kullanılması amacı ile oluşturulmuşlardır.

5.4 - BELLEK ÜNİTESİ

Bellek ünitesinin yapısı ŞEMA 3 de görülmektedir. Yapı itibarı ile 8 adet 8 KByte lık IC ler bellek olarak 2764, RAM olarak 5564 (8 KByte Static RAM) bulunmaktadır. Bunlar için gerekli olan $\overline{CS}$ (Chip Select) işaretleri U16 74LS138 ile üretilmektedir. Bu bellek IC leri mikroişlemcinin memory portundadırlar. Sistemin bellek organizasyonu şöyledir.



Sistemin Bellek Organizasyonu

Bellek IC lerinin aktif olduğu bölgelerde şöyle özetlenebilir.

U8	EPROM	0000 - 1FFF
U9	RAM	2000 - 3FFF
U10	RAM	4000 - 55FFF
U11	RAM	6000 - 7FFF
U12	RAM	8000 - 9FFF

U13	RAM	A000 - BFFF
U14	RAM	C000 - DFFF
U15	RAM	E000 - FFFF

5.5 - GİRİŞ VE ÇIKIŞ PORTLARI

Bu ünitenin yapısı ŞEMA 2 de verilmiştir.

U18 8255 IC si ve U20 8251 IC sinden oluşmaktadır.

8251 devreye seri bilgi giriş ve çıkış için kullanılmaktadır.

Tabiki bu bilgi alış verişi RS 232 C standartında olmaktadır.

Bu IC mikroişlemciden dışarıya seri olarak gönderilecek bilgiyi alır. Bu bilgi üzerine RS 232 C nin gereği olan Start, Stop ve Parity bitini ekler, dış dünyaya bu bilgiyi TxC girişindeki CLK işaretinin çıkan kenarlarında seri olarak verir. Dış dünyadan gelen seri bilgiyi start, stop ve parity bitleriyle birlikte RxC deki CLK işaretinin inen kenarlarında alır. Start, Stop ve Parity bitini atarak mikroişlemciye 8 bitlik veriyi "databus" üzerinden verir.

8255 IC si ilede devreye paralel bilgi giriş, çıkışı yapılmaktadır. PA portu Centronix çıkış, PB portu Centronik giriş için PC portu ise handshake sinyalleşmesinde kullanılmaktadır. Ayrıca PC portunun PC0 ve PC1 isimli girişleri mod seçiminde kullanılmaktadır. 8255 in bu çıkışları dış dünyaya aynen TTL seviyesinde verilmektedir. 8251 in TTL çıkışları ise RS 232 C seviyelerine çevrilmek üzere U21 ve U22 1488,1489 IC lerinden geçmektedirler. Bunlar vasıtası ile TTL seviyeleri 5 12 volt RS 232 C seviyelerine çevrilmektedirler.

U18	60 - 7F	Input, Output Portlarına yerleştirilmiştir.
U20	80 - 9F	

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

```

5 ;SCAN
6 ;Bu program tus takimini tarar ve
7 ;display'lerde bilgi gosterir.
1100 10 ORG £1100
12 ;Karakter tablosu baslangici
1100 3F 20 DEFB £3F
1101 06 30 DEFB £06
1102 5B 40 DEFB £5B
1103 4F 50 DEFB £4F
1104 66 60 DEFB £66
1105 6D 70 DEFB £6D
1106 7D 80 DEFB £7D
1107 07 90 DEFB £07
1108 7F 100 DEFB £7F
1109 67 110 DEFB £67
110A 77 120 DEFB £77
110B 7C 130 DEFB £7C
110C 39 140 DEFB £39
110D 5E 150 DEFB £5E
110E 79 160 DEFB £79
110F 71 170 DEFB £71
1110 00 180 DEFB £00
1111 80 190 DEFB £80
1120 195 ORG £1120
1120 210808 200 BSLA LD HL,£0808
1123 0E01 210 LD C,£01
1125 37 220 SCF
1126 06FF 230 LD B,£FF
1128 7E 240 TARA LD A,(HL)
1129 ED41 250 OUT (C),B ;DIGIT
112B D300 260 OUT (0),A ;SEGMENT
112D 3E50 270 LD A,£50
112F 3D 280 GRS DEC A
1130 20FD 290 JR NZ,GRS
1132 DB02 300 IN A,(02) ;KEYBOARD
1134 2F 310 CPL
1135 3C 320 INC A
1136 3D 330 DEC A
1137 2007 340 JR NZ,HESP
1139 23 350 INC HL
113A CB00 360 RLC B
113C 30E2 370 JR NC,BSLA

```


113E	18E8	380	JR	TARA
1140	1600	390 HESP	LD	D,£00
1142	CB3F	400 KYDR	SRL	A
1144	3803	410	JR	C,HESP1
1146	14	420	INC	D
1147	18F9	430	JR	KYDR
1149	1E00	440 HESP1	LD	E,£00
114B	CB38	450 KAY	SRL	B
114D	3003	460	JR	NC,SONUC
114F	1C	470	INC	E
1150	18F9	480	JR	KAY
1152	7B	490 SONUC	LD	A,E
1153	CB23	500	SLA	E
1155	CB23	510	SLA	E

GOKHAN KURU Assembler. Page 2.

1157	83	520	ADD	A,E
1158	82	530	ADD	A,D
1159	C9	540	RET	

Pass 2 errors: 00

BSLA	1120	GRS	112F	HESP	1140	HESP1	1149
KAY	114B	KYDR	1142	SONUC	1152	TARA	1128

Table used: 101 from 194

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

```

550 ;7-SEG
560 ;Bu program A reg.'inde bulunan
570 ;bilginin 7-segment karsiligini
580 ;karakter tablosundan yararlanarak
590 ;bulur.
11BB      600      ORG    £11BB
11BB E5      610 SEG    PUSH HL
11BC 210001  620      LD    HL,£0100
11BF E6FF    630      AND    £FF
11C1 85      640      ADD    A,L
11C2 6F      650      LD     L,A
11C3 7E      660      LD     A,(HL)
11C4 E1      670      POP    HL
11C5 C9      680      RET
690 ;
700 ;
710 ;CEVIR
720 ;8 BYTE'lik bilgiyi 7-seg.
730 ;moduna ceviriyor.
11C7      740      ORG    £11C7
11C7 0608    750 CEVIR  LD     B,£08
11C9 DD210708 760      LD     IX,£0807
11CD FD210F08 770      LD     IY,£080F
11D1 DD7E00  780 TRSFR  LD     A,(IX+00)
11D4 CDBB11  790      CALL SEG
11D7 FD7700  800      LD     (IY+00),A
11DA DD2B    810      DEC    IX
11DC FD2B    820      DEC    IY
11DE 10F1    830      DJNZ  TRSFR
11E0 C9      840      RET

```

Pass 2 errors: 00

CEVIR 11C7 SEG 11BB TRSFR 11D1

Table used: 47 from 153

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

```

      850 ;ADRSK
      860 ;Bu program display'de gorunen
      870 ;adres bilgisini her tusa basista
      880 ;sola dogru bir kaydirir.
11E2      890      ORG  £11E2
11E2      F5      900 ADRSK  PUSH AF
11E3      0603    910      LD   B,£03
11E5      DD210008 920      LD   IX,£0800
11E9      DD7E01   930 LOOP  LD   A,(IX+01)
11EC      DD7700   940      LD   (IX+00),A
11EF      DD23     950      INC  IX
11F1      10F6     960      DJNZ LOOP
11F3      F1       970      POP  AF
11F4      DD7700   980      LD   (IX+00),A
11F7      C9       990      RET
      1000
      1010 ;DATAK
      1020 ;Bu program display'de gorunen
      1030 ;data bilgisini her tusa basista
      1040 ;sola dogru bir kaydirir.
01F9      1050      ORG  £01F9
01F9      F5      1060 DATAK  PUSH AF
01FA      3A2603   1070      LD   A,(0806)
01FD      322503   1080      LD   (0805),A
0200      F1       1090      POP  AF
0201      322603   1100      LD   (0806),A
0204      C9       1110      RET

```

Pass 2 errors: 00

ADRSK 11E2 DATAK 01F9 LOOP 11E9

Table used: 48 from 155

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

	1120 ;ADHEX		
	1130 ;Bu program adres'in HEX karsiligini		
	1140 ;hesaplar.		
115C	1145	ORG	f115C
115C DD210008	1150 ADHEX	LD	IX,f0800
1160 DD7E00	1160	LD	A,(IX+00)
1163 0604	1170	LD	B,f04
1165 CB27	1180 KYDR	SLA	A
1167 10FC	1190	DJNZ	KYDR
1169 DD8601	1200	ADD	A,(IX+01)
116C DD770B	1210	LD	(IX+11),A
116F DD7E02	1220	LD	A,(IX+02)
1172 0604	1230	LD	B,f04
1174 CB27	1240 KAYDR	SLA	A
1176 10FC	1250	DJNZ	KAYDR
117B DD8603	1260	ADD	A,(IX+03)
117B DD770A	1270	LD	(IX+10),A
117E C9	1280	RET	

Pass 2 errors: 00

ADHEX 115C KAYDR 1174 KYDR 1165

Table used: 48 from 133

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

	1290 ;DATAG	
	1300 ;Bu program ilgili datayi display'de	
	1310 ;gosteren bir programdir.	
1180	1315 ORG £1180	
1180 CD5C11	1320 DATAG CALL £115C	;call ADHEX
1183 DD2A100B	1330 LD IX, (£0B10)	
1187 DD7E00	1340 LD A, (IX+00)	
118A F5	1350 PUSH AF	
118B E6F0	1360 AND £F0	
118D 0604	1370 LD B, £04	
118F CB3F	1380 KDR SRL A	
1191 10FC	1390 DJNZ KDR	;call ADHEX
1193 32050B	1400 LD (£0B05), A	
1196 F1	1410 POP AF	
1197 E60F	1420 AND £0F	
1199 32060B	1430 LD (£0B06), A	;call CEVIR
119C CDC711	1440 CALL £11C7	
119F C9	1450 RET	

Pass 2 errors: 00

DATAG 1180 KDR 11BF

Table used: 35 from 137

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

```

1460 ;DTAKY
1470 ;Bu program tus takimi ile yazilan DATA'yi
1480 ;adresin gosterdigi yere HEX olarak yazar.
1483
.206 1485      ORG    £1206
.206 3A050B 1490 DTAKY LD    A, (£0805)
.209 0604   1500      LD    B, £04
.20B CB27   1510 YAN   SLA    A
.20D 10FC   1520      DJNZ  YAN
.20F 21060B 1530      LD    HL, £0806
.212 86     1540      ADD   A, (HL)
.213 F5     1550      PUSH  AF
.214 CD5C11 1560      CALL  £115C ;call ADHEX
.217 F1     1570      POP   AF
.218 DD2A100B 1580     LD    IX, (£0810)
.21C DD7700 1590     LD    (IX+00), A
.21F CDC711 1600     CALL  £11C7 ;call CEVIR
.222 C9     1610     RET

```

Pass 2 errors: 00

DTAKY 1206 YAN 120B

Table used: 35 from 140

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

```

1620 ;ADART
1630 ;Bu program + tusuna basildikca display'de
1640 ;yazili olan adresi bir arttirir.
1645
1224      1647      ORG      £1224
1224 CD5C11      1650 ADART  CALL £115C      ;call ADHEX
1227 211008      1660      LD      HL,£0810
122A 7E          1670      LD      A,(HL)
122B C601        1680      ADD     A,£01
122D 3803        1690      JR      C,TEKRAR
122F 77          1700      LD      (HL),A
1230 1806        1710      JR      ASAGI
1232 77          1720 TEKRAR LD      (HL),A
1233 23          1730      INC     HL
1234 7E          1740      LD      A,(HL)
1235 3C          1750      INC     A
1236 77          1760      LD      (HL),A
1237 2B          1770      DEC     HL
1238 7E          1780 ASAGI  LD      A,(HL)
1239 E6F0        1790      AND     £F0
123B CB3F        1800      SRL     A
123D CB3F        1810      SRL     A
123F CB3F        1820      SRL     A
1241 CB3F        1830      SRL     A
1243 320208      1840      LD      (£0802),A
1246 7E          1850      LD      A,(HL)
1247 E60F        1860      AND     £0F
1249 320308      1870      LD      (£0803),A
124C 23          1880      INC     HL
1890
124D 7E          1900      LD      A,(HL)
124E E6F0        1910      AND     £F0
1250 CB3F        1920      SRL     A
1252 CB3F        1930      SRL     A
1254 CB3F        1940      SRL     A
1256 CB3F        1950      SRL     A
1258 320008      1960      LD      (£0800),A
125B 7E          1970      LD      A,(HL)
125C E60F        1980      AND     £0F
125E 320108      1990      LD      (£0801),A
1261 CD8011      2000      CALL £1180      ;call DATAG
1264 C9          2010      RET

```

Pass 2 errors: 00

ADART 1224 ASAGI 1238 TEKRAR 1232

Table used: 50 from 169

GOKHAN KURU Assembler. Page 1.

Pass 1 errors: 00

```

2020 ;DELAY
2030 ;Bu program gecikme saglar.Gecikme
2040 ;display'leri tarama yolu ile yapil-
2050 ;maktadir.
2055
12D2 2057 ORG £12D2
12D2 1601 2060 DELAY LD D,£01
12D4 1E7F 2070 YUKLE LD E,£7F
12D6 210808 2080 BASTAN LD HL,£0808
12D9 0E01 2090 LD C,£01
12DB 06FE 2100 LD B,£FE
12DD 7E 2110 DEVAM LD A,(HL)
12DE ED41 2120 OUT (C),B ;DIGIT
12E0 D300 2130 OUT (£00),A ;SEGMENT
12E2 3E60 2140 LD A,£60
12E4 3D 2150 AZALT DEC A
12E5 20FD 2160 JR NZ,AZALT
12E7 23 2170 INC HL
12E8 CB00 2180 RLC B
12EA 3002 2190 JR NC,AFA
12EC 18EF 2200 JR DEVAM
12EE 1D 2210 AFA DEC E
12EF 20E5 2220 JR NZ,BASTAN
12F1 15 2230 DEC D
12F2 20E0 2240 JR NZ,YUKLE
12F4 C9 2250 RET

```

Pass 2 errors: 00

```

AFA 12EE AZALT 12E4 BASTAN 12D6 DELAY 12D2
DEVAM 12DD YUKLE 12D4

```

Table used: 84 from 150

OKHAN KURU Assembler. Page 1.

pass 1 errors: 00

```

2300 ; * M O N I T O R   P R O G R A M I *
2310
2320 ;Bu program butun islevleri yuruten
2330 ;ana programdir.
2340
267      2345      ORG    £1267
267 317F08      2350      LD    SP,£087F      ;STACK POINTER' yukleniyor
26A 210008      2360      LD    HL,£0800
26D AF          2370      XOR    A
26E 0604        2380      LD    B,£04
270 77          2390 YUKLE  LD    (HL),A
271 23          2400      INC    HL
272 10FC        2410      DJNZ  YUKLE
274 3E11        2420      LD    A,£11
276 320408      2430      LD    (£0804),A
279 320708      2440      LD    (£0807),A
2450
27C CD8001      2460 ADRES  CALL  £0180      ;DATAG
27F CDD202      2470 ADRESI CALL  £02D2      ;DELAY
282 CD2001      2480      CALL  £0120      ;SCAN
285 FE27        2490      CP    £27      ;60 tusu
287 2814        2500      JR    Z,RUN
289 FE25        2510      CP    £25      ;DATA tusu
28B 2817        2520      JR    Z,DATA
28D FE24        2530      CP    £24      ; +   tusu
28F 283A        2540      JR    Z,ARTUSU
291 FE23        2550      CP    £23      ;ADRES tusu
293 28E7        2560      JR    Z,ADRES
295 E6F0        2570      AND    £F0
297 CDE201      2580      CALL  £01E2      ;ADRESK
29A C37C12      2590      JP    ADRES
2600
29D CD5C01      2610 RUN    CALL  £015C      ;ADHEX
2A0 2A1008      2620      LD    HL, (£0810)
2A3 E9          2630      JP    (HL)
2640
2A4 CDD202      2650 DATA  CALL  £02D2      ;DELAY
2A7 CD2001      2660      CALL  £0120      ;SCAN
2AA FE27        2670      CP    £27
2AC 28F6        2680      JR    Z,DATA
2AE FE25        2690      CP    £25
2B0 28F2        2700      JR    Z,DATA
2B2 FE23        2710      CP    £23
2B4 28C6        2720      JR    Z,ADRES
2B6 FE24        2730      CP    £24

```


28C6	2720	JR	Z,ADRES	
FE24	2730	CP	£24	
280B	2740	JR	Z,ADART	
E60F	2750	AND	£0F	
CDF901	2760	CALL	£01F9	; DATAK
CD0602	2770	CALL	£0206	; DTAKY
C3A412	2780	JP	DATA	
	2790			
CD2402	2800	ADART	CALL £0224	; ADRESI BIR ARTTIRAN PROGRAM
C3A412	2810	JP	DATA	
	2820			
CD2402	2830	ARTUSU	CALL £0224	; ADRESI BIR ARTTIRAN PROGRAM
C37F12	2840	JP	ADRESI	

E K L E R

IAN KURU Assembler. Page 2.

2 errors: 00

T	12C5	ADRES	127C	ADRESI	127F	ARTUSU	12CB
	12A4	RUN	129D	YUKLE	1270		

e used: 96 from 228

**UNITED
TECHNOLOGIES
MOSTEK**

**MEMORY
COMPONENTS**

2K x 8 ZEROPOWER™ RAM MK48202 (B) -15/20/25

FEATURES

- Non-volatility in the absence of power
- Data security provided by automatic write protection during power failure
- Direct replacement for volatile 2K x 8 Byte Wide Static RAM
- ±5 Volt only Read/Write
- Unlimited write cycles
- CMOS - 340 mW active, 0.5 mW standby
- JEDEC Pin, Dual in Line package, JEDEC pinout
- Test cycle time equals write cycle time
- Low Ready Warning

PIN NAMES

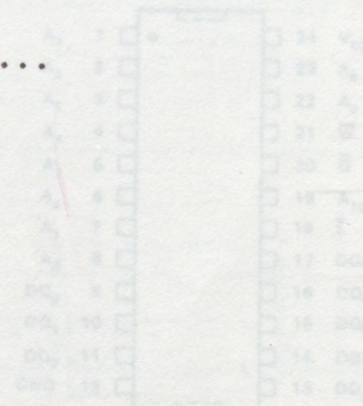
$A_0 - A_{10}$	Address Inputs	V_{CC}	System Power (+5 V)
$\bar{E}$	Chip Enable	$\bar{W}$	Write Enable
GND	Ground	$\bar{DQ}$	Output Enable
$DQ_0 - DQ_7$	Data In/Out		

PIN CONNECTIONS

Figure 1

Part No.	Address Time	Read Cycle Time
MK48202-25	250 nsec	750 nsec
MK48202-20	200 nsec	600 nsec
MK48202-15	150 nsec	450 nsec

E K L E R





MEMORY COMPONENTS

2K x 8 ZEROPOWER™ RAM MK48Z02 (B) -15/20/25

FEATURES

- Data retention in the absence of power
- Data security provided by automatic write protection during power failure
- Direct replacement for volatile 2K x 8 Byte Wide Static RAM
- +5 Volt only Read/Write
- Unlimited write cycles
- CMOS - 440 MW active; 5.5 MW standby
- 24-Pin Dual in Line package, JEDEC pinout
- Read cycle time equals write cycle time
- Low Battery Warning

Part No.	Access Time	R/W Cycle Time
MK48Z02-25	250 nsec	250 nsec
MK48Z02-20	200 nsec	200 nsec
MK48Z02-15	150 nsec	150 nsec

DESCRIPTION

The MK48Z02 is a 16,384-bit, Non-Volatile Static RAM, organized 2K x 8 using HCMOS and an integral Lithium energy source. The ZEROPOWER™ RAM has the characteristics of a CMOS static RAM, with the important added benefit of data being retained in the absence of power. Data retention current is so small that a miniature Lithium cell contained within the package provides an energy source to preserve data. Low current drain has been attained by the use of a full CMOS memory cell, novel analog support circuitry, and carefully controlled junction leakage by an all implanted CMOS process. Safeguards

TRUTH TABLE

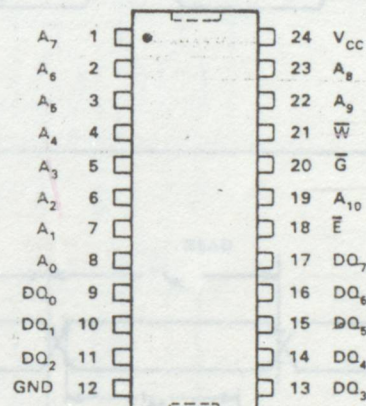
V _{CC}	$\bar{E}$	$\bar{G}$	$\bar{W}$	MODE	DQ	POWER
≤5.5 volts	V _{IH}	X	X	Deselect	High Z	Standby
	V _{IL}	X	V _{IL}	Write	D _{IN}	Active
≥4.75 volts	V _{IL}	V _{IL}	V _{IH}	Read	D _{OUT}	Active
	V _{IL}	V _{IH}	V _{IH}	Read	High Z	Active
<4.5 volts	X	X	X	Write Protect	High	Zero

PIN NAMES

A ₀ - A ₁₀	Address Inputs	V _{CC}	System Power (+5 V)
$\bar{E}$	Chip Enable	$\bar{W}$	Write Enable
GND	Ground	$\bar{G}$	Output Enable
DQ ₀ - DQ ₇	Data In/Data Out		

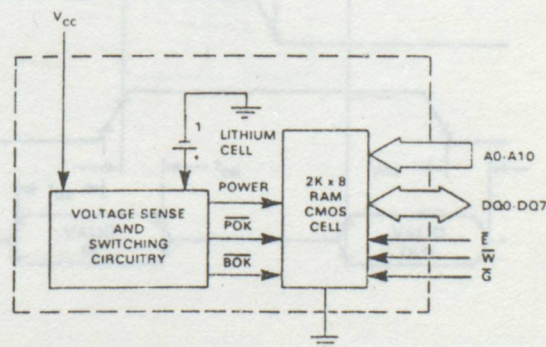
PIN CONNECTIONS

Figure 1

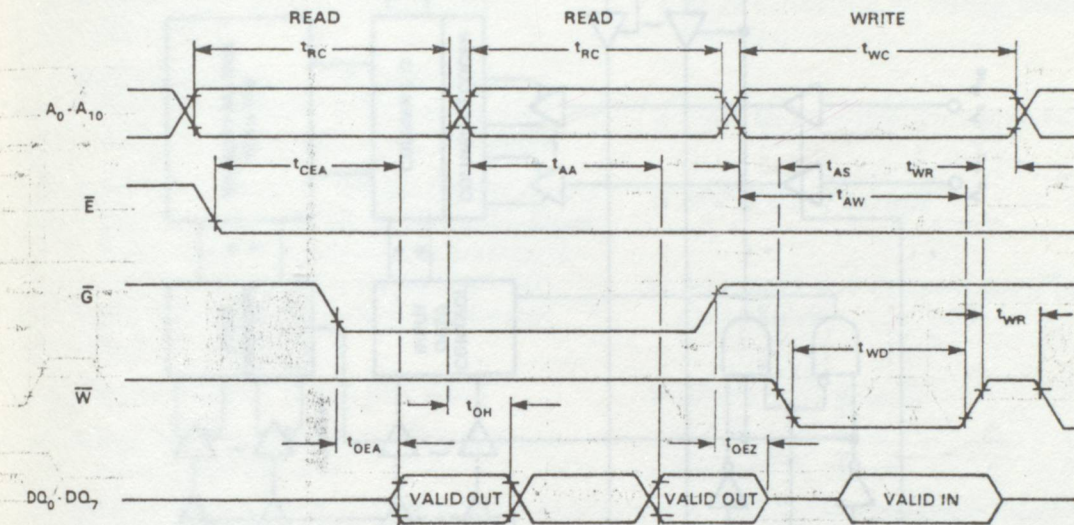


BLOCK DIAGRAM

Figure 2

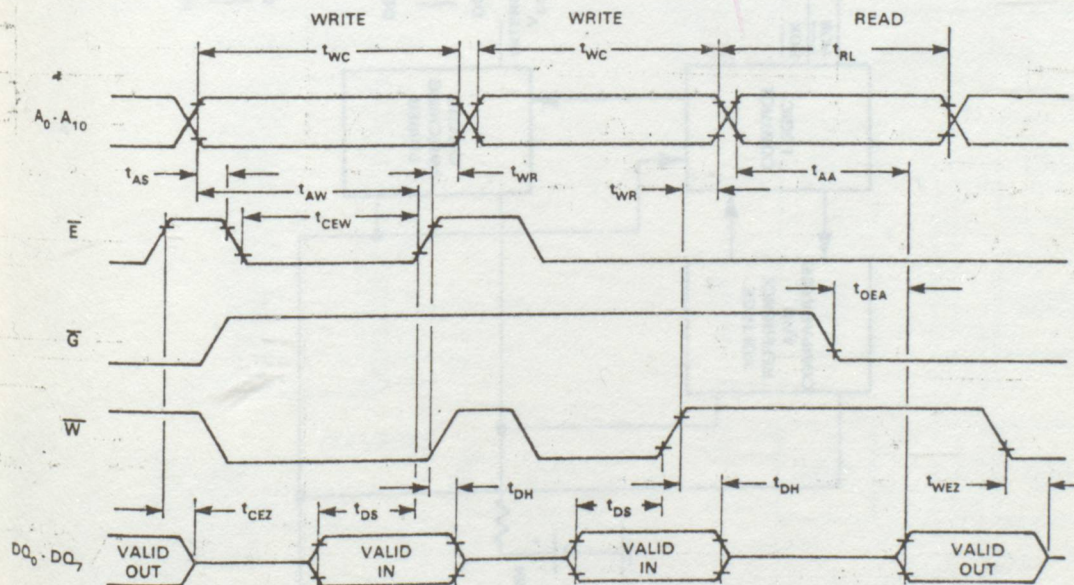


TIMING DIAGRAM
Figure 4



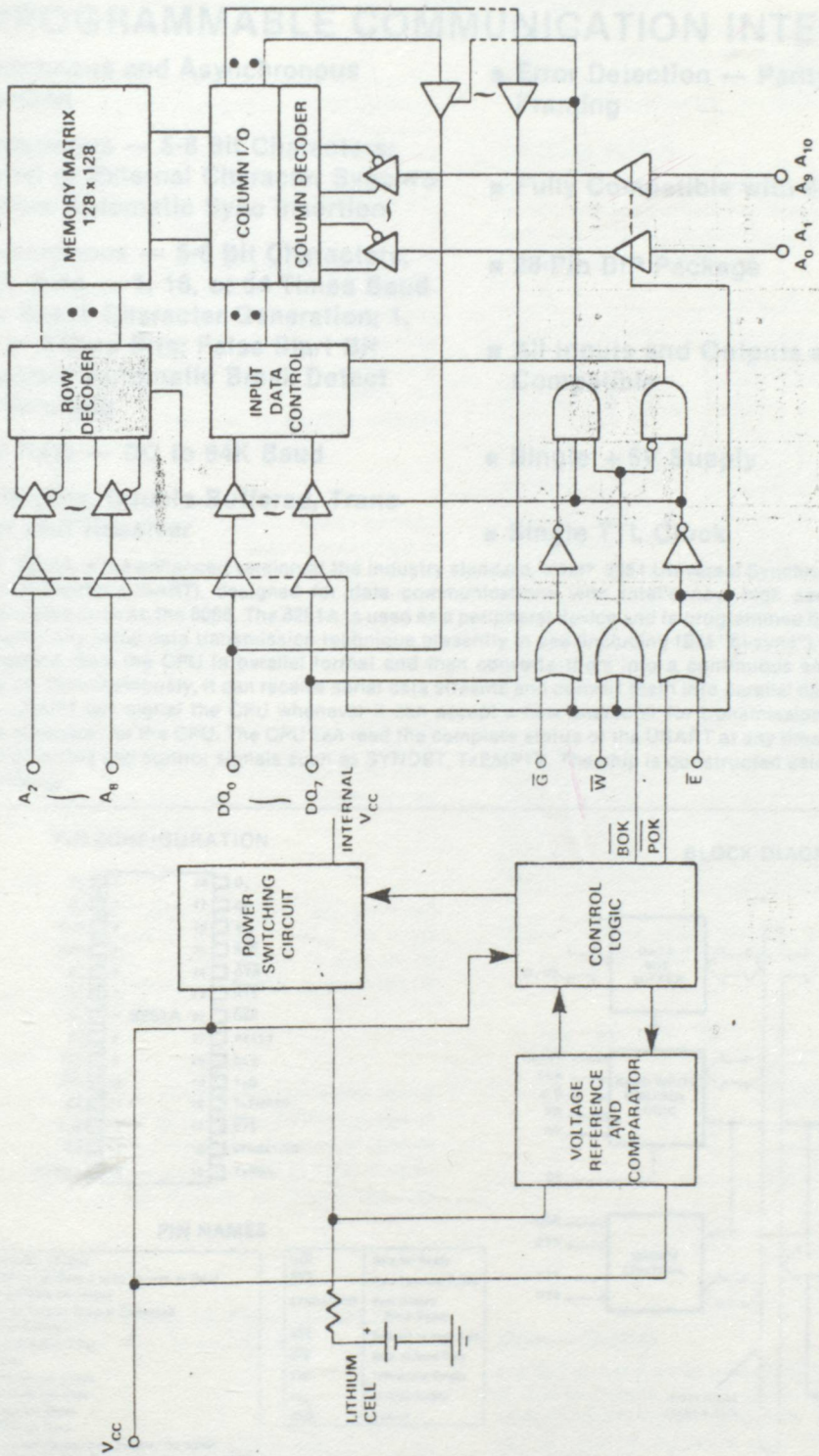
V

TIMING DIAGRAM
Figure 5



ZEROPOWER RAM FUNCTIONAL DIAGRAM

Figure 7



V



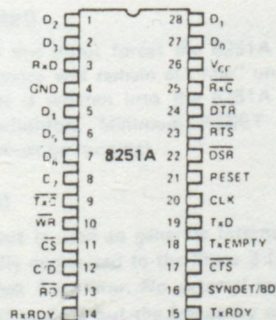
8251A

PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
- Synchronous — 5-8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous — 5-8 Bit Characters; Clock Rate — 1, 16, or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2-Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Baud Rate — DC to 64K Baud
- Full Duplex, Double Buffered, Transmitter and Receiver
- Error Detection — Parity, Overrun and Framing
- Fully Compatible with 8080/8085 CPU
- 28-Pin DIP Package
- All Inputs and Outputs are TTL Compatible
- Single +5V Supply
- Single TTL Clock

The Intel® 8251A is the enhanced version of the industry standard, Intel® 8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's new high performance family of microprocessors such as the 8085. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM "bi-sync"). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is constructed using N-channel silicon gate technology.

PIN CONFIGURATION

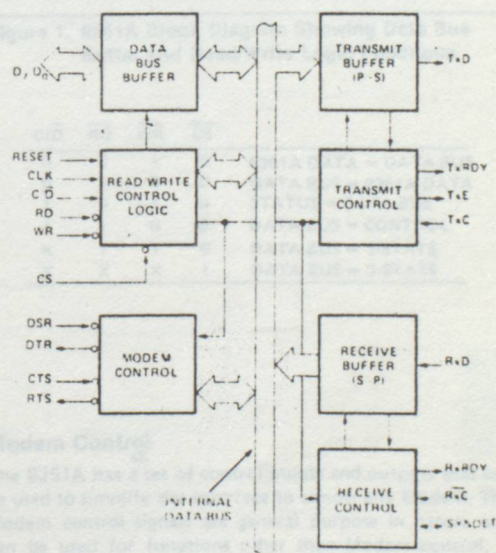


PIN NAMES

D ₁ , D ₀	Data Bus (8 bits)
C/D	Control or Data is to be Written or Read
RD	Read Data Command
WR	Write Data or Control Command
CS	Chip Enable
CLK	Clock Pulse (TTL)
RESET	Reset
TxC	Transmitter Clock
TxD	Transmitter Data
RxC	Receiver Clock
RxD	Receiver Data
RxDY	Receiver Ready (this character for 8080)
TxRDY	Transmitter Ready (ready for char. from 8080)

DSR	Data Set Ready
DTR	Data Terminal Ready
SYNDET/BD	Sync Detect/ Break Detect
RTS	Request to Send Data
CTS	Clear to Send Data
TxE	Transmitter Empty
Vcc	+5 Volt Supply
GND	Ground

BLOCK DIAGRAM



8251A

8251A BASIC FUNCTIONAL DESCRIPTION

General

The 8251A is a Universal Synchronous/Asynchronous Receiver/Transmitter designed specifically for the 80/85 Microcomputer Systems. Like other I/O devices in a Microcomputer System, its functional configuration is programmed by the system's software for maximum flexibility. The 8251A can support virtually any serial data technique currently in use (including IBM "bi-sync").

In a communication environment an interface device must convert parallel format system data into serial format for transmission and convert incoming serial format data into parallel system data for reception. The interface device must also delete or insert bits or characters that are functionally unique to the communication technique. In essence, the interface should appear "transparent" to the CPU, a simple input or output of byte-oriented system data.

Data Bus Buffer

This 3-state, bidirectional, 8-bit buffer is used to interface the 8251A to the system Data Bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions of the CPU. Control words, Command words and Status information are also transferred through the Data Bus Buffer. The command status and data in, and data out are separate 8-bit registers to provide double buffering.

This functional block accepts inputs from the system Control bus and generates control signals for overall device operation. It contains the Control Word Register and Command Word Register that store the various control formats for the device functional definition.

RESET (Reset)

A "high" on this input forces the 8251A into an "Idle" mode. The device will remain at "Idle" until a new set of control words is written into the 8251A to program its functional definition. Minimum RESET pulse width is 6 t_{CY} (clock must be running).

CLK (Clock)

The CLK input is used to generate internal device timing and is normally connected to the Phase 2 (TTL) output of the 8224 Clock Generator. No external inputs or outputs are referenced to CLK but the frequency of CLK must be greater than 30 times the Receiver or Transmitter data bit rates.

WR (Write)

A "low" on this input informs the 8251A that the CPU is writing data or control words to the 8251A.

RD (Read)

A "low" on this input informs the 8251A that the CPU is reading data or status information from the 8251A.

C/D (Control/Data)

This input, in conjunction with the $\overline{WR}$ and $\overline{RD}$ inputs, informs the 8251A that the word on the Data Bus is either a data character, control word or status information.

1 = CONTROL/STATUS 0 = DATA

CS (Chip Select)

A "low" on this input selects the 8251A. No reading or writing will occur unless the device is selected. When CS is high, the Data Bus in the float state and $\overline{RD}$ and $\overline{WR}$ will have no effect on the chip.

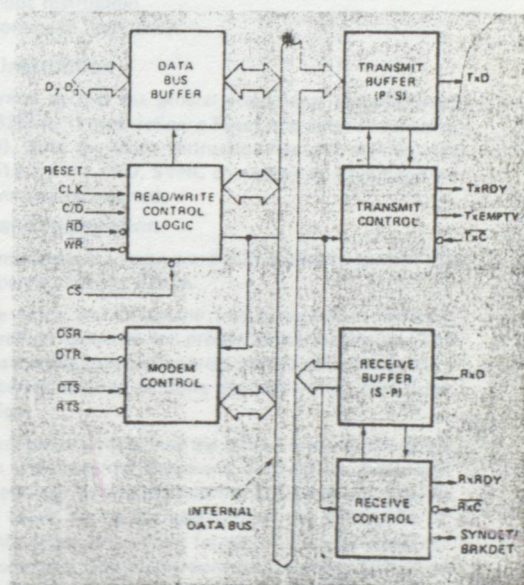


Figure 1. 8251A Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

C/D	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
0	0	1	0	8251A DATA = DATA BUS
0	1	0	0	DATA BUS = 8251A DATA
1	0	1	0	STATUS = DATA BUS
1	1	0	0	DATA BUS = CONTROL
X	1	1	0	DATA BUS = 3-STATE
X	X	X	1	DATA BUS = 3-STATE

Modem Control

The 8251A has a set of control inputs and outputs that can be used to simplify the interface to almost any Modem. The Modem control signals are general purpose in nature and can be used for functions other than Modem control, if necessary.

8251A

When used as an input (external SYNC detect mode), a positive going signal will cause the 8251A to start assembling data characters on the rising edge of the next RxC . Once in SYNC, the "high" input signal can be removed. The period of RxC . When External SYNC Detect is programmed, the Internal SYNC Detect is disabled.

BREAK DETECT (Async Mode Only)

This output will go high whenever an all zero word of the programmed length (including start bit, data bit, parity bit, and one stop bit) is received. Break Detect may also be read as a Status bit. It is reset only upon a master chip Reset or Rx Data returning to a "one" state.

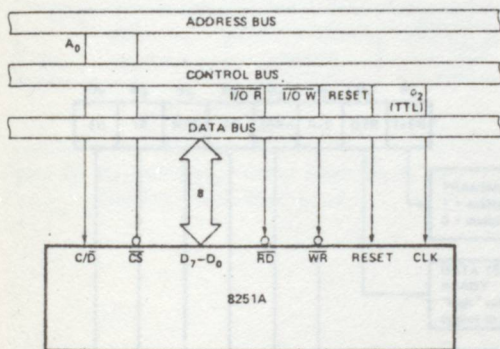


Figure 4. 8251A Interface to 8080 Standard System Bus

DETAILED OPERATION DESCRIPTION

General

The complete functional definition of the 8251A is programmed by the system's software. A set of control words must be sent out by the CPU to initialize the 8251A to support the desired communications format. These control words will program the: BAUD RATE, CHARACTER LENGTH, NUMBER OF STOP BITS, SYNCHRONOUS or ASYNCHRONOUS OPERATION, EVEN/ODD/OFF PARITY, etc. In the Synchronous Mode, options are also provided to select either internal or external character synchronization.

Once programmed, the 8251A is ready to perform its communication functions. The TxRDY output is raised "high" to signal the CPU that the 8251A is ready to receive a data character from the CPU. This output (TxRDY) is reset automatically when the CPU writes a character into the 8251A. On the other hand, the 8251A receives serial data from the MODEM or I/O device. Upon receiving an entire character, the RxRDY output is raised "high" to signal the CPU that the 8251A has a complete character ready for the CPU to fetch. RxRDY is reset automatically upon the CPU data read operation.

The 8251A cannot begin transmission until the Tx Enable (Transmitter Enable) bit is set in the Command Instruction and it has received a Clear To Send (CTS) input. The Tx output will be held in the marking state upon Reset.

Programming the 8251A

Prior to starting data transmission or reception, the 8251A must be loaded with a set of control words generated by the CPU. These control signals define the complete functional definition of the 8251A and must immediately follow a Reset operation (internal or external).

The control words are split into two formats:

1. Mode Instruction
2. Command Instruction

Mode Instruction

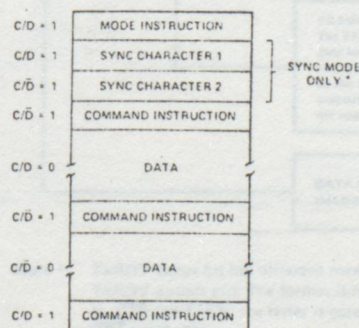
This format defines the general operational characteristics of the 8251A. It must follow a Reset operation (internal or external). Once the Mode Instruction has been written into the 8251A by the CPU, SYNC characters or Command Instructions may be inserted.

Command Instruction

This format defines a status word that is used to control the actual operation of the 8251A.

Both the Mode and Command Instructions must conform to a specified sequence for proper device operation. The Mode Instruction must be inserted immediately following a Reset operation, prior to using the 8251A for data communication.

All control words written into the 8251A after the Mode Instruction will load the Command Instruction. Command Instructions can be written into the 8251A at any time in the data block during the operation of the 8251A. To return to the Mode Instruction format, the master Reset bit in the Command Instruction word can be set to initiate an internal Reset operation which automatically places the 8251A back into the Mode Instruction format. Command Instructions must follow the Mode Instructions or Sync characters.



* The second SYNC character is skipped if MODE instruction has programmed the 8251A to single character Internal SYNC Mode. Both SYNC characters are skipped if MODE instruction has programmed the 8251A to ASYNC mode.

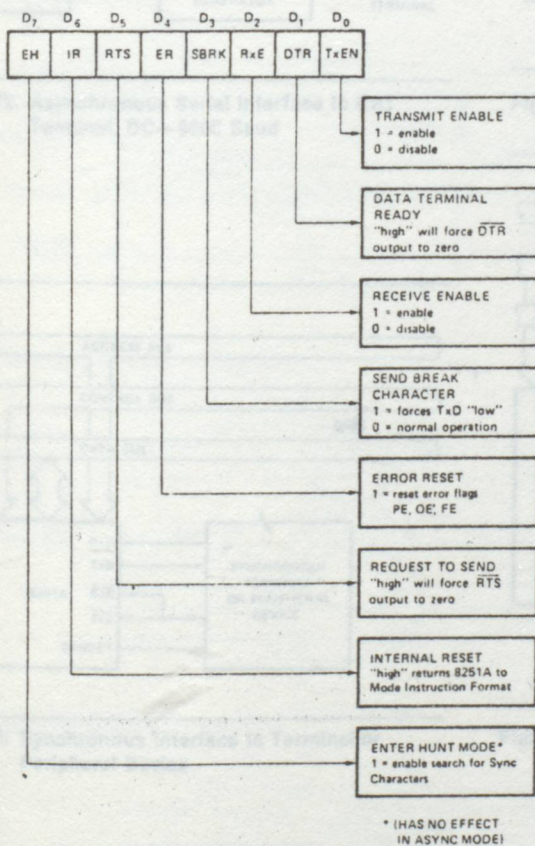
Figure 5. Typical Data Block

8251A

COMMAND INSTRUCTION DEFINITION

Once the functional definition of the 8251A has been programmed by the Mode Instruction and the Sync Characters are loaded (if in Sync Mode) then the device is ready to be used for data communication. The Command Instruction controls the actual operation of the selected format. Functions such as: Enable Transmit/Receive, Error Reset and Modem Controls are provided by the Command Instruction.

Once the Mode Instruction has been written into the 8251A and Sync characters inserted, if necessary, then all further "control writes" ($C/\bar{D} = 1$) will load a Command Instruction. A Reset Operation (internal or external) will return the 8251A to the Mode Instruction format.



Note: Error Reset must be performed whenever RxEnable and Enter Hunt are programmed.

Figure 10. Command Instruction Format

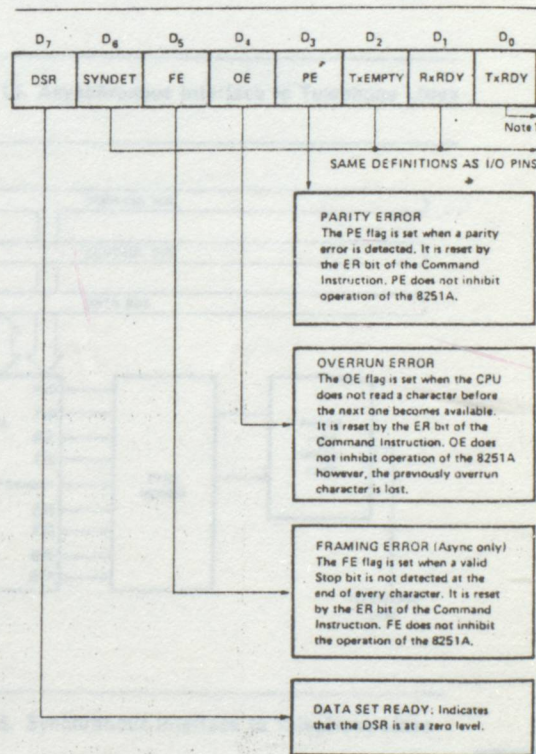
STATUS READ DEFINITION

In data communication systems it is often necessary to examine the "status" of the active device to ascertain if errors have occurred or other conditions that require the processor's attention. The 8251A has facilities that allow the programmer to "read" the status of the device at any time during the functional operation. (The status update is inhibited during status read).

A normal "read" command is issued by the CPU with $C/\bar{D} = 1$ to accomplish this function.

Some of the bits in the Status Read Format have identical meanings to external output pins so that the 8251A can be used in a completely Polled environment or in an interrupt driven environment. TxRDY is an exception.

Note that status update can have a maximum delay of 28 clock periods from the actual event affecting the status.



Note 1: TxRDY status bit has different meanings from the TxRDY output pin. The former is not conditioned by CTS and TxEN; the latter is conditioned by both CTS and TxEN.
 i.e. TxRDY status bit = DB Buffer Empty
 TxRDY pin out = DB Buffer Empty $\cdot$ (CTS=0) $\cdot$ (TxEN=1)

Figure 11. Status Read Format

8251A

APPLICATIONS OF THE 8251A

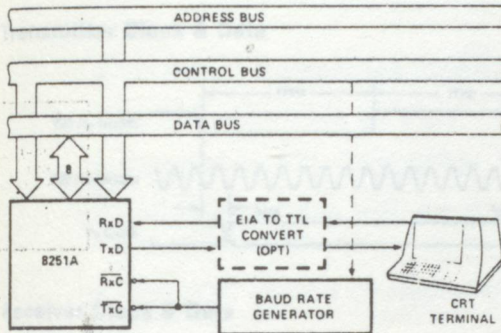


Figure 12. Asynchronous Serial Interface to CRT Terminal, DC-9600 Baud

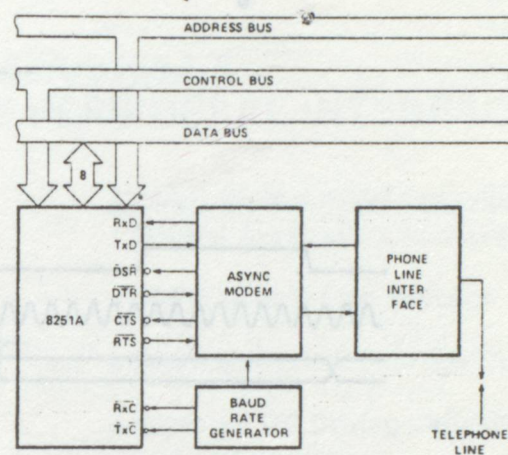


Figure 14. Asynchronous Interface to Telephone Lines

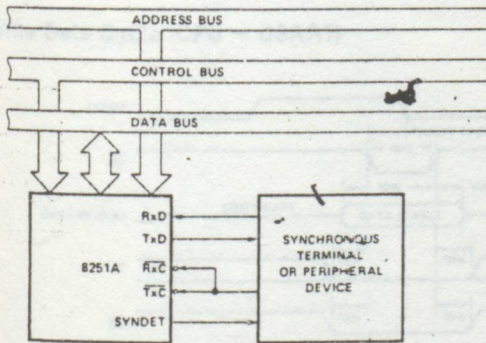


Figure 13. Synchronous Interface to Terminal or Peripheral Device

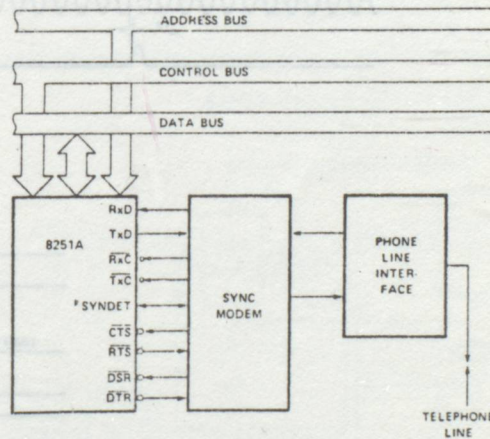
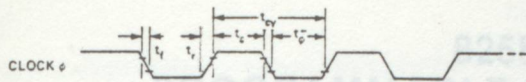


Figure 15. Synchronous Interface to Telephone Lines

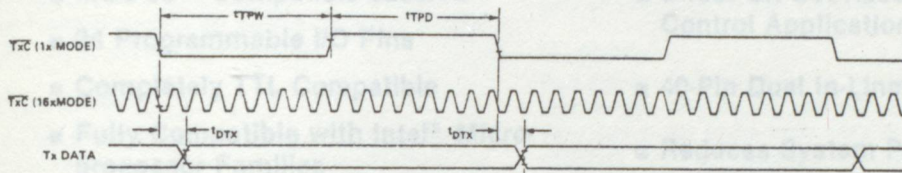
8251A

WAVEFORMS

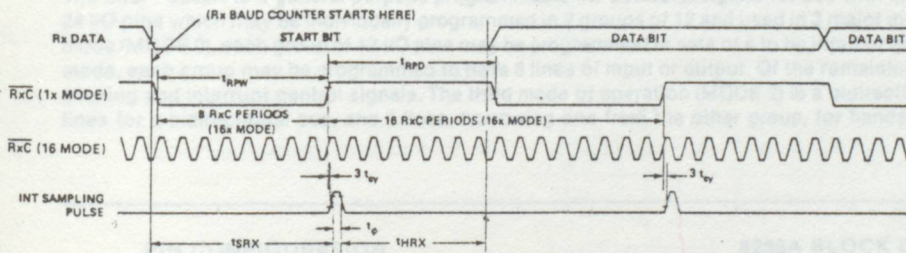
System Clock Input



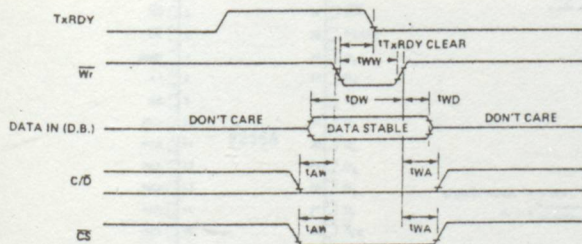
Transmitter Clock & Data



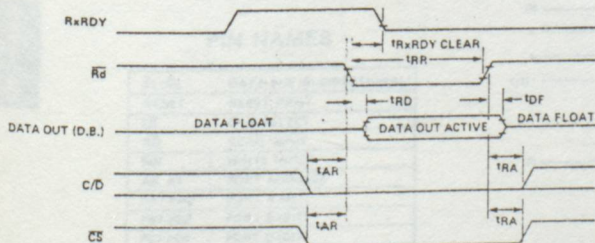
Receiver Clock & Data

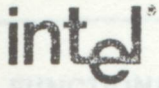


Write Data Cycle (CPU → USART)



Read Data Cycle (CPU ← USART)





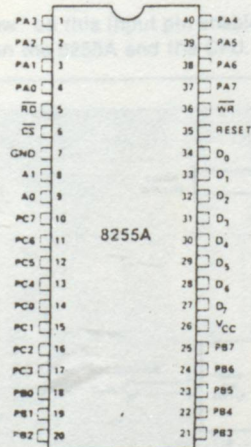
PRELIMINARY
 Note: This is not a final specification. Some parameters are subject to change.

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40-Pin Dual In-Line Package
- Reduces System Package Count
- Improved DC Driving Capability

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

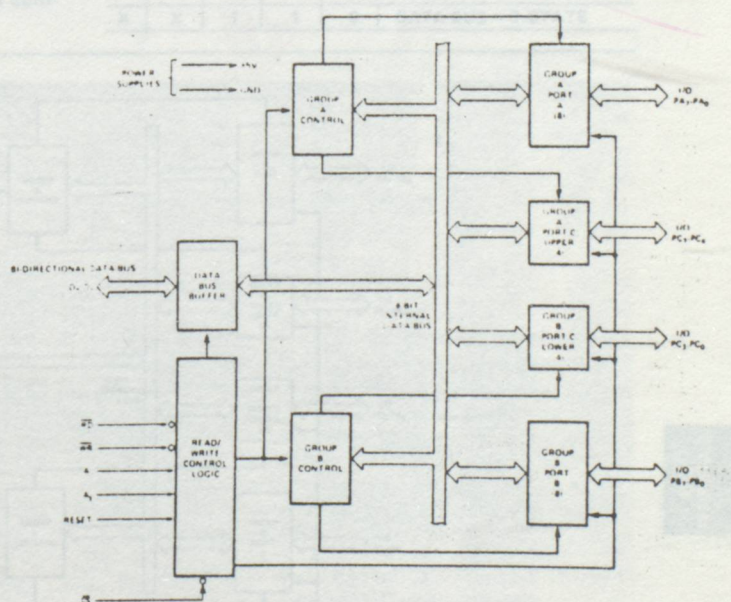
PIN CONFIGURATION



PIN NAMES

D ₀ -D ₇	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A ₀ , A ₁	PORT ADDRESS
PA ₇ -PA ₀	PORT A (BIT)
PB ₇ -PB ₀	PORT B (BIT)
PC ₇ -PC ₀	PORT C (BIT)
V _{CC}	+5 VOLTS
GND	0 VOLTS

8255A BLOCK DIAGRAM



8255A/8255A-5

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

(RD)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

(WR)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A₀ and A₁)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A₀ and A₁).

8255A BASIC OPERATION

A ₁	A ₀	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A = DATA BUS
0	1	0	1	0	PORT B = DATA BUS
1	0	0	1	0	PORT C = DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS = PORT A
0	1	1	0	0	DATA BUS = PORT B
1	0	1	0	0	DATA BUS = PORT C
1	1	1	0	0	DATA BUS = CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS = 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS = 3-STATE

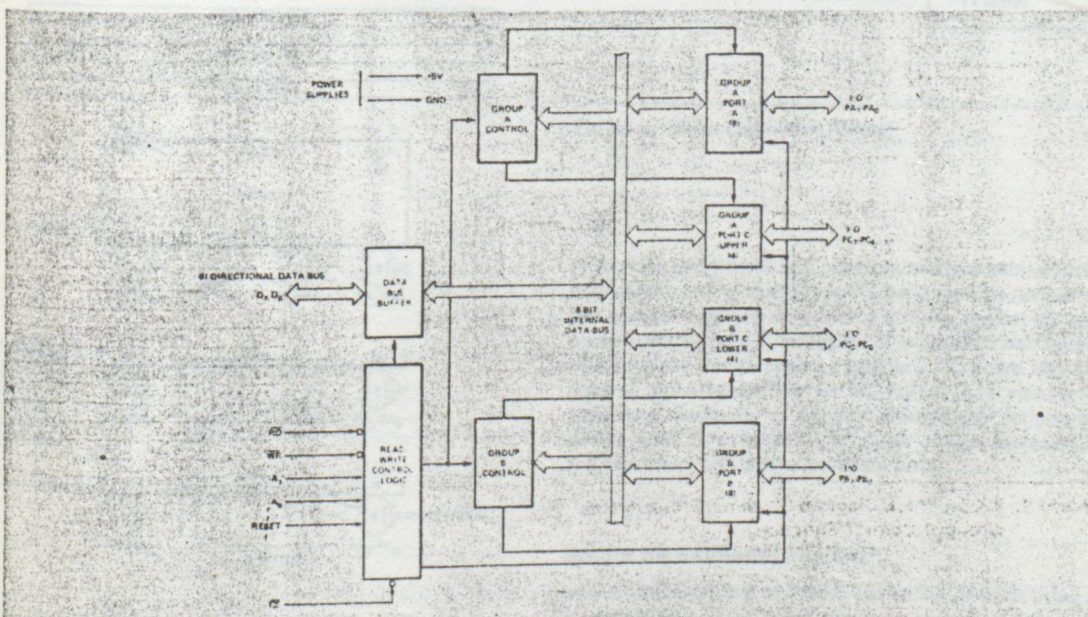


Figure 1. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

8255A/8255A-5

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 — Basic Input/Output
- Mode 1 — Strobed Input/Output
- Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

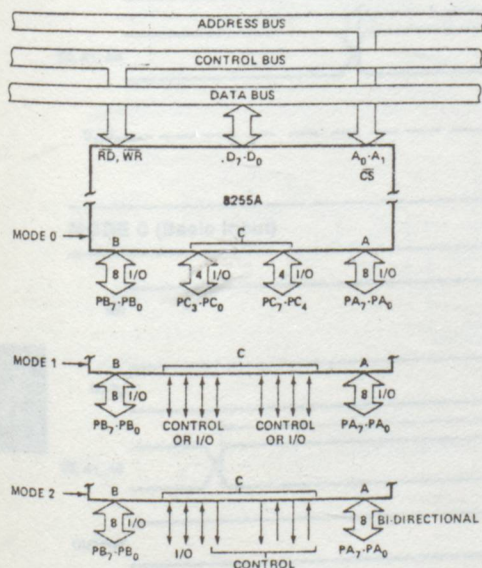


Figure 3: Basic Mode Definitions and Bus Interface

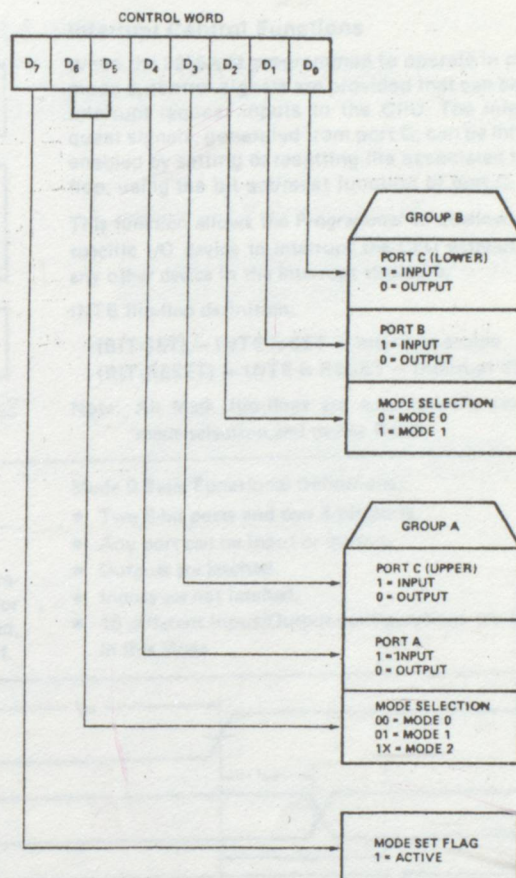


Figure 4: Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

8255A/8255A-5

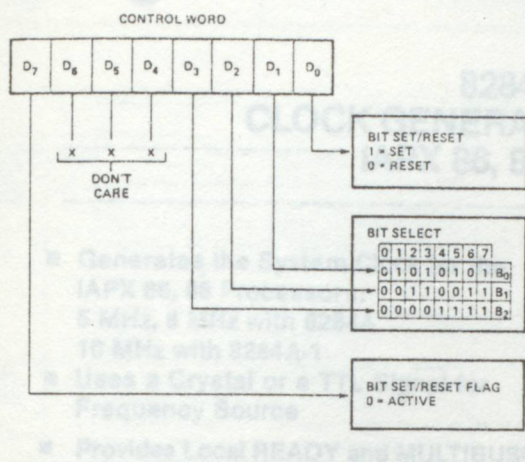


Figure 5. Bit Set/Reset Format

Operating Modes

MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

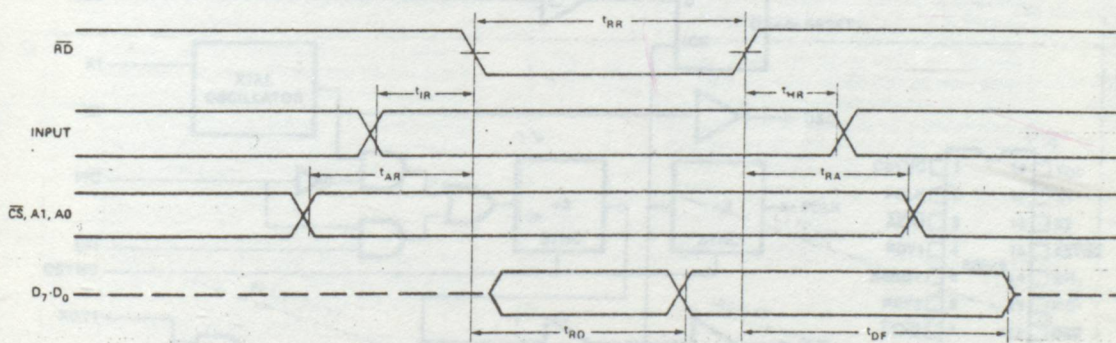
(BIT-SET) — INTE is SET — Interrupt enable

(BIT-RESET) — INTE is RESET — Interrupt disable

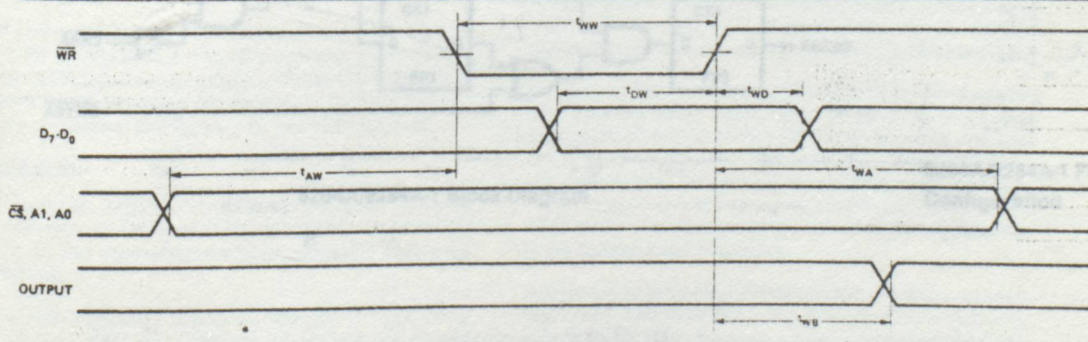
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



MODE 0 (Basic Output)

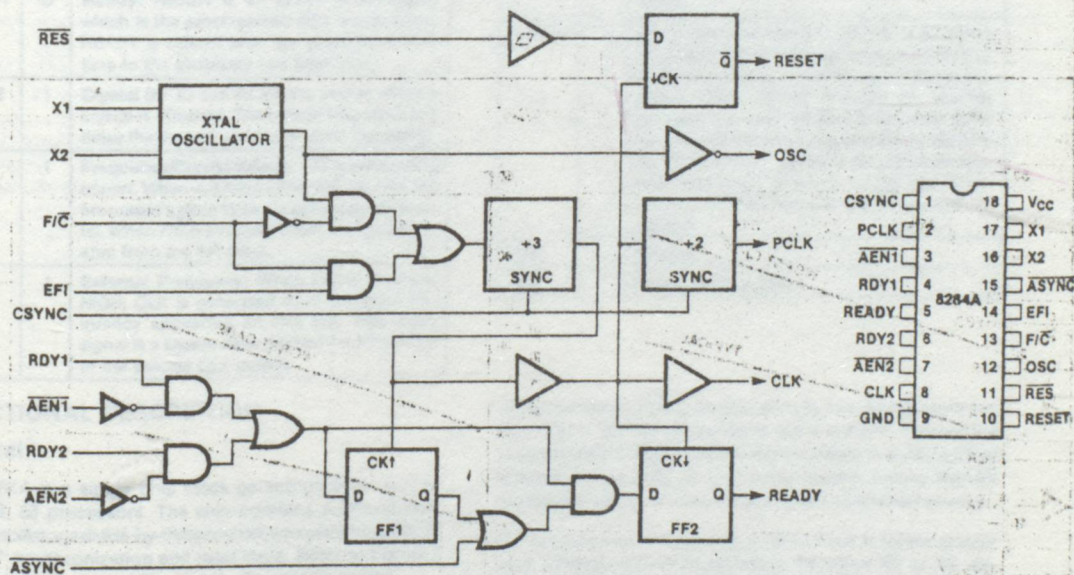
intel

8284A

8284A

8284A/8284A-1 CLOCK GENERATOR AND DRIVER FOR IAPX 86, 88 PROCESSORS

- Generates the System Clock for the IAPX 86, 88 Processors:
5 MHz, 8 MHz with 8284A
10 MHz with 8284A-1
- Uses a Crystal or a TTL Signal for Frequency Source
- Provides Local READY and MULTIBUS® READY Synchronization
- 18-Pin Package
- Single +5V Power Supply
- Generates System Reset Output from Schmitt Trigger Input
- Capable of Clock Synchronization with Other 8284As
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range



8284A/8284A-1 Block Diagram

8284A/8284A-1 Pin Configuration



8284A/8284A-1

Table 1. Pin Description

Symbol	Type	Name and Function	Symbol	Type	Name and Function
AEN1 AEN2	I	Address Enable: AEN is an active LOW signal. AEN serves to qualify its respective Bus Ready Signal (RDY1 or RDY2). AEN1 validates RDY1 while AEN2 validates RDY2. Two AEN signal inputs are useful in system configurations which permit the processor to access two Multi-Master System Buses. In non Multi-Master configurations the AEN signal inputs are tied true (LOW).	CLK	O	Processor Clock: CLK is the clock output used by the processor and all devices which directly connect to the processor's local bus (i.e., the bipolar support chips and other MOS devices). CLK has an output frequency which is 1/2 of the crystal or EFI input frequency and a 1/2 duty cycle. An output HIGH of 4.5 volts ($V_{CC} = 5V$) is provided on this pin to drive MOS devices.
RDY1 RDY2	I	Bus Ready: (Transfer Complete). RDY is an active HIGH signal which is an indication from a device located on the system data bus that data has been received, or is available. RDY1 is qualified by AEN1 while RDY2 is qualified by AEN2.	PCLK	O	Peripheral Clock: PCLK is a TTL level peripheral clock signal whose output frequency is 1/2 that of CLK and has a 50% duty cycle.
ASYNC	I	Ready Synchronization Select: ASYNC is an input which defines the synchronization mode of the READY logic. When ASYNC is low, two stages of READY synchronization are provided. When ASYNC is left open (internal pull-up resistor is provided) or HIGH a single stage of READY synchronization is provided.	OSC	O	Oscillator Output: OSC is the TTL level output of the internal oscillator circuitry. Its frequency is equal to that of the crystal.
READY	O	Ready: READY is an active HIGH signal which is the synchronized RDY signal input. READY is cleared after the guaranteed hold time to the processor has been met.	RES	I	Reset In: RES is an active LOW signal which is used to generate RESET. The 8284A provides a Schmitt trigger input so that an RC connection can be used to establish the power-up reset of proper duration.
X1, X2	I	Crystal In: X1 and X2 are the pins to which a crystal is attached. The crystal frequency is 3 times the desired processor clock frequency.	RESET	O	Reset: RESET is an active HIGH signal which is used to reset the 8086 family processors. Its timing characteristics are determined by RES.
F/C	I	Frequency/Crystal Select: F/C is a strapping option. When strapped LOW, F/C permits the processor's clock to be generated by the crystal. When F/C is strapped HIGH, CLK is generated from the EFI input.	CSYNC	I	Clock Synchronization: CSYNC is an active HIGH signal which allows multiple 8284As to be synchronized to provide clocks that are in phase. When CSYNC is HIGH the internal counters are reset. When CSYNC goes LOW the internal counters are allowed to resume counting. CSYNC needs to be externally synchronized to EFI. When using the internal oscillator CSYNC should be hardwired to ground.
EFI	I	External Frequency: When F/C is strapped HIGH, CLK is generated from the input frequency appearing on this pin. The input signal is a square wave 3 times the frequency of the desired CLK output.	GND		Ground.
			V_{CC}		Power: +5V supply.

FUNCTIONAL DESCRIPTION

General

The 8284A is a single chip clock generator/driver for the iAPX 86, 88 processors. The chip contains a crystal-controlled oscillator, a divide-by-three counter, complete MULTIBUS "Ready" synchronization and reset logic. Refer to Figure 1 for Block Diagram and Figure 2 for Pin Configuration.

Oscillator

The oscillator circuit of the 8284A is designed primarily for use with an external series resonant, fundamental mode, crystal from which the basic operating frequency is derived.

The crystal frequency should be selected at three times the required CPU clock. X1 and X2 are the two crystal input crystal connections. For the most stable operation

of the oscillator (OSC) output circuit, two series resistors ($R_1 = R_2 = 510 \Omega$) as shown in the waveform figures are recommended. The output of the oscillator is buffered and brought out on OSC so that other system timing signals can be derived from this stable, crystal-controlled source.

For systems which have a V_{CC} ramp time $\geq 1V/ms$ and/or have inherent board capacitance between X1 or X2, exceeding 10 pF (not including 8284A pin capacitance), the two 510 Ω resistors should be used. This circuit provides optimum stability for the oscillator in such extreme conditions. It is advisable to limit stray capacitances to less than 10 pF on X1 and X2 to minimize deviation from operating at the fundamental frequency.

If EFI is used and no crystal is connected, it is recommended that X1 or X2 should be tied to V_{CC} through a 510 Ω resistor to prevent the oscillator from free running which might produce HF noise and additional I_{CC} current.

intel

8284A/8284A-1

Clock Generator

The clock generator consists of a synchronous divide-by-three counter with a special clear input that inhibits the counting. This clear input (CSYNC) allows the output clock to be synchronized with an external event (such as another 8284A clock). It is necessary to synchronize the CSYNC input to the EFI clock external to the 8284A. This is accomplished with two Schottky flip-flops. The counter output is a 33% duty cycle clock at one-third the input frequency.

The $\overline{F/\overline{C}}$ input is a strapping pin that selects either the crystal oscillator or the EFI input as the clock for the +3 counter. If the EFI input is selected as the clock source, the oscillator section can be used independently for another clock source. Output is taken from OSC.

Clock Outputs

The CLK output is a 33% duty cycle MOS clock driver designed to drive the iAPX 86, 88 processors directly. PCLK is a TTL level peripheral clock signal whose output frequency is $\frac{1}{2}$ that of CLK. PCLK has a 50% duty cycle.

Reset Logic

The reset logic provides a Schmitt trigger input ($\overline{RES}$) and a synchronizing flip-flop to generate the reset timing. The reset signal is synchronized to the falling edge of CLK. A simple RC network can be used to provide power-on reset by utilizing this function of the 8284A.

READY Synchronization

Two READY inputs (RDY1, RDY2) are provided to accommodate two Multi-Master system busses. Each input has a qualifier ($\overline{AEN1}$ and $\overline{AEN2}$, respectively). The $\overline{AEN}$ signals validate their respective RDY signals. If a Multi-

Master system is not being used the $\overline{AEN}$ pin should be tied LOW.

Synchronization is required for all asynchronous active-going edges of either RDY input to guarantee that the RDY setup and hold times are met. Inactive-going edges of RDY in normally ready systems do not require synchronization but must satisfy RDY setup and hold as a matter of proper system design.

The $\overline{ASync}$ input defines two modes of READY synchronization operation.

When $\overline{ASync}$ is LOW, two stages of synchronization are provided for active READY input signals. Positive-going asynchronous READY inputs will first be synchronized to flip-flop one at the rising edge of CLK and then synchronized to flip-flop two at the next falling edge of CLK, after which time the READY output will go active (HIGH). Negative-going asynchronous READY inputs will be synchronized directly to flip-flop two at the falling edge of CLK, after which time the READY output will go inactive. This mode of operation is intended for use by asynchronous (normally not ready) devices in the system which cannot be guaranteed by design to meet the required RDY setup timing, T_{R1VCL} , on each bus cycle.

When $\overline{ASync}$ is high or left open, the first READY flip-flop is bypassed in the READY synchronization logic. READY inputs are synchronized by flip-flop two on the falling edge of CLK before they are presented to the processor. This mode is available for synchronous devices that can be guaranteed to meet the required RDY setup time.

$\overline{ASync}$ can be changed on every bus cycle to select the appropriate mode of synchronization for each device in the system.

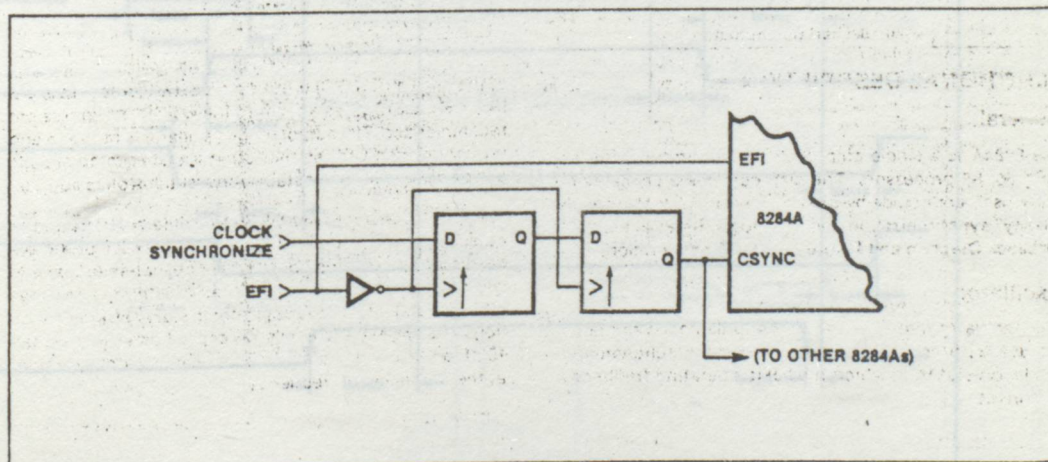
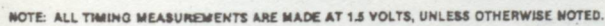
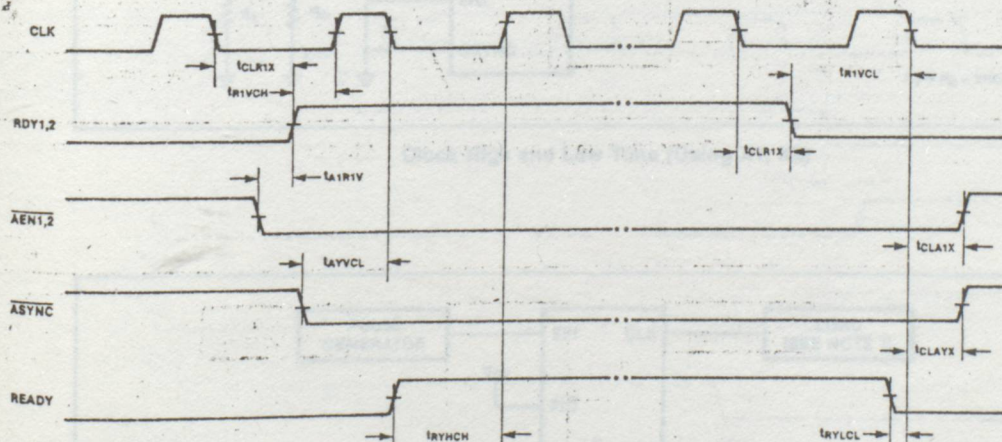


Figure 3. CSYNC Synchronization

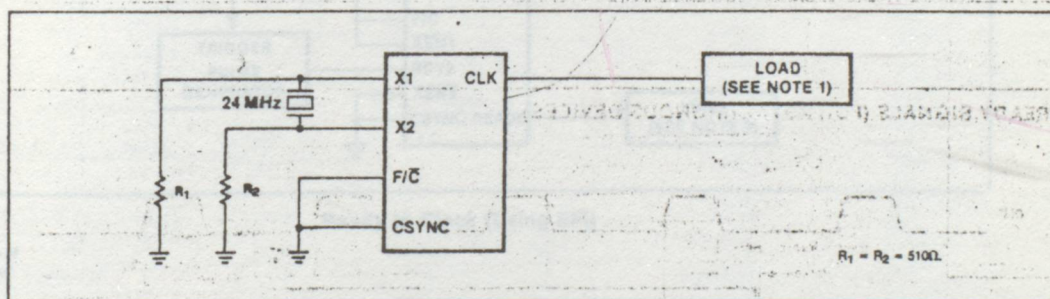
CLOCKS AND RESET SIGNALS



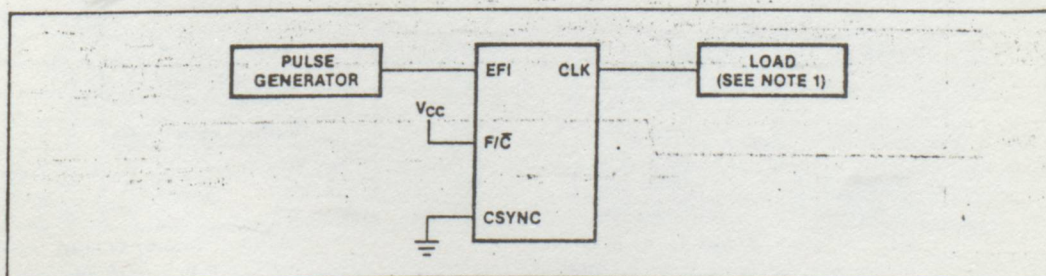
READY SIGNALS (FOR ASYNCHRONOUS DEVICES)



READY SIGNALS (FOR SYNCHRONOUS DEVICES)



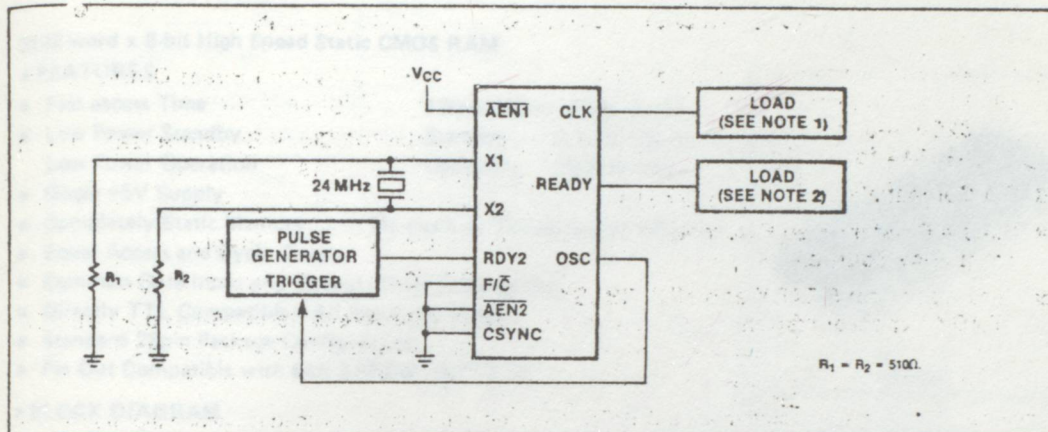
Clock High and Low Time (Using X1, X2)



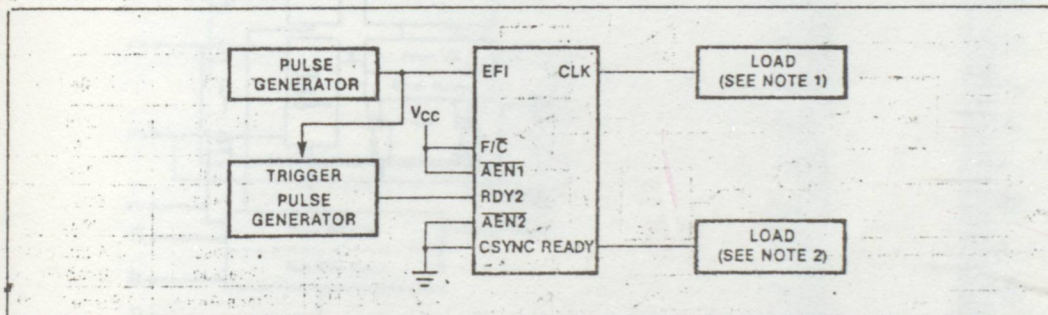
Clock High and Low Time (Using EFI)

intel

16264P-10, 8284A/8284A-1



Ready to Clock (Using X1, X2)



Ready to Clock (Using EFI)

NOTES:

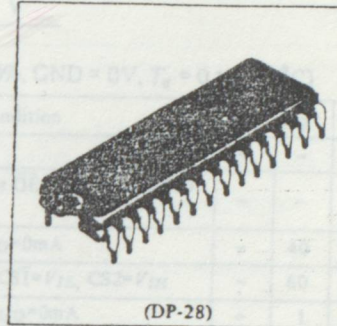
1: $C_L = 100$ pF2: $C_L = 30$ pF

HM6264P-10, HM6264P-12, HM6264P-15

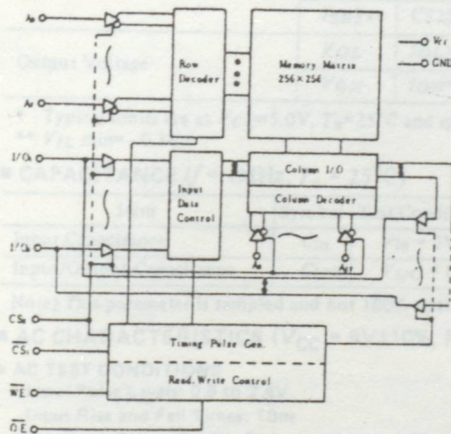
5192-word x 8-bit High Speed Static CMOS RAM

■ FEATURES

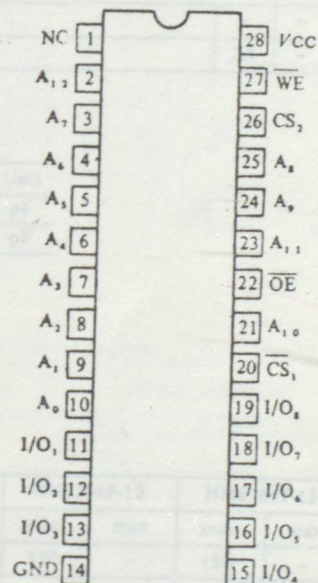
- Fast access Time 100ns/120ns/150ns (max.)
- Low Power Standby Standby: 0.1mW (typ.)
- Low Power Operation Operating: 200mW (typ.)
- Single +5V Supply
- Completely Static Memory..... No clock or Timing Strobe Required
- Equal Access and Cycle Time
- Common Data Input and Output, Three State Output
- Directly TTL Compatible: All Input and Output
- Standard 28pin Package Configuration
- Pin Out Compatible with 64K EPROM HN482764



■ BLOCK DIAGRAM



■ PIN ARRANGEMENT



(Top View)

■ ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Terminal Voltage *	V_T	-0.5 ** to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	°C
Storage Temperature	T_{stg}	-55 to +125	°C
Storage Temperature (Under Bias)	T_{bias}	-10 to +85	°C

* With respect to GND. ** Pulse width 50ns: -3.0V

■ TRUTH TABLE

WE	CS ₁	CS ₂	OE	Mode	I/O Pin	V_{CC} Current	Note
X	H	X	X	Not Selected (Power Down)	High Z	I_{SB}, I_{SB1}	
X	X	L	X	Not Selected (Power Down)	High Z	I_{SB}, I_{SB2}	
H	L	H	H	Output Disabled	High Z	I_{CC}, I_{CC1}	
H	L	H	L	Read	Dout	I_{CC}, I_{CC1}	
L	L	H	H	Write	Din	I_{CC}, I_{CC1}	Write Cycle (1)
L	L	H	L	Write	Din	I_{CC}, I_{CC1}	Write Cycle (2)

X: Don't care.

HM6264P-10, HM6264P-12, HM6264P-15

■ RECOMMENDED DC OPERATING CONDITIONS ($T_a = 0$ to $+70^\circ\text{C}$)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	GND	0	0	0	V
Input Voltage	V_{IH}	2.2	—	6.0	V
	V_{IL}	-0.3*	—	0.8	V

* Pulse Width 50ns: -3.0V

■ DC AND OPERATING CHARACTERISTICS ($V_{CC} = 5V \pm 10\%$, GND = 0V, $T_a = 0$ to $+70^\circ\text{C}$)

Item	Symbol	Test Condition	min	typ*	max	Unit
Input Leakage Current	I_{LI}	$V_{in} = \text{GND to } V_{CC}$	—	—	2	μA
Output Leakage Current	I_{LO}	$\overline{CS1} = V_{IH}$ or $CS2 = V_{IL}$ or $\overline{OE} = V_{IH}$, $V_{I/O} = \text{GND to } V_{CC}$	—	—	2	μA
Operating Power Supply Current	I_{CC}	$\overline{CS1} = V_{IL}$, $CS2 = V_{IH}$, $I_{I/O} = 0\text{mA}$	—	40	80	mA
Average Operating Current	I_{CC1}	Min. cycle, duty = 100%, $\overline{CS1} = V_{IL}$, $CS2 = V_{IH}$	—	60	110	mA
Standby Power Supply Current	I_{SB}	$\overline{CS1} = V_{IH}$ or $CS2 = V_{IL}$, $I_{I/O} = 0\text{mA}$	—	1	3	mA
	I_{SB1}^{**}	$\overline{CS1} \geq V_{CC} - 0.2\text{V}$, $CS2 \geq V_{CC} - 0.2\text{V}$ or $CS2 \leq 0.2\text{V}$	—	0.02	2	mA
	I_{SB2}^{**}	$CS2 \leq 0.2\text{V}$	—	0.02	2	mA
Output Voltage	V_{OL}	$I_{OL} = 2.1\text{mA}$	—	—	0.4	V
	V_{OH}	$I_{OH} = -1.0\text{mA}$	2.4	—	—	V

* Typical limits are at $V_{CC} = 5.0\text{V}$, $T_a = 25^\circ\text{C}$ and specified loading.** V_{IL} min = -0.3V■ CAPACITANCE ($f = 1\text{MHz}$, $T_a = 25^\circ\text{C}$)

Item	Symbol	Test Condition	typ	max	Unit
Input Capacitance	C_{in}	$V_{in} = 0\text{V}$	—	6	pF
Input/Output Capacitance	$C_{I/O}$	$V_{I/O} = 0\text{V}$	—	8	pF

Note) This parameter is sampled and not 100% tested.

■ AC CHARACTERISTICS ($V_{CC} = 5V \pm 10\%$, $T_a = 0$ to $+70^\circ\text{C}$)

● AC TEST CONDITIONS

Input Pulse Levels: 0.8 to 2.4V

Input Rise and Fall Times: 10ns

Input and Output Timing Reference Level: 1.5V

Output Load: 1TTL Gate and $C_L = 100\text{pF}$ (including scope and jig)

● READ CYCLE

Item		Symbol	HM6264P-10		HM6264P-12		HM6264P-15		Unit
			min	max	min	max	min	max	
Read Cycle Time		t_{RC}	100	—	120	—	150	—	ns
Address Access Time		t_{AA}	—	100	—	120	—	150	ns
Chip Selection to Output	CS1	t_{CO1}	—	100	—	120	—	150	ns
	CS2	t_{CO2}	—	100	—	120	—	150	ns
Output Enable to Output Valid		t_{OE}	—	50	—	60	—	70	ns
Chip Selection to Output in Low Z	CS1	t_{LZ1}	10	—	10	—	15	—	ns
	CS2	t_{LZ2}	10	—	10	—	15	—	ns
Output Enable to Output in Low Z		t_{OLZ}	5	—	5	—	5	—	ns
Chip Deselection to Output in High Z	CS1	t_{HZ1}	0	35	0	40	0	50	ns
	CS2	t_{HZ2}	0	35	0	40	0	50	ns
Output Disable to Output in High Z		t_{OHZ}	0	35	0	40	0	50	ns
Output Hold from Address Change		t_{OH}	10	—	10	—	15	—	ns

NOTES: 1 t_{HZ} and t_{OHZ} are defined as the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.2 At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.


MOTOROLA

DESCRIPTION - The SN54LS/74LS74A dual edge-triggered flip-flop utilizes Schottky TTL circuitry to produce high speed D-type flip-flops. Each flip-flop has individual clear and set inputs, and also complementary Q and $\bar{Q}$ outputs.

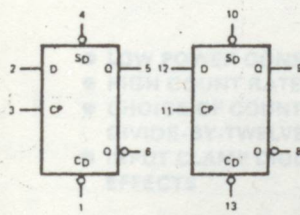
Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or the LOW level, the D input signal has no effect.

SN54LS74A SN54LS74A

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY

LOGIC SYMBOL

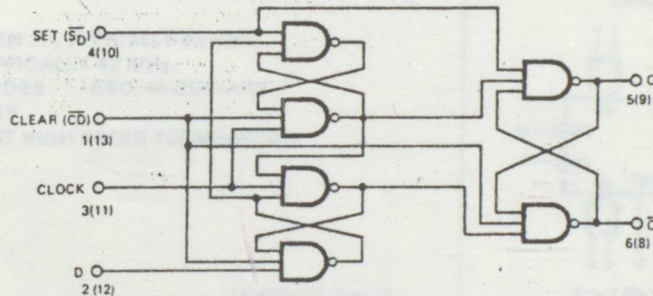


V_{CC} = Pin 14
GND = Pin 7

J Suffix — 632-06 (Ceramic)

N Suffix — 646-05 (Plastic)

**LOGIC DIAGRAM
(EACH FLIP-FLOP)**



DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V_{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	54	2.5	3.5	V	$V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$, $V_{IN} = V_{IH}$ or V_{IL} per Truth Table
		74	2.7	3.5	V	
V_{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	$V_{CC} = V_{CC} \text{ MIN}$, $V_{IN} = V_{IL}$ or V_{IH} per Truth Table
		74	0.35	0.5	V	
I_{IH}	Input High Current			20	μA	$V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$
	Data, Clock			40		
	Set, Clear					
I_{IL}	Input LOW Current			0.1	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 7.0 \text{ V}$
				0.2		
I_{IL}	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 0.4 \text{ V}$
				-0.8		
I_{OS}	Output Short Circuit Current	-20		-100	mA	$V_{CC} = \text{MAX}$
I_{CC}	Power Supply Current			8.0	mA	$V_{CC} = \text{MAX}$


MOTOROLA

DESCRIPTION — The SN54LS/74LS90, SN54LS/74LS92 and SN54LS/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to $\overline{CP}$) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

J Suffix — Case 632-06 (Ceramic)

N Suffix — Case 646-05 (Plastic)

- LOW POWER CONSUMPTION . . . TYPICALLY 45 mW
- HIGH COUNT RATES . . . TYPICALLY 42 MHz
- CHOICE OF COUNTING MODES . . . BCD, BI-QUINARY, DIVIDE-BY-TWELVE, BINARY
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

PIN NAMES

$\overline{CP}_0$	Clock (Active LOW going edge) Input to ÷2 Section	
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	
MR ₁ , MR ₂	Master Reset (Clear) Inputs	
MS ₁ , MS ₂	Master Set (Preset-9, LS90) Inputs	
Q ₀	Output from ÷2 Section (Notes b & c)	
Q ₁ , Q ₂ , Q ₃	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	

LOADING (Note a)

	HIGH	LOW
$\overline{CP}_0$	0.5 U.L.	1.5 U.L.
$\overline{CP}_1$	0.5 U.L.	2.0 U.L.
$\overline{CP}_1$	0.5 U.L.	1.0 U.L.
MR ₁ , MR ₂	0.5 U.L.	0.25 U.L.
MS ₁ , MS ₂	0.5 U.L.	0.25 U.L.
Q ₀	10 U.L.	5(2.5) U.L.
Q ₁ , Q ₂ , Q ₃	10 U.L.	5(2.5) U.L.

Notes:

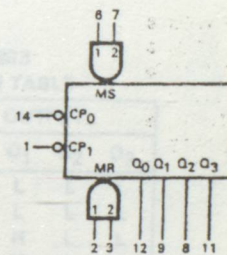
- 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
- The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
- The Q₀ Outputs are guaranteed to drive the full fan-out plus the $\overline{CP}_1$ input of the device.
- To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.

SN54LS/74LS90 SN54LS/74LS92 SN54LS/74LS93

DECADE COUNTER;
DIVIDE-BY-TWELVE COUNTER;
4-BIT BINARY COUNTER
LOW POWER SCHOTTKY

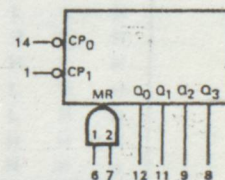
LOGIC SYMBOL

LS90



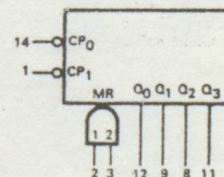
V_{CC} = Pin 5
GND = Pin 10
NC = Pins 4, 13

LS92



V_{CC} = Pin 5
GND = Pin 10
NC = Pins 2, 3, 4, 13

LS93



V_{CC} = Pin 5
GND = Pin 10
NC = Pins 4, 6, 7, 13

SN54LS/74LS90 • SN54LS/74LS92 • SN54LS/74LS93



LS90
MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR ₁	MR ₂	MS ₁	MS ₂	Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR ₁	MR ₂	Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90
BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q₀ is connected to Input $\overline{CP}_1$ for BCD count.

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

Note: Output Q₀ connected to input $\overline{CP}_1$

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

Note: Output Q₀ connected to input $\overline{CP}_1$


MOTOROLA
FUNCTIONAL DESCRIPTION — The LS138 is a high speed 1-of-8 Decoder/Demultiplexer. This device is ideally suited for high speed bipolar memory chip select address decoding. The multiple input enables allow parallel expansion to a 1-of-24 decoder using just three LS138 devices or to a 1-of-32 decoder using four LS138s and one inverter. The LS138 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

DESCRIPTION — The LSTTL/MSI SN54LS138/74LS138 is a high speed 1-of-8 Decoder/Demultiplexer. This device is ideally suited for high speed bipolar memory chip select address decoding. The multiple input enables allow parallel expansion to a 1-of-24 decoder using just three LS138 devices or to a 1-of-32 decoder using four LS138s and one inverter. The LS138 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- DEMULTIPLEXING CAPABILITY
- MULTIPLE INPUT ENABLE FOR EASY EXPANSION
- TYPICAL POWER DISSIPATION OF 32 mW
- ACTIVE LOW MUTUALLY EXCLUSIVE OUTPUTS
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

PIN NAMES

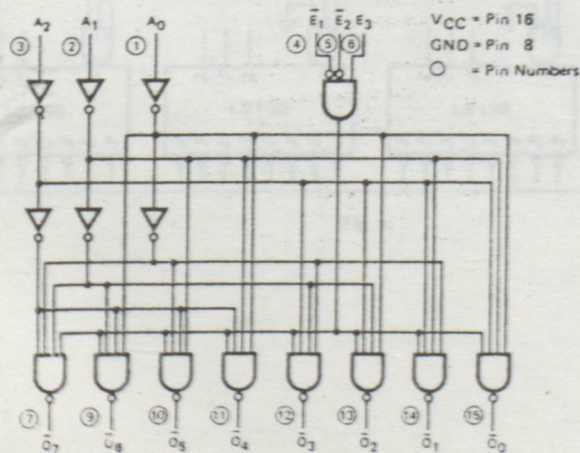
$A_0 - A_2$ Address Inputs
 $\bar{E}_1, \bar{E}_2$ Enable (Active LOW) Inputs
 E_3 Enable (Active HIGH) Input
 $O_0 - O_7$ Active LOW Outputs (Note b)

LOADING (Note a)

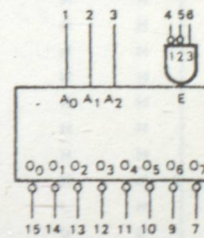
	HIGH	LOW
$A_0 - A_2$	0.5 U.L.	0.25 U.L.
$\bar{E}_1, \bar{E}_2$	0.5 U.L.	0.25 U.L.
E_3	0.5 U.L.	0.25 U.L.
$O_0 - O_7$	10 U.L.	5(2.5) U.L.

NOTES:

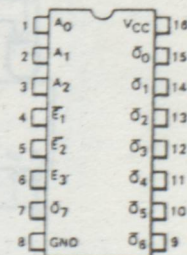
- a. 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
 b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC DIAGRAM

**SN54LS138
SN74LS138**
**1-OF-8-DECODER/
DEMULTIPLEXER**

LOW POWER SCHOTTKY

LOGIC SYMBOL


V_{CC} = Pin 16
 GND = Pin 8

**CONNECTION DIAGRAM
DIP (TOP VIEW)**


J Suffix — Case 620-06
 (Ceramic)
 N Suffix — Case 648-05
 (Plastic)

NOTE
 The Flatpack version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

SN54LS/74LS138

FUNCTIONAL DESCRIPTION — The LS138 is a high speed 1-of-8 Decoder/Demultiplexer fabricated with the low power Schottky barrier diode process. The decoder accepts three binary weighted inputs (A_0, A_1, A_2) and when enabled provides eight mutually exclusive active LOW outputs ($\bar{O}_0$ – $\bar{O}_7$). The LS138 features three Enable inputs, two active LOW ($\bar{E}_1, \bar{E}_2$) and one active HIGH (E_3). All outputs will be HIGH unless $\bar{E}_1$ and $\bar{E}_2$ are LOW and E_3 is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four LS138s and one inverter. (See Figure a.)

The LS138 can be used as an 8-output demultiplexer by using one of the active LOW Enable inputs as the data input and the other Enable inputs as strobes. The Enable inputs which are not used must be permanently tied to their appropriate active HIGH or active LOW state.

TRUTH TABLE

INPUTS						OUTPUTS							
$\bar{E}_1$	$\bar{E}_2$	E_3	A_0	A_1	A_2	$\bar{O}_0$	$\bar{O}_1$	$\bar{O}_2$	$\bar{O}_3$	$\bar{O}_4$	$\bar{O}_5$	$\bar{O}_6$	$\bar{O}_7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level

L = LOW Voltage Level

X = Don't Care

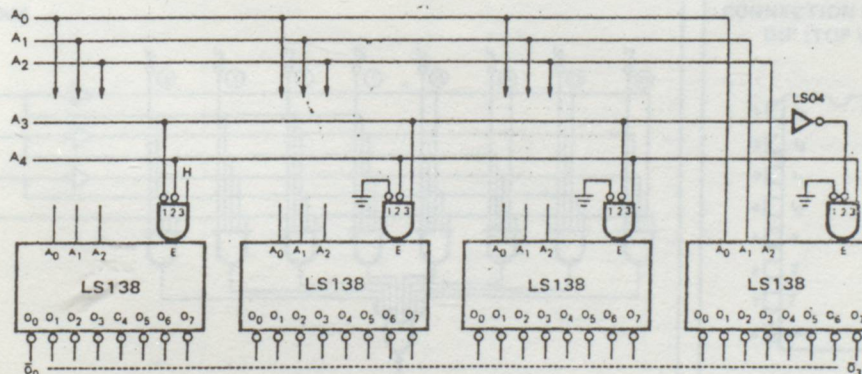


Fig. a.


MOTOROLA

DESCRIPTION — The TTL/MSI SN54LS151/74LS151 is a high speed 8-input Digital Multiplexer. It provides, in one package, the ability to select one bit of data from up to eight sources. The LS151 can be used as a universal function generator to generate any logic function of four variables. Both assertion and negation outputs are provided.

- SCHOTTKY PROCESS FOR HIGH SPEED
- MULTIFUNCTION CAPABILITY
- ON-CHIP SELECT LOGIC DECODING
- FULLY BUFFERED COMPLEMENTARY OUTPUTS
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

PIN NAMES

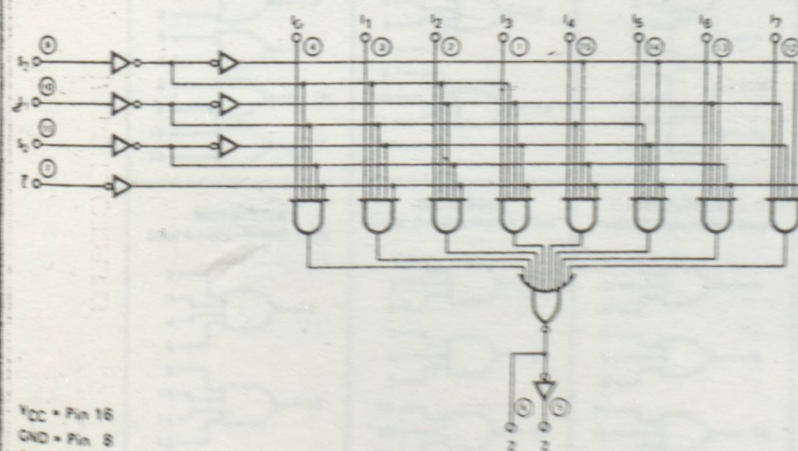
$S_2 - S_0$	Select Inputs
$\bar{E}$	Enable (Active LOW) Input
$I_0 - I_7$	Multiplexer Inputs
Z	Multiplexer Output (Note b)
$\bar{Z}$	Complementary Multiplexer Output (Note b)

LOADING (Npte a)

	HIGH	LOW
$S_2 - S_0$	0.5 U.L.	0.25 U.L.
$\bar{E}$	0.5 U.L.	0.25 U.L.
$I_0 - I_7$	0.5 U.L.	0.25 U.L.
Z	10 U.L.	5 (2.5) U.L.
$\bar{Z}$	10 U.L.	5 (2.5) U.L.

NOTES:

1. 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.
2. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

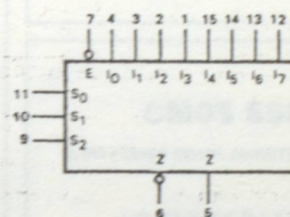
LOGIC DIAGRAM

 V_{CC} = Pin 16

 GND = Pin 8

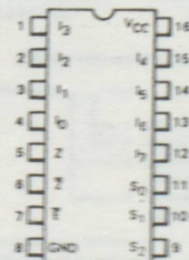
 $\bigcirc$ = Pin Number

**SN54LS151
SN74LS151**
8-INPUT MULTIPLEXER

LOW POWER SCHOTTKY

LOGIC SYMBOL

 V_{CC} = Pin 16

 GND = Pin 8

**CONNECTION DIAGRAM
DIP (TOP VIEW)**

 J Suffix — Case 620-06
(Ceramic)

 N Suffix — Case 648-05
(Plastic)


MOTOROLA

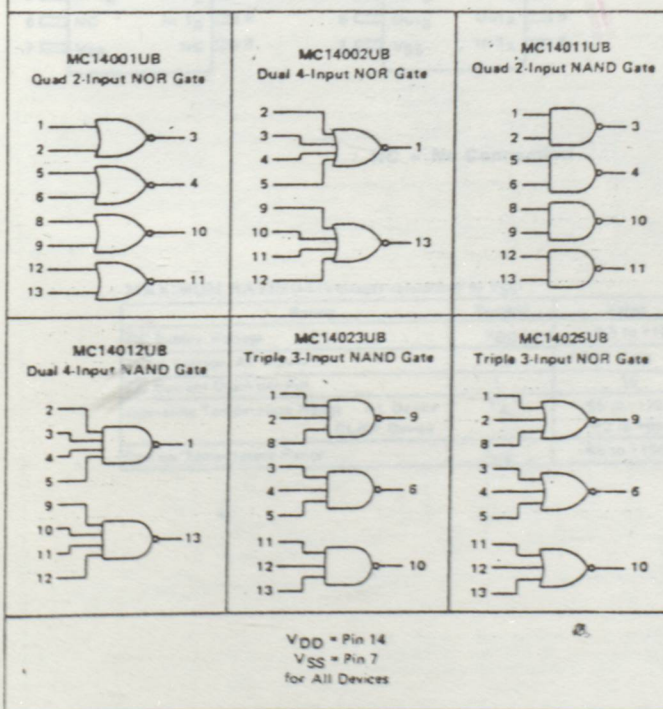
UB-SUFFIX SERIES CMOS GATES

The UB Series logic gates are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired. The UB set of CMOS gates are inverting non-buffered functions.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of VDD typ
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Linear and Oscillator Applications
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range.
- Double Diode Protection on All Inputs
- Pin-for-Pin Replacements for Corresponding CD4000 Series UB Suffix Devices
- Formerly Listed without UB Suffix

3

LOGIC DIAGRAMS



MC14001UB

Quad 2-Input NOR Gate

MC14002UB

Dual 4-Input NOR Gate

MC14011UB

Quad 2-Input NAND Gate

MC14012UB

Dual 4-Input NAND Gate

MC14023UB

Triple 3-Input NAND Gate

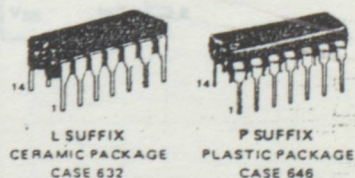
MC14025UB

Triple 3-Input NOR Gate

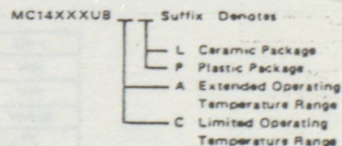
CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

UB-SERIES GATES



ORDERING INFORMATION



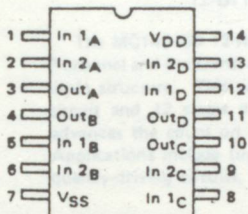
This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} < (V_{in} \text{ or } V_{out}) < V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

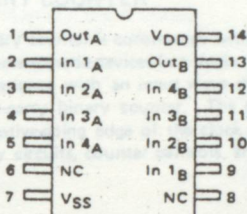
CMOS UB-SERIES GATES

PIN ASSIGNMENTS

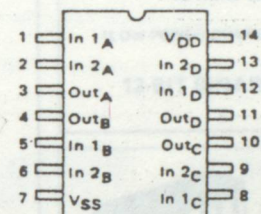
MC14001UB
Quad 2-Input NOR Gate



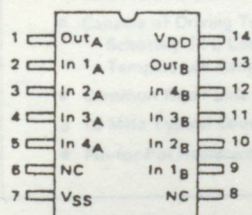
MC14002UB
Dual 4-Input NOR Gate



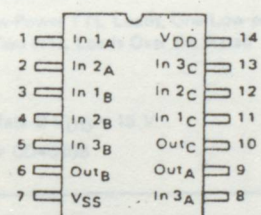
MC14011UB
Quad 2-Input NAND Gate



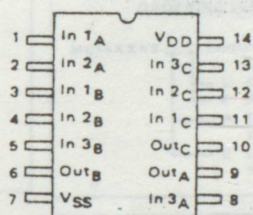
MC14012UB
Dual 4-Input NAND Gate



MC14023UB
Triple 3-Input NAND Gate



MC14025UB
Triple 3-Input NOR Gate



NC = No Connection

MAXIMUM RATINGS (Voltages referenced to VSS)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Pin	I	10	mA dc
Operating Temperature Range - AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

MC14040B

CMOS MSI

12-BIT BINARY COUNTER

-

ORDERING INFORMATION

MAXIMUM RATINGS (Voltages referenced to V_{SS})

TRUTH TABLE

X = Don't Care

Q4 = Pin 5 Q7 = Pin 4 V_{DD} = Pin 16
 Q5 = Pin 3 Q8 = Pin 13 V_{SS} = Pin 8
 Q6 = Pin 2 Q9 = Pin 12


MOTOROLA

LM79XX Series 3-Terminal Negative Regulator

General Description

QUAD 2-INPUT "OR" GATE

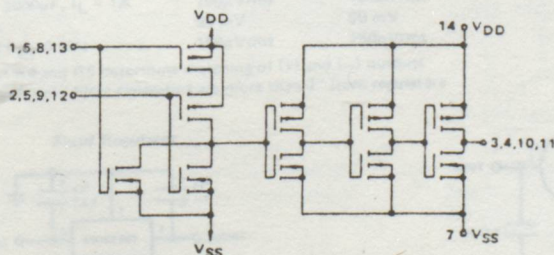
The MC14071 and MC14071B are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typ
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range (MC14071B only)
- Double Diode Protection on All Inputs
- Pin-for-Pin Replacement for CD4081B

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Pin	I	10	mA dc
Operating Temperature Range - AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

See the MC14001B data sheet for complete characteristics of this device.

CIRCUIT SCHEMATICS
(1/4 of Device Shown)


This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper

operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

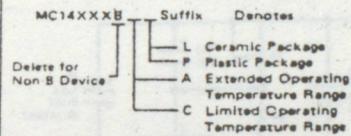
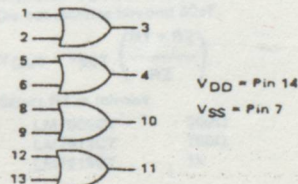
MC14071B
CMOS SSI

(LOW POWER COMPLEMENTARY MOS)

QUAD 2-INPUT "OR" GATE

 L SUFFIX
CERAMIC PACKAGE
CASE 632

 P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

LOGIC DIAGRAM




National
Semiconductor

Voltage Regulators

LM79XX Series 3-Terminal Negative Regulators

General Description

The LM79XX series of 3-terminal regulators is available with fixed output voltages of $-5V$, $-12V$, and $-15V$. These devices need only one external component—a compensation capacitor at the output. The LM79XX series is packaged in the TO-220 power package and is capable of supplying 1.5A of output current.

These regulators employ internal current limiting, safe area protection and thermal shutdown for protection against virtually all overload conditions.

Low ground pin current of the LM79XX series allows output voltage to be easily boosted above the preset value with a resistor divider. The low quiescent current

draw of these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode.

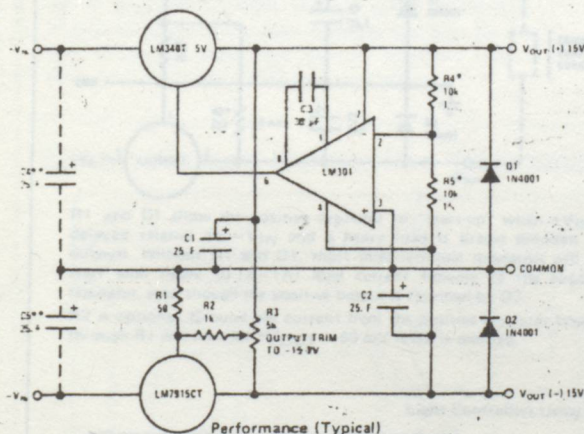
For output voltages other than 5V, 12V and 15V the LM137 series provides an output voltage range from $-1.2V$ to $-47V$.

Features

- Thermal, short circuit and safe area protection
- High ripple rejection
- 1.5A output current
- 4% preset output voltage

Typical Applications

±15V, 1 Amp Tracking Regulators*

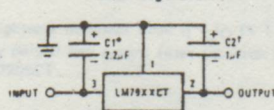


Performance (Typical)

	(-15)	(+15)
Load Regulation at $\Delta I_L = 1A$	40 mV	2 mV
Output Ripple, $C_{IN} = 3000\mu F$, $I_L = 1A$	100 μV_{rms}	100 μV_{rms}
Temperature Stability	50 mV	50 mV
Output Noise $10 Hz \leq f \leq 10 kHz$	150 μV_{rms}	150 μV_{rms}

*Resistor tolerance of R4 and R5 determine matching of (+) and (-) outputs
 **Necessary only if raw supply filter capacitors are more than 3" from regulators

Fixed Regulator

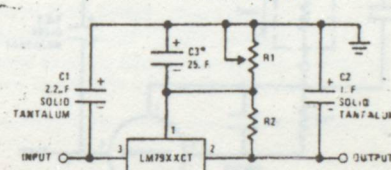


*Required if regulator is separated from filter capacitor by more than 3". For value given, capacitor must be solid tantalum. 25 μF aluminum electrolytic may be substituted.

†Required for stability. For value given, capacitor must be solid tantalum. 25 μF aluminum electrolytic may be substituted. Values given may be increased without limit.

For output capacitance in excess of 100 μF , a high current diode from input to output (1N4001, etc.) will protect the regulator from momentary input shorts.

Variable Output



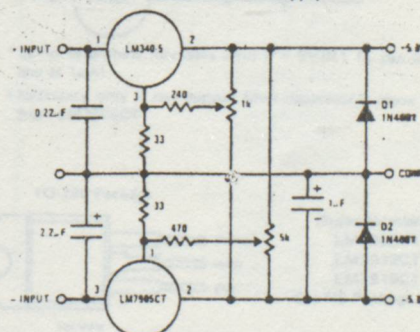
*Improves transient response and ripple rejection. Do not increase beyond 50 μF .

$$V_{OUT} = V_{SET} \left(\frac{R1 + R2}{R2} \right)$$

Select R2 as follows

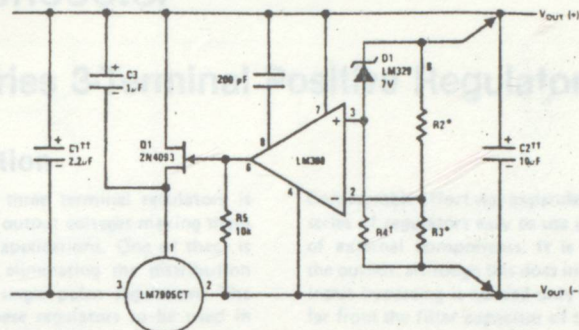
LM7905CT	300 Ω
LM7912CT	750 Ω
LM7915CT	1k

Dual Trimmed Supply



Typical Applications (Continued)

High Stability 1 Amp Regulator



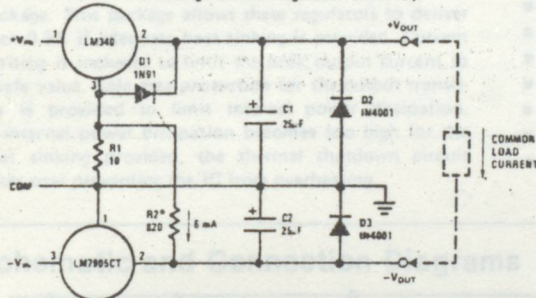
Load and line regulation $< 0.01\%$ temperature stability $\leq 0.2\%$

† Determines Zener current

†† Solid tantalum

* Select resistors to set output voltage. 2 ppm/°C tracking suggested

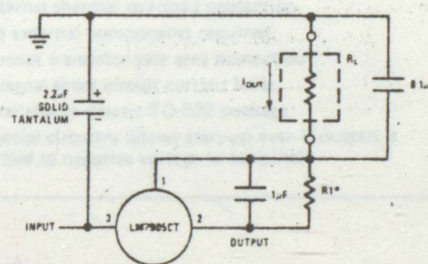
Preventing Positive Regulator Latch-Up



R1 and D1 allow the positive regulator to "start-up" when $+V_{IN}$ is delayed relative to $-V_{IN}$ and a heavy load is drawn between the outputs. Without R1 and D1, most three-terminal regulators will not start with heavy (0.1A–1A) load current flowing to the negative regulator, even though the positive output is clamped by D2.

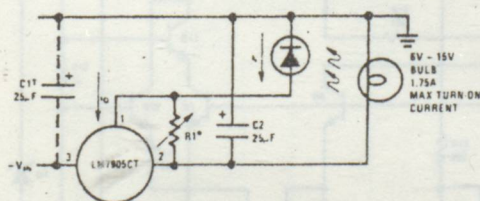
* R2 is optional. Ground pin current from the positive regulator flowing through R1 will increase $+V_{OUT} \approx 60$ mV if R2 is omitted.

Current Source



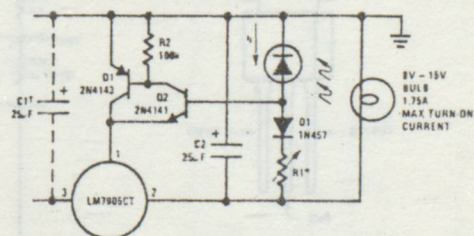
$$*I_{OUT} = 1 \text{ mA} + \frac{5V}{R1}$$

Light Controllers Using Silicon Photo Cells



* Lamp brightness increases until $i_L = i_Q (\approx 1 \text{ mA}) + 5V/R1$.

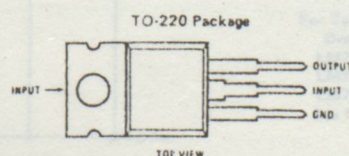
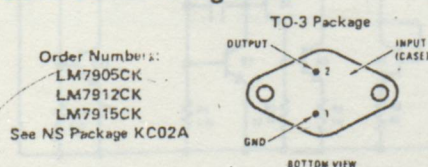
† Necessary only if raw supply filter capacitor is more than 2" from LM7905CT



* Lamp brightness increases until $i_L = 5V/R1$ (i_L can be set as low as 1µA)

† Necessary only if raw supply filter capacitor is more than 2" from LM7905CT

Connection Diagrams





Voltage Regulators

LM78MXX Series

LM78MXX Series 3-Terminal Positive Regulators

General Description

The LM78MXX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78MXX series is available in the plastic TO-202 package. This package allows these regulators to deliver over 0.5A if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

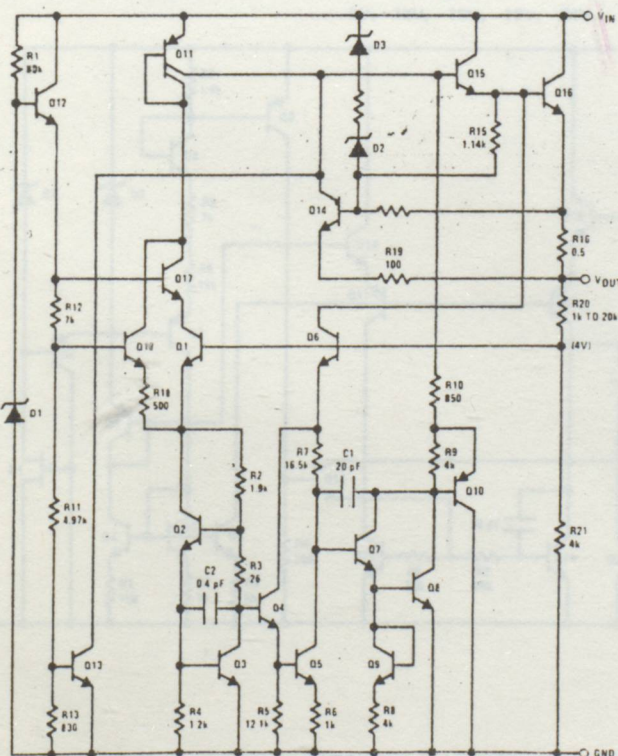
Considerable effort was expended to make the LM78MXX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

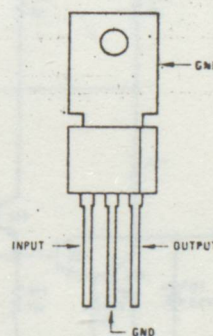
Features

- Output current in excess of 0.5A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in plastic TO-202 package
- Special circuitry allows start-up even if output is pulled to negative voltage ($\pm$ supplies)

Schematic and Connection Diagrams



Plastic Package



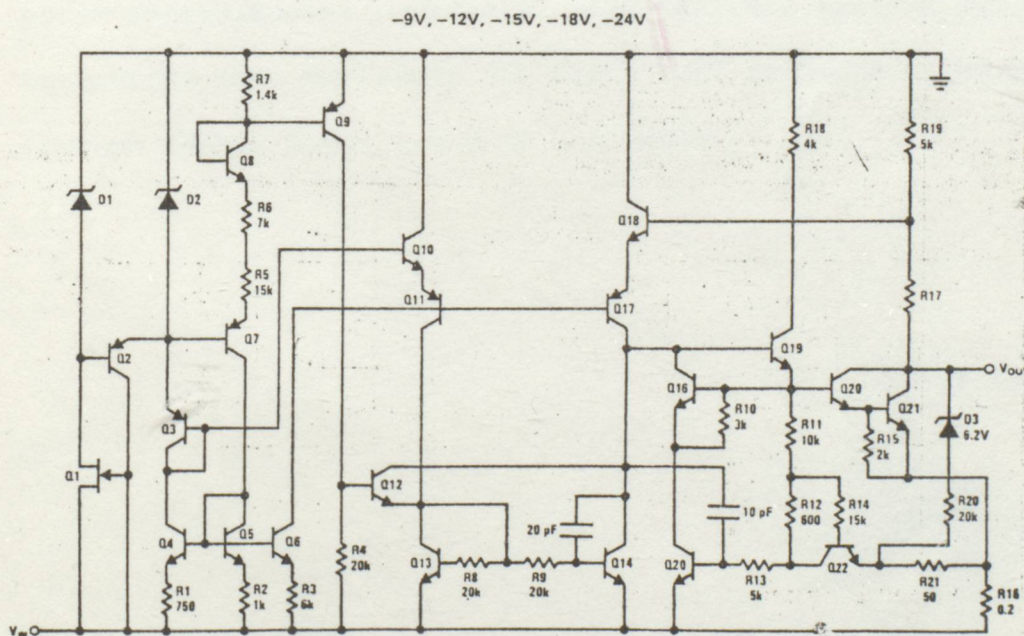
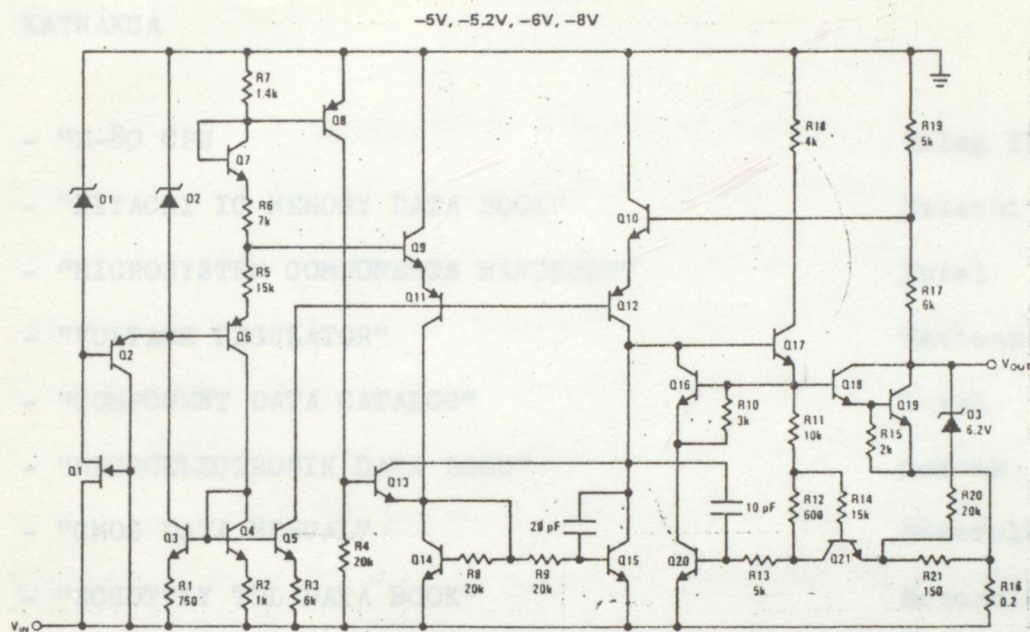
FRONT VIEW

Order Numbers
LM78M05CP
LM78M12CP
LM78M15CP
See Package P03A

For Tab Bend TO-202
Order Numbers
LM78M05CP TB
LM78M12CP TB
LM78M15CP TB
See Package P03E

LM79XX

Schematic Diagram



KAYNAKÇA

- "Z-80 CPU" Zilog Inc
- "HITACHI IC MEMORY DATA BOOK" Hitachi
- "MICROSYSTEM COMPONENTS HANDBOOK" Intel
- "VOLTAGE REGULATOR" National
- "COMPONENT DATA CATALOG" Intel
- "MICROELECTRONIK DATA BOOK" Mostek
- "CMOS DATA MANUAL" Motorola
- "SCHOTTKY TTL DATA BOOK" Motorola
- "EIA STANDARD" Electronic Industries Association

ÖZGEÇMİŞİM

2 Mayıs 1963 tarihinde Karabük'de doğdum.

İlk öğretimimi Karabük Atatürk İlkokulu'nda yaptım.

İstanbul'a yerleştikten sonra orta ve lise eğitimimi 50. Yıl

Çağlayan Lisesinde tamamladım.1980 yılında Yıldız Ünivertesi

Elektronik ve Haberleşme Mühendisliği Bölümünü kazanarak 1984

yılında buradan mezun oldum.1985 yılında aynı üniversitenin

master programına başladım. Ağustos 1985 de aynı bölümün

Elektronik Anabilim dalında araştırma görevlisi olarak Mart 1986 y

ya kadar çalıştım. Bu tarihten sonra NETAŞ'a geçerek Araştırma

ve Geliştirme bölümünde "Digital Hardware Design Engineer" olarak

görev yaptım.Master programımı tamamladıktan sonra M.E.G.S.B.ndan

kazandığım burs aracılığı ile Mayıs 1987 de Doktora (Ph.D.)

eğitimi yapmak üzere A.B.D ye gideceğim.

Gökhan KURU

