

YILDIZ TEKNİK ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

**İbm Pc Bilgisayarı için Endüstriyel Amaçlı
Sayısal/Örneksele ve Örneksele Sayısal
Dönüştürücü Arabirim Kartı Yapımı**

Önder Olcay

Yüksek Lisans Tezi

YILDIZ ÜNİVERSİTESİ
GENEL KİTAPLIĞI

R 368

Kot

Alındığı Yer

Tarih

Fatura

Fiati

Ayniyat No

Kayıt No

UDC

Ek

Fen Bilimleri Enst.

08/05/1991

7000 TL

1/3

47616

001.64

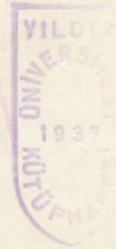
378.242

YILDIZ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

YILDIZ ÜNİVERSİTESİ

D.B. No 45342

IBM PC BİLGİSAYARI İÇİN ENDÜSTRİYEL AMAÇLI
SAYISAL/ÖRNEKSEL VE ÖRNEKSEL/SAYISAL
DÖNÜŞTÜRÜCÜ ARABİRİM KARTI YAPIMI



YÜKSEK LİSANS TEZİ
MÜH. ÖNDER OLCAY

İSTANBUL - 1988

Mühendislik eğitimim sırasında ve tez çalışmalarımı gerçekleştirmem için değerli yardım ve katkılarını esirgemeyen hocam ve tez yürütücüm Sayın Doç. Dr. Sezgin ALSAN'a teşekkürü bir borç bilirim.

İÇİNDEKİLER

ÖZET

SUMMARY

GİRİŞ1

BİRİNCİ BÖLÜM

IBM PC DONANIMI2

1. GİRİŞ3

1 -1 IBM PC Donanımına Genel Bir Bakış4

1 -2 8088 Donanım Kesinti İsteği5

1 -3 Sistem Bellek Haritası7

1 -3.1 8.1.16/64 K Sistem Kartı İçin Bellek Haritası .7

1 -3.2 8.2.64/256 K Sistem Kartı İçin Bellek Haritası.8

1 -4 I/O Kanalı ve I/O Adres Haritası9

1 -4.1 I/O Kanalı'nın özellikleri11

1 -4.2 I/O Kanal Şeması11

1 -4.3 I/O Kanalı'nın Tanımlanması13

İKİNCİ BÖLÜM

Ö/S VE S/Ö DÖNÜŞTÜRÜCÜLER18

2.GİRİŞ19

2 -1 Dönüştürücülere ilişkin Parametreler20

2 -2 Ö/S Dönüştürücüler ve Dönüştürme Yöntemleri22

2 -2.1 Entegral Alan Yöntemler22

2 -2.2 Basamak Yöntemi25

2 -2.3 Zamanla değişen işaretlerin ölçülmesi26

2 -2.4 Hızlı Dönüştürme Yöntemleri27

2 -3 S/Ö Dönüştürücüler31

2 -3.1 S/ö Dönüştürme Yöntemleri	31
2 -4 örnekleme ve Tutma Devreleri	34

ÜÇÜNCÜ BÖLÜM

8255 VE DAC 1220'NİN TANITIMI	36
3.GİRİŞ	37
3 -1 8255 Programlanabilir Paralel Arabirim	38
3 -1.1 8255'in Genel Tanımı	38
3 -1.2 MOD 0'da Çalışma	41
3 -1.3 MOD 1'de Çalışma	41
3 -1.4 MOD 2'de Çalışma	43
3 -2 DAC 1220 12 Bit Binary S/ö Dönüştürücü	45
3 -2.1 DAC 1220'nin Kullanılması	49

DÖRDÜNCÜ BÖLÜM

IBM PC İÇİN 12 BİT S/ö VE ö/S GİRİŞ-ÇIKIŞ KARTI	49
4. GİRİŞ	50
4 -1 Devrenin Gerçekleştirilmesi	51
4 -1.1 Devrenin Blok Diyagramı	51
4 -1.2 Devre Şemaları	53
4 -2 Devrenin Çalışması	55
4 -2.1 Adres Kod Çözme ve Giriş Ara Biriminin Açıklanması	55
4 -2.2 S/ö Dönüştürücü Olarak Çalışma Şekli	58
4 -2.3 ö/S Dönüştürücü Olarak Çalışma Şekli	60
4 -2.4 Frekans Ölçme	61
4 -3 Yazılım Desteği	63
4 -3.1 S/ö Dönüştürme Programları	64

4 -3.2 ö/S Dönüştürme Programları	66
4 -4 Baskılı Devre	68
4 -4.1 Yerleştirme Planı	69
4 -4.2 Çıkış Konnektörü Bağlantıları	69
EK	70
SONUÇ	101
KAYNAKLAR	102
ÖZGEÇMİŞ	103

ÖZET

Bu çalışma ile IBM PC bilgisayar donanımının incelenmesi, giriş-çıkış olanaklarının araştırılması ve bir endüstriyel giriş-çıkış arabirim kartı tasarlanması anlatılmıştır. Çalışma dört bölümden oluşmaktadır.

Birinci bölümde IBM PC bilgisayar donanımının incelemesi yapılmış, mikroişlemci birimi ve yan elemanları, oku/yaz (R/W) bellek sistemi, birleştirilmiş giriş-çıkış (I/O) kanalı incelenmiştir.

İkinci bölümde ö/S ve S/ö dönüştürme yöntemleri ve bilgisayara uygulama biçimleri araştırılmıştır.

Üçüncü bölümde tasarımı yapılan devrede kullanılan tüm devrelerin tanıtımı yapılmış ve kullanım şekilleri anlatılmıştır.

Son bölümde ise tasarımı yapılan devrenin gerçekleştirilmesi, kullanımı ve uygulamasının ne şekilde yapılabileceği anlatılmıştır.

Çalışmanın sonundaki ek bölüme de katalog bilgileri konmuştur.

SUMMARY

With this work, examining the hardware of the IBM PC computer, studying the input-output possibilities and designing of an industrial input-output interface card is explained. This work includes four chapters.

In the 1st chapter, hardware of the computer IBM PC, central process unit and their peripheral components, read-write (R/W) memory systems, unified input-output (I/O) channels are examined.

In the 2nd chapter, analog-digital and digital-analog converter systems and their application methods to the computer are studied.

In the 3rd chapter, presentation and using ways of all IC's used in the designed circuit are described.

In the last chapter, realizing the designed circuit, how it can be used and its applications are explained.

In additional chapter at the end of the work catalogue knowledges are included.

GİRİŞ

Bilgisayarların gelişmesi ile birlikte, endüstriyel makinelerin bu cihazlar ile kontrol edilmesinin ve kontrol tekniklerinin önemi gittikçe artmaktadır. Kontrol tekniklerinin içinde en önemlilerinden biride S/ö ve ö/S dönüştürme tekniğidir. Bu teknik sayesinde bilgisayarlar dış dünya ile haberleşebilirler ve dışarı örneksel (analog) bilgi gönderebilirler.

Bu çalışmada S/ö ve ö/S dönüştürme tekniklerinin ve IBM PC giriş-çıkış olanaklarının araştırılması ile bir S/ö ve ö/S dönüştürücü (DAC-ADC) ara birim kartı uygulaması anlatılacaktır.

BÖLÜM

IBM PC DONANIMI

1. GİRİŞ

Bu çalışmanın hazırlanması amacı ile yapılan ilk araştırma IBM PC bilgisayarının donanımının incelenmesidir. Bu çalışmada IBM PC bilgisayarının donanımı, gerekli işlem birimi ve DMA kontrol elemanı, bellek birimleri, giriş-çıkış adaptörleri ile bu elemanların çalışma şekilleri hakkında bilgi verilecektir.

BİRİNCİ BÖLÜM

IBM PC DONANIMI

1. GİRİŞ

Bu çalışmanın hazırlanması amacı ile yapılan ilk araştırma IBM PC bilgisayarının donanımının incelenmesidir. Bu bölümde IBM PC bilgisayarının donanımı, merkezi işlem birimi ve DMA kontrol elemanı, bellek birimleri, giriş-çıkış adaptörleri ile bu elemanların çalışma şekilleri hakkında bilgi verilecektir.

1-1. IBM PC DONANIMINA GENEL BİR BAKIŞ

IBM PC'nin sistem kartı ayrı ayrı beş işlev biriminden meydana gelir. Bunlar merkezi işlem birimi ve yan elemanları, ROM (Yalnız okunan bellek), RAM (Oku/yaz bellek), Birleşik I/O (Giriş/çıkış) adaptörleri ve I/O kanalıdır.

Sistem kartının merkezi işlem birimi intel 8088 mikro işlemcisidir. Bu mikro işlemci, aynı firmanın 16 bitlik 8086 mikro işlemcisinin 8 bit veri yolu bulunan bir düzenlemesi olup 8086 ile yazılım uyumludur. Buna göre 8088 mikro işlemcisi çarpma ile bölmeyi içeren 16 bitlik işlem ve 20 bitlik adresleme (1 M byte adres kapasitesi) yeteneğine sahiptir. Ayrıca başka bir yan işlemci Ünitesi ile birlikte de çalışabilir. Merkezi işlem biriminin çalışma frekansı 4,77 MHz dir.

İşlem birimi 20 bitlik doğrudan hafıza erişimi (DMA) olan 4 kanal, 16 bitlik sayma-zamanlama kanalları ve 8 adet öncelikli kesinti seviyesi içerir.

Dört adet DMA Kanalı'nın üç tanesi I/O yolları üzerinde olup, işlem Ünitesinin araya girmesine gerek kalmadan I/O cihazları ile hafıza Ünitesi arasında yüksek hızda veri iletimini sağlar. Dördüncü DMA kanalı ise dinamik bellekleri tazelemek üzere programlanmıştır. Bellek tazeleme için kullanılan DMA çevrimleri 210'ar ns'lik 4 saat vuruşu gerektirir.

Sistem kartında bulunan üç adet sayma-zamanlama

Ünitesi sistem tarafından şu şekilde kullanılır:

0- No'lu kanal bir gerçek zaman saati elde etmek için genel amaçlı zamanlayıcı olarak kullanılır.

1- No'lu kanal DMA kanalında zamanlama ve tazeleme işlemleri çağrısı elde etmek için kullanılır.

2- No'lu kanal ise ses çıkışı için işaret üretici olarak kullanılır.

Sistem kartı içinde ayrıca 40960 byte ROM ve 262144 byte RAM vardır. ROM (Yalnız okunan bellek) içinde BASIC derleyici ve giriş/çıkış cihazları (tuş takımı,ekran,disk,kaset,zamanlayıcı-sayıcı,yazıcı gibi) için özel alt programlar vardır.

Sistem kartında kullanılan 8255 tüm devresi paralel giriş çıkış işlemlerini denetler.

1-2. 8088 DONANIM KESİNTİ İSTEĞİ

PC'de kullanılan sekiz adet öncelikli kesinti seviyesinin altısı, dış fonksiyon kartlarının bağlandığı sistem genişletme bağlantıları için gereken yolları oluşturur. Diğer ikisi ise sistem kartı üzerinde kullanılır. En yüksek öncelikli kesinti seviyesi "0" No'lu kesinti seviyesidir. Bu gerçek zaman saatine bağlıdır. "1" No'lu kesinti seviyesi ise tuş takımı adaptörüne bağlı olup tuş takımı tarafından gönderilen her bir tarama komutu için bir kesinti isteği oluşturur.

Maskelenemeyen kesinti (NMI) ise bellekteki boşluk (Paritii) hatalarını bildirmede kullanılır.

Sisteme güç uygulandığı zaman 8088'deki maskelenemeyen kesinti (NMI) serbest bırakılır. Maskeleye biti sistem yazılımı aracılığı ile lojik "1"'e veya "0"'a programlanabilir. Bu A0 I/O adresine 80 yazmakla "1"'e alma, aynı adrese 00 yazmakla "0"'a alma şeklinde gerçekleştirilebilir. SDLC haberleşme ve ikinci ikili tabanda senkron haberleşme beraber kullanılamaz, çünkü bunlara ait adresler birbiri ile çakışmaktadır.

8088 Donanım kesinti listesi Tablo 1 -2.1'de gösterilmiştir.

NUMARA	KULLANIM
NMI	Boşluk (parity)
0	Zamanlama
1	Tuş takımı
2	Sisteme ait
3	Asenkron haberleşme (ikincil). SDLC haberleşme ikili tabanda senkron haberleşme (ikincil)
4	Asenkron haberleşme (birincil). SDLC haberleşme ikili tabanda haberleşme (birincil)
5	Sabit disk ünitesi

6	Disket
7	Yazıcı

Tablo 1 -2.1

1-3. SİSTEM BELLEK HARİTASI

IBM PC'lerde kullanılan iki değişik sistem kartı için bellek haritaları aşağıdaki tablolarda görülmektedir

1-3.1 8.1.16/64 K SİSTEM KARTI İÇİN BELLEK HARİTASI

8.1.16/64 K Sistem kartı için bellek haritası Tablo 1.3.1'de verilmiştir.

BAŞLANGIÇ ADRESİ		İŞLEV
10'lu	16'lı	
0	00000	
16 K	04000	Sistem kartı üzerinde 16 K'dan
32 K	08000	64 K'ya kadar RAM alanı
48 K	0C000	
64 K	10000	
*	*	I/O Kanalı üzerinde 576 K'ya
*	*	kadar RAM alanı
624 K	9C000	
640 K	A0000	
*	*	128 K Sisteme ayrılmış
688 K	AC000	
704 K	B0000	Tek renkli monitör
720 K	B4000	
736 K	BB000	Renkli grafik monitör

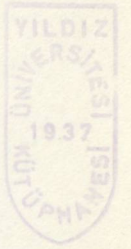
752 K	BC0000	
768 K	C00000	
784 K	C40000	
800 K	CB0000	Sabit disk ünitesi kontrol
*	*	192 K RAM sistem genişletme
944 K	EC0000	ve kontrol
960 K	F00000	Sisteme ait
976 K	F40000	
*	*	48 K temel sistem ROM' u
1008 K	FC0000	

Tablo 1-3.1

1-3.2 8.2.64/256 K SİSTEM KARTI İÇİN BELLEK HARİTASI

Bu sistem kartı için bellek haritası Tablo 1-3.2 de verilmiştir.

BAŞLANGIÇ ADRESİ		İŞLEV
10'lu	16'lu	
0	000000	
*	*	Sistem kartı üzerinde
*	*	64 K' dan 256 K 'ya kadar
*	*	RAM alanı
240 K	3C0000	
256 K	400000	
*	*	I/O Kanalı üzerinde 384 K'ya
*	*	kadar RAM alanı
624 K	9C0000	



640 K	A0000	
*	*	128 K Sisteme ayrılmış
704 K	B0000	Tek renkli monitör
720 K	B4000	
736 K	B8000	Renkli monitör grafik
752 K	BC000	
768 K	C0000	
*	*	
800 K	C8000	Sabit disk ünitesi kontrolü
*	*	192 K sistem genişletme ve
*	*	kontrol RAM'ı
944 K	EC000	
960 K	F0000	Sisteme ayrılmış
976 K	F4000	
*	*	48 K Temel sistem ROM'u
1008 K	FC000	

Tablo 1-3.2

1-4. I/O KANALI VE I/O ADRES HARİTASI

I/O Kanalı 8088 Mikroişlemci veri yolunun (DATA BUS) genişleme şeklidir. Güç kaynağı destekli, DMA ve çeşitli kesinti fonksiyonlarının eklenmesi ile geliştirilmiş bir yapıdır. I/O cihazları, I/O bellek haritasındaki adres alanları kullanılarak adreslenir.

I/O Kanal kartları için 512 adet I/O cihaz adresi vardır. I/O Kanalı her bağlantı kanalındaki kartların üzerinde LS serisi (Düşük güçlü Schottky) tümleşik

devrelerin kullanılacağı var sayılarak 8 genişletme bağlantı yerinin tümüne yetecek güçteki güç kaynağı ile desteklenmiştir.

I/O Adres haritası Tablo 1-4.1 de verilmiştir.

16'lı Adres alanı	Kullanım yeri
000 - 00F	8237A-5 DMA devresi için
020 - 021	8239A Kesinti devresi için
040 - 043	8253-5 Zamanlayıcı için
060 - 063	8255-A Çevre arabirimi
080 - 083	DMA Sayfa kaydediciler
0AX	NMI Maskeleye kaydedicisi
0CX	Sistem için ayrılmıştır
0EX	Sistem için ayrılmıştır
100 - 1FF	Kullanılamaz
200 - 20F	Oyun kontrol adaptörü
210 - 217	Sistem genişletme
220 - 24F	Sistem için ayrılmıştır
27B - 27F	Sistem için ayrılmıştır
2F0 - 2F7	Sistem için ayrılmıştır
2FB - 2FF	Asenkron haberleşme (ikincil)
300 - 31F	Prototip kartı
320 - 32F	Sabit disk ünitesi
37B - 37F	Yazıcı
380 - 38C	SDLC haberleşme
38D - 39B	İkili tabanda haberleşme
3A0 - 3A9	İkili tabanda senkron hab.

3B0 - 3BF	IBM tek renkli ekran/yazıcı
3C0 - 3CF	Sistem için ayrılmıştır
3D0 - 3DF	Renkli ekran / grafik
3E0 - 3E7	Sistem için ayrılmıştır
3F0 - 3F7	Disket
3F8 - 3FF	Asenkron haberleşme (birincil)

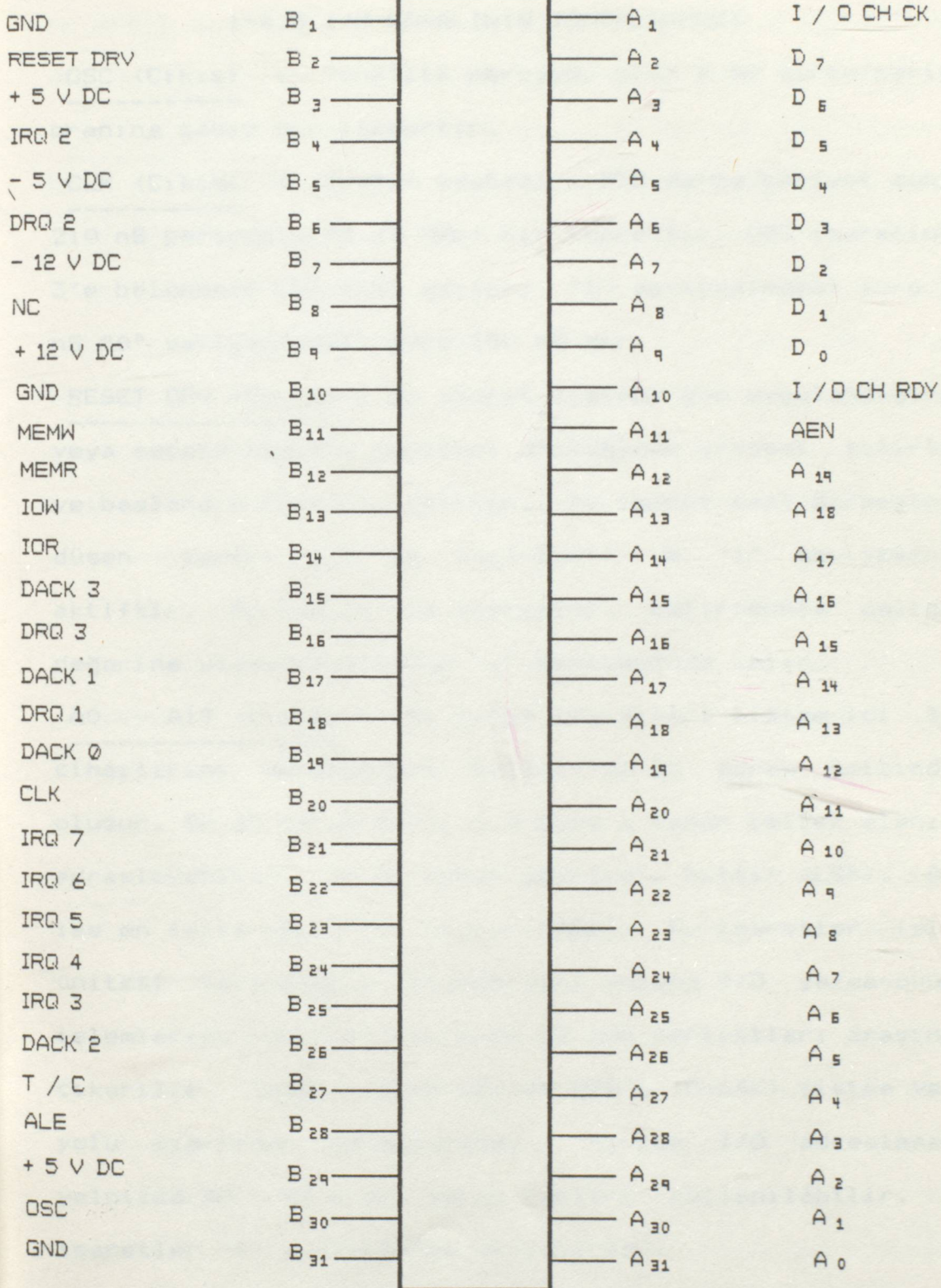
Tablo 1-4.1

1-4.1 I/O KANALININ ÖZELLİKLERİ

- 8 Bitlik çift yönlü veri yolu
- 20 Adres hattı
- 6 Kesinti seviyesi
- I/O okuma/yazma hızı ve bellek için kontrol hatları
- Bellek tazelemesi için zamanlama kontrol hatları
- Adaptörler için güç ve toprak bağlantıları

1 -4.2 I/O KANAL ŞEMASI

I/O kanal bağlantısı 62 hatlı konnektör aracılığı ile yapılmaktadır. Bu konnektörün A yüzü adres ve veri yollarını B yüzü ise kontrol işaretlerini dış devrelere iletir. I/O kanal şeması Şekil 1 -4.1'de görülmektedir. Tüm hatlar TTL uyumludur.



Şekil 1 -4.1 : Giriş / Çıkış kanalının şeması

1-4.3 I/O KANALININ TANIMLANMASI

OSC (Çıkış) : 70nS'lik periyodu olan % 50 darbe/periyot oranına sahip bir işarettir.

CLK (Çıkış) : Sistem saatidir. %33 darbe/periyot sahip 210 nS periyotlu (4.77 MHz) bir işarettir. OSC işaretinin 3'e bölünmesi ile elde edilir. "1" seviyesindeki süre 70 nS "0" seviyesindeki süre 140 nS dir.

RESET DRV (Çıkış) : bu işaret sisteme güç uygulandığında veya şebeke besleme gerilimi düştüğünde sistemi sıfırlar ve başlangıç konumuna getirir. Bu işaret saat darbesinin düşen kenarı ile eş zamanlıdır ve "1" seviyesinde aktiftir. Bu işaret tüm seviyeler, belirlenmiş çalışma değerine ulaşıncaya kadar "1" seviyesinde kalır.

A0 - A19 (Çıkış) : Bu çıkış işaretleri sistem içi I/O cihazlarını adreslemede kullanılan 20 adres hattından oluşur. Bu 20 adres hattı 1 M byte'a kadar bellek alanını adresleyebilir. A0 en düşük ağırlıklı bittir (LSB). A19 ise en fazla ağırlıklı bittir (MSB). Bu işaretler işlem Ünitesi tarafından, sistem veri yoluna I/O yazma-okuma işlemlerine ait periyotlarda ve DMA periyotları arasında çıkarılır. Temel sistem bellek RAM'ı (0-64K) sistem veri yolu üzerinden adreslenemez. Ayrıca I/O adreslemede yalnızca A0 - A9 arası adres hatları kullanılabilir. Bu işaretler "1" seviyesinde aktiftirler.

D0 - D7 (Giriş/çıkış) : Bunlar işlem Ünitesi, bellek ve I/O cihazları için veri bitlerini oluşturan işaretlerdir.

En düşük ağırlıklı bit D0 ,en yüksek ağırlıklı bit ise D7 dir.Bu işaretler "1" seviyesinde aktiftirler.

ALE (Çıkış) : Bu işaretin amacı adres kaydedicilerini kontrol etmektir. Bu işaret 8288 veri yolu kontrol Ünitesi tarafından sağlanır ve sistem kartında işlem Ünitesince belirlenen geçerli adresleri kaydetmek için kullanılır. Bu işaret I/O kanalı üzerinde AEN ile beraber kullanıldığında geçerli işlem Ünitesi adresinin göstergesi olarak kullanılır. İşlem Ünitesi adresleri bu işaretin düşen kenarı ile kaydedilir. DMA periyotları sırasında etkili değildir.

Bu işaret ayrıca 8088 mikro işlemcisinin bölgesel adres-veri yolu üzerindeki adres bilgisinide kaydetmede de kullanılır. İşaret, adres yolu serbest kalmadan önce etkin olduğu "0" seviyesindedir. Adres yolu serbest hale geldiği zaman "1" seviyesine çıkar.

I/O CH CK (Giriş) : Bu işaret I/O kanalı üzerindeki bellek veya diğer ünitelere ait boşluk (Parite) hatalarını bildirir. Bu işaret etkin olduğu "0" seviyesindeyken bir boşluk hatasına rastlanmış demektir. Bu işaret bir maskelenemeyen kesintiye sebep olmadan önce serbest bırakılmalıdır. İşlem Ünitesinde bu işaret tarafından ortaya çıkartılan maskelenemeyen kesinti I/O kaydedici hattı üzerindeki bir bit tarafından ayrıca maskelendiği için, serbest bırakılmalıdır. I/O kanalı üzerinde yavaş olarak gerçekleşen giriş/çıkış işlemleri

veya yavaş bellek elemanları için bir "READY" işareti de mevcuttur. I/O Üniteleri I/O bellek haritasındaki adresler kullanılarak seçilirler.

I/O CH RDY (Çıkış) : Bu işaret normalde "1" seviyesinde olup I/O kanalı üzerindeki yavaş bellek veya I/O ünitelerinden herhangi bir okuma yapılırken okuma işleminin süresini uzatmak için "0" seviyesine çekilir. Bu seviyede kaldığı sürece I/O kanalı hazır değil demektir. "0" seviyesinde kalma süresi hiç bir şekilde 10 saat darbesini geçmemelidir. 10 saat darbesi 210 nS den 2100 nS olarak belirlendiğine göre bu süreden daha uzun süre "0" seviyesinde kalmamalıdır. Bu süre CLK işaretinin periyotları ile ölçülür. Bu işaretin veri hatları işlemlerine ait periyotları uzatması ile MEMR, MEMW, IOR ve IOW komutları alınır.

IRQ2 - IRQ7 (Giriş): Bunlar kesinti isteğini oluşturan 6 adet işarettir ve herhangi bir I/O cihazı, işlem ünitesinin dikkatini çekmeye çalıştığında meydana getiririlirler ve işlem ünitesine sistem veri yolları üzerinden iletilirler. öncelik sırası IRQ2'den IRQ7'ye doğru düşer. Bir kesinti isteği, ilgili IRQ hattı üzerinde seviyenin "0"dan "1"e çekilmesi ile bildirilir ve işaretin işlem ünitesi tarafından alındığına dair bir işaretin (INTA) cevap olarak gelmesine kadar bu seviyede kalır.

IDR (Çıkış): Bu işaret, bir I/O cihazına, göndereceği veriyi veri yoluna sürme emrini verir. "0" seviyesinde aktif olan bu işaret DMA kontrol Ünitesi veya işlem Ünitesi tarafından oluşturulabilir.

IOW (Çıkış): Bu işaret ise bir I/O cihazına, veri yolu üzerindeki veriyi okuması için gereken emri verir. İşlem Ünitesi veya DMA Ünitesi tarafından oluşturulabilir. "0" seviyesinde aktiftir.

MEMR (Çıkış): Bu işaret bellek elemanına, üzerindeki bilgiyi veri yolu üzerine sürme emri verir. İşlem Ünitesi veya DMA kontrol Ünitesi tarafından oluşturulabilir. "0" seviyesinde etkindir.

MEMW (Çıkış): Bu işaret bellek elemanına veri yolu üzerindeki bilgiyi kaydetme emrini verir. İşaret 8288 veri yolu kontrol Ünitesinden çıkar ve adres yolundaki işaretlerin söz konusu verinin yazılacağı belleğin adresini belirlediğini gösterir. İşlem Ünitesi veya DMA kontrol Ünitesi tarafından üretilir. "0" seviyesinde aktiftir.

DRQ1 - DRQ3 (Giriş): Bu işaretler doğrudan bellek erişimi isteğini bildiren ve eşzamanlı olmayan kanal işaretleridir. Çevre elemanları tarafından DMA gereksinimlerini bildirme amacı ile kullanılırlar. Öncelik sırası DRQ1'den DRQ3'e doğru düşer. Bir DMA isteği ilgili DRQ hattındaki seviyenin "1"e çekilmesi ve buna karşı düşen DACK işaretinin alınmasına kadar bu

seviyede tutulması ile belirtilir.

DACK0 - DACK3 (Çıkış): Bu işaretler, DMA isteğinin alındığını göstermek için ve sistem dinamik belleğinin temizlenmesi için kullanılır. Aktif seviyeleri "0" dır. Dinamik bellek temizleme işleminde DACK0 kullanılır.

AEN (çıkış): Bu işaret DMA için gerekli veri iletimlerine olanak sağlamak amacıyla, işlem Ünitesini ve diğer ilgili elemanları I/O kanalına bağlamak için kullanılır . Bu işaret etkin olduğu "1" seviyesinde iken adres yolları, veri yolları ile bellek ve I/O okuma/yazma işlemlerinin kontrolü DMA kontrol Ünitesinden geçer. Ayrıca sistem yolları üzerindeki I/O adreslerinin etkisiz kılarak DMA bellek adresleri ile I/O kanalı adreslerinin karışma olasılığını ortadan kaldırır.

T/C (Çıkış): Bu işaret bir DMA kanalı önceden tanımlanmış sayıdaki periyodu tamamladığında "1" seviyesine çıkarak bunu belirtir. Ayrıca DMA sırasında yapılan blok veri iletiminde durdurur.

İKİNCİ BÖLÜM

Ö/S VE S/Ö DÖNÜŞTÜRÜCÜLER

2. GİRİŞ

Dünyada meydana gelen olaylar, özellikle fiziksel olanlar yapısı gereği örneksel (analog) davranırlar. Örnek olarak bir ısıtma levhasının sıcaklığı, bir motorun deviri veya bir masa levhasının uzunluğu gösterilebilir. Bütün bunlar pratik olarak her değeri alabilirler. Buna karşılık sayısal elektronik özellikle bilgisayar tekniği, temeli "açık-kapalı" veya "sıfır-bir" yada "yüksek(High,H)-alçak(Low,L)" şeklinde ikili (Binary) sisteme dayanan sayısal davranış gösterir. Bu sistemde "bit", en küçük sayısal bilgi birimidir ve sayılar "bit"lerin alabilecekleri iki durumla yani "sıfır" ve "bir" olarak verilirler.

Gerilime dönüştürülmüş örneksel bilgilerin sayısal bilgisayar, örneğin bir mikro işlemci sistemi tarafından işlenmesini sağlamak için, örneksel (analog) değerlere karşı düşen sayısal (dijital) değerlerin belirlenmesi gerekir. Bu işlem sürekli zaman domeninde yapılamayacağından örneksel gerilim belirli anlarda örneklenir ve bu anı gerilim değerleri sayısal veri sözcüklerine dönüştürülür. Bu işaret dönüştürmesi sırasında ayrık zamanlı bir gerilim kuantalaması söz konusudur.

2 -1. DÖNÜŞTÜRÜCÜLERE İLİŞKİN PARAMETRELER

Ayırddedilebilirlik: (Resolution) Bu büyüklük veri sözcüğünün en düşük ağırlıklı bit'inin (LSB) değişmesi için giriş geriliminde meydana gelmesi gereken artma yada azalmanın değeridir. Veri sözcüğünü ikili sistemde kodlayan dönüştürücüler için aşağıdaki ifade geçerlidir:

$$1 \text{ LSB} = \frac{\text{FSR}}{2^n}$$

FSR (Full Scale Range): Analog işaretin değişim aralığı

n: Veri bitlerinin sayısı

Veri sözcüğünü BCD kodunda belirleyen dönüştürücüler için yukarıdaki ifadede 2^n yerine 10^d konulmalıdır.

Burada d, dekadların sayısıdır.

Monotonluk: (Monotony) Bir dönüştürücünün giriş gerilimi artarken sayısal çıkış değeride sürekli artıyorsa monotonluk söz konusudur.

Doğrusal olmama: (Nonlinearity) geçiş fonksiyonu ile çıkışın başlangıç ve son değerlerinden geçen doğru arasındaki farkın en büyük değerine doğrusal olmama (Non lineerlik) adı verilir.

Farksal doğrusal olmama: (Differential nonlinearity) Birbirini izleyen iki dönüştürme adımı ile çıkışın başlangıç ve son değerlerinden geçen doğru arasındaki farka farksal doğrusal olmama (Diferansiyel Nonlineerlik) adı verilir.

Dönüştürme süresi: (Conversion time) belli bir andaki giriş gerilimine karşı düşen sayısal değerlerin belirlenmesi için gereken süreye dönüştürme süresi denir.

Kuantalama hatası: (Qantization error) Kuantalama hatalarının bir kısmı, önüne geçilemeyen yöntem hatalarıdır, çünkü ayrı ayrı her gerilim değerine değil belli bir gerilim aralığına tek bir sayısal değer karşı düşürülmektedir. Yöntemden gelen bu hata ± 0.5 LSB kadardır. Bu yöntem hatasına, devre elemanlarının toleransları gibi nedenlerden ileri gelen hatalarda eklenirse, kuantalama hatası daha büyüyerek örneğin ± 1 LSB değerini alır. Bunun anlamı en düşük ağırlıklı veri bitinin değerinin güvenilir olmadığıdır. Ayırt edilebilirlik böylece bir bit azalmış olur.

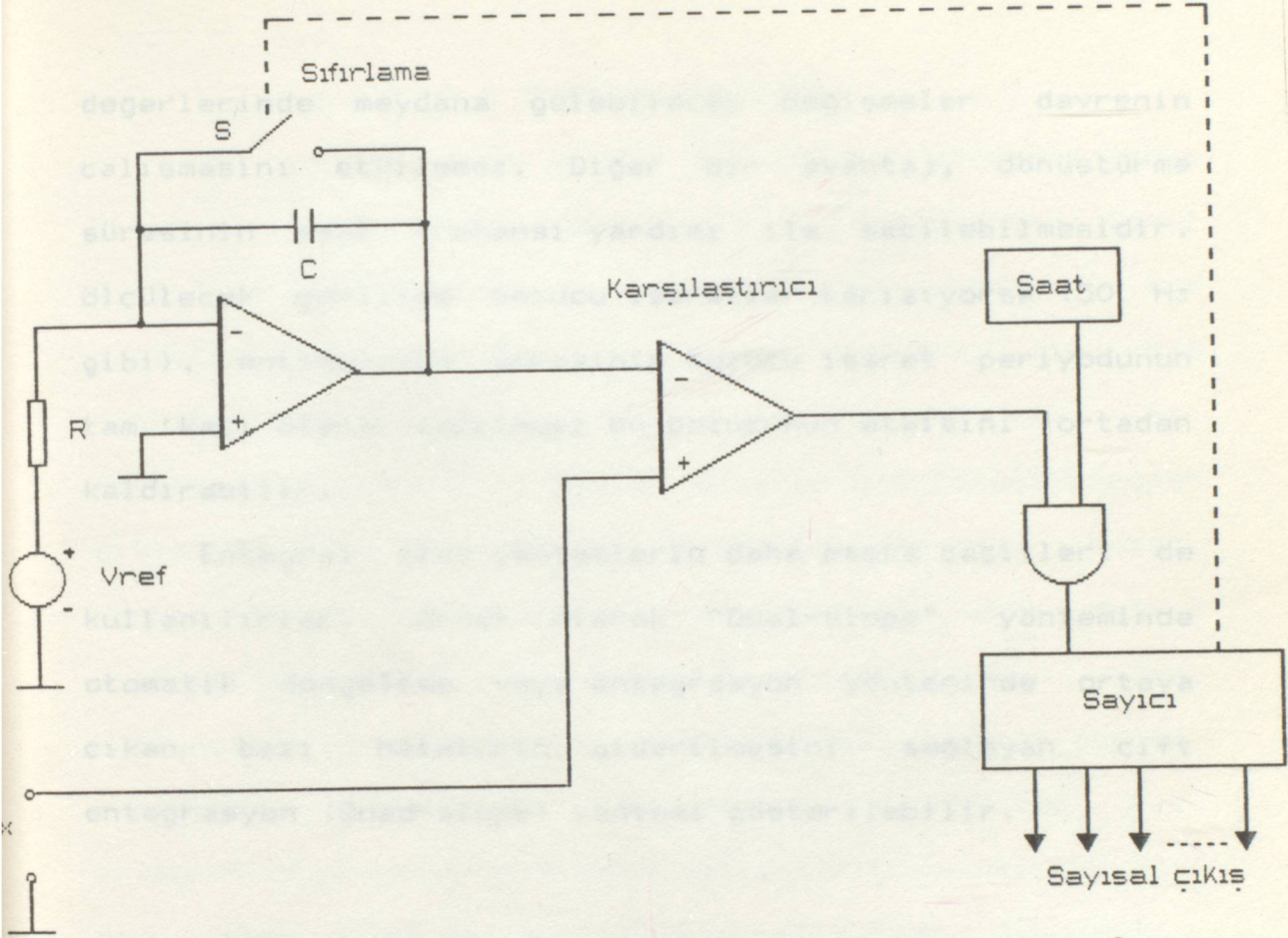
Yukarıda açıklanan parametreler kullanılan devrelere bağlıdırlar ve üretici tarafından belirlenirler. Kullanıcının bu parametreleri değiştirme olanağı yoktur. Ofset hatası ve ölçekleme hataları ise dengeleme yolu ile giderilebilirler.

2 -2. Ö/S DÖNÜŞTÜRÜCÜLER VE DÖNÜŞTÜRME YÖNTEMLERİ

Örneksel / Sayısal dönüştürücülerin kullanımında, ölçülecek işaretin sabit yada zamanla değişen olup olmadığına dikkat edilmelidir. Sabit kabul edilebilir büyüklüklerin ölçülmesinde, ölçülecek işaretin dönüştürme işlemi sırasında değerini değiştirmedeği kabul edilir. Tipik bir örnek, sayısal voltmetreyle gerilim ölçülmesidir. Genellikle uzun dönüştürme zamanında yüksek bir doğrusalılık ve ayırd edilebilirliğin gerekli olduğu bu alanda entegral alan yöntemler ve basamak yöntemi kullanılır.

2 -1.1 ENTEGRAL ALAN YÖNTEMLER

Şekil 2 -2.1'de testere dişi (Single slope) çalışan bir dönüştürücünün blok şeması görülmektedir. Devrenin yapı elemanları, testere dişi gerilim üretici, sayıcı ve karşılaştırıcıdan oluşmaktadır. Dönüştürme işleminin başında sayıcı ve entegral alıcı sıfırlanır. Testere dişi gerilim üreticinin çalıştırılması ile aynı anda sayıcı girişine de saat darbeleri uygulanmaya başlanır. Üreticinin çıkış gerilimi, ölçülecek olan gerilimi aştığında karşılaştırıcının çıkışı konum değiştirir ve sayıcının girişine uygulanan saat darbeleri kesilir. Görüldüğü gibi bu devrenin çalışma ilkesi, ölçülecek olan gerilimle orantılı bir sürenin sayıcı yardımı ile belirlenmesine dayanmaktadır.

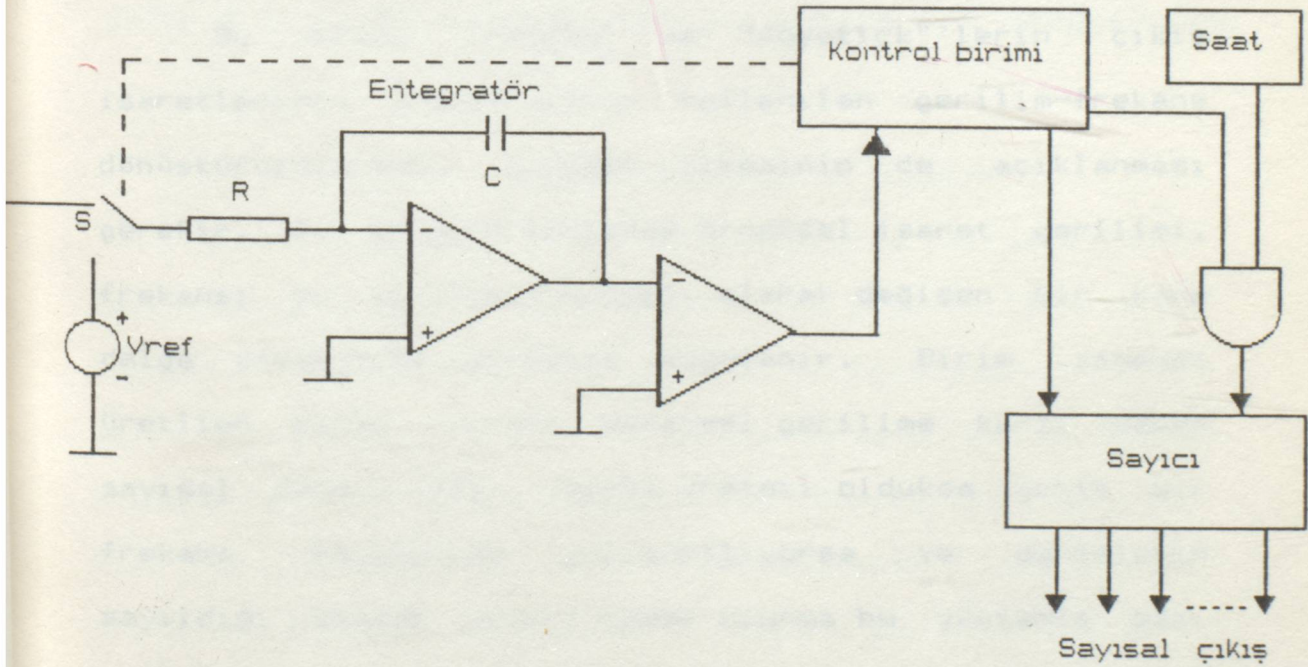


Sekil 2-2.1 Testere dişi yöntemi (Single slope)

Sekil 2 -2.2'de görülen entegrasyon (Dual slope) tipi dönüştürücüde sayıcının sıfırdan son değerine saymasına kadar geçen süre için giriş geriliminin entegrali alınır. Daha sonra sayıcı sıfırlanır ve entegratörün girişi bir referans kaynağına bağlanır. Kondansatörün boşalması sırasında sayıcı tekrar sıfırdan başlayarak sayar. Entegratörün çıkış gerilimi sıfırdan geçtiği anda sayıcı durdurulur . Böylece belirlenen boşalma süresi, ölçülmek istenen gerilimle orantılıdır. Bu dönüştürme yönteminin üstünlüğü, saat frekansı ile RC zaman sabitinin yalnızca dönüştürme süresince sabit kalmasının yeterli olmasıdır. Bu nedenle eleman

değerlerinde meydana gelebilecek değişimler devrenin çalışmasını etkilemez. Diğer bir avantaj, dönüştürme süresinin saat frekansı yardımı ile seçilebilmesidir. Ölçülecek gerilime bozucu işaretler karışıyorsa (50 Hz gibi), entegrasyon süresinin bozucu işaret periyodunun tam katı olarak seçilmesi bu bozucunun etkisini ortadan kaldırabilir.

Entegral alan yöntemlerin daha başka çeşitleri de kullanılırlar. Örnek olarak "Dual-slope" yönteminde otomatik dengeleme veya entegrasyon yönteminde ortaya çıkan bazı hataların giderilmesini sağlayan çift entegrasyon (Quad-slope) yöntemi gösterilebilir.

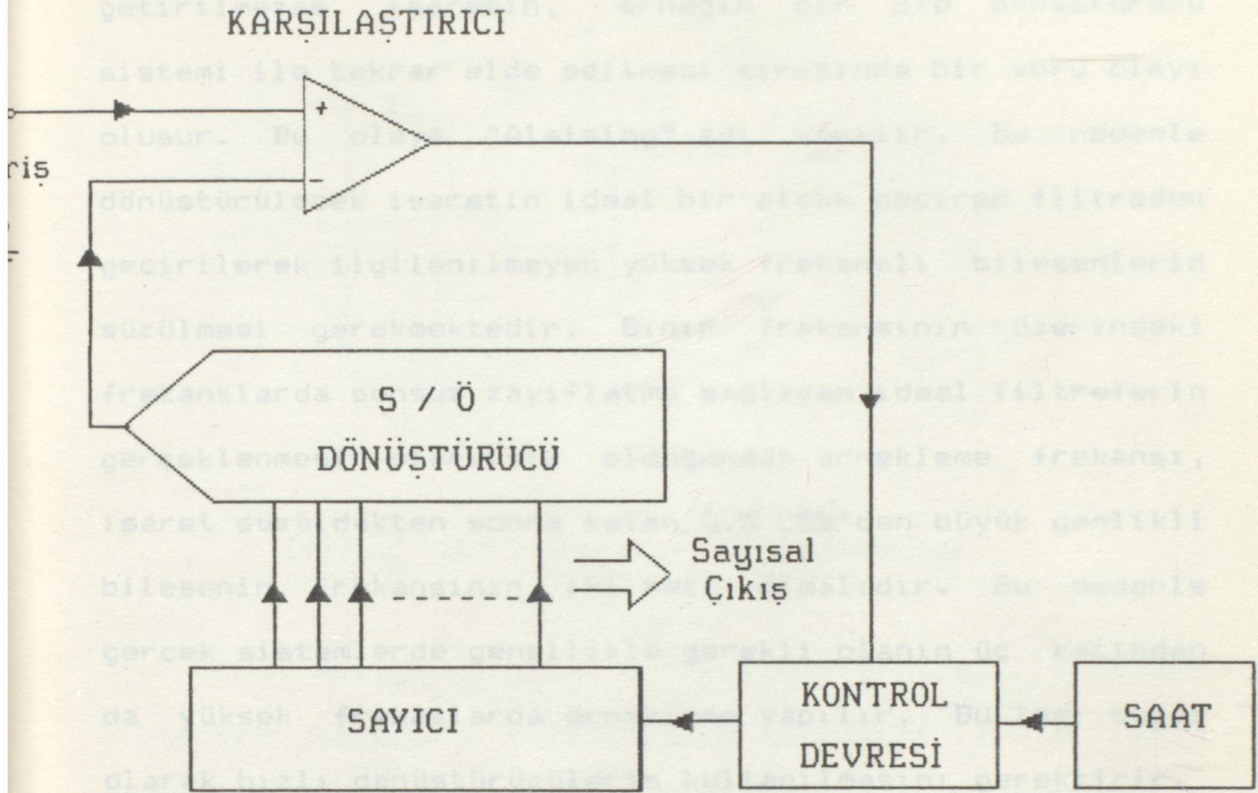


Şekil 2 -2.2 Entegrasyon yöntemi (Dual slope)

2 -2.2 BASAMAK YÖNTEMİ

Bu yöntem daha hızlı dönüştürme yöntemlerinden birisidir. Dönüştürücü devresinin yapı elemanları Şekil 2 -2.3'de görüldüğü üzere, karşılaştırıcı, sayıcı ve S/ö dönüştürücüdür (DAC). Ölçülecek gerilim ile S/ö dönüştürücünün girişi sıfırdan başlayarak sayan bir sayıcı tarafından belirlenir. Böylece S/ö dönüştürücünün çıkış gerilimi her saat çevriminde bir LSB kadar artar. Dönüştürücünün çıkış gerilimi dönüştürülecek olan değere ulaştığında sayıcı durdurularak değeri okunur. Saat frekansının üst sınırı S/ö dönüştürücünün yereşim süresi tarafından belirlenir. Bu nedenle dönüştürme hızı entegral alan yöntemlere göre daha yüksek olmasına rağmen daha düşük ayırd edilebilirlikle yetinilmek zorundadır.

Bu arada "Paddle" ve "Joystick"lerin çıkış işaretlerinin üretilmesinde kullanılan gerilim-frekans dönüştürücülerinin çalışma ilkesinin de açıklanması gerekir. Bu dönüştürücülerde örneksel işaret gerilimi, frekansı bu gerilimle orantlı olarak değişen bir kare dalga üreticinin girişine uygulanır. Birim zamanda üretilen darbe sayısı örneksel gerilime karşı düşen sayısal değeri verir. Darbe üretici oldukça geniş bir frekans bölgesinde çalışabiliyorsa ve darbelerin sayıldığı sürede yeteri kadar uzunsa bu yöntemle bazı amaçlar için oldukça duyarlı dönüştürücüler oluşturulabilir.



Şekil 2 -2.3 : Basamak Yöntemi ile çalışan Ö/S dönüştürücü

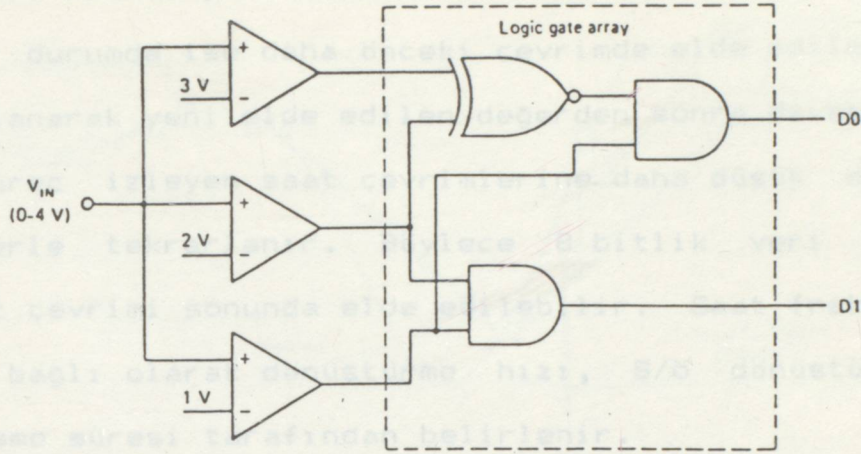
2 -2.3 ZAMANLA DEĞİŞEN İŞARETLERİN ÖLÇÜLMESİ

Sabit kabul edilebilir büyüklüklerin ölçülmesinden farklı olarak işaret işleme amacı ile yapılan ölçümlerde işaretin zamanla değişiminin olabildiğince doğru olarak belirlenmesi hedef alınır. Bu arada herhangi bir bilginin kaybolmaması veya değişmemesi için, dönüştürücü sistemin bazı temel koşullara uyması gerekmektedir. Shannon'un örnekleme teoremine göre eğer örnekleme periyodu işaretin en yüksek frekanslı bileşeninin periyodunun yarısı ise işaret bozulmadan tekrar elde edilebilir. Bu koşul yerine

getirilmezse işaretin, örneğin bir S/ö dönüştürücü sistemi ile tekrar elde edilmesi sırasında bir vuru olayı oluşur. Bu olaya "Alaising" adı verilir. Bu nedenle dönüştürülecek işaretin ideal bir alçak geçiren filtreden geçirilerek ilgilenilmeyen yüksek frekanslı bileşenlerin süzülmesi gerekmektedir. Sınır frekansının üzerindeki frekanslarda sonsuz zayıflatma sağlayan ideal filtrelerin gerçekleşmesi olanaksız olduğundan örnekleme frekansı, işaret süzüldükten sonra kalan 0.5 LSB'den büyük genlikli bileşenin frekansının iki katı olmalıdır. Bu nedenle gerçek sistemlerde genellikle gerekli olanın üç katından da yüksek frekanslarda örnekleme yapılır. Bu ise doğal olarak hızlı dönüştürücülerin kullanılmasını gerektirir.

2 -2.4 HIZLI DÖNÜŞTÜRME YÖNTEMLERİ

Kullanılan en hızlı dönüştürme yöntemi şekil 2-2.4 de görülen paralel (Flashing) yöntemdir. Bu yöntemde işaret, her karşılaştırıcının eşik değerinin bir ölçek basamağına karşı düştüğü paralel karşılaştırıcı dizisine uygulanır ve hangi karşılaştırıcıların çıkışlarının lojik "1" seviyesini aldığı belirlenir. Bu çıkışlar bir kod çözücüye uygulanarak sayısal veri sözcüğü tek adımda elde edilir. Bu tür dönüştürücülerin gerçekleşmesi devre tekniği açısından oldukça masraflıdır. Altı bitlik bir dönüştürücü için toplam 63 adet karşılaştırıcının kullanılması gerekir, ancak dönüştürme süresi de 20 - 50 nS gibi küçük bir değerdedir.

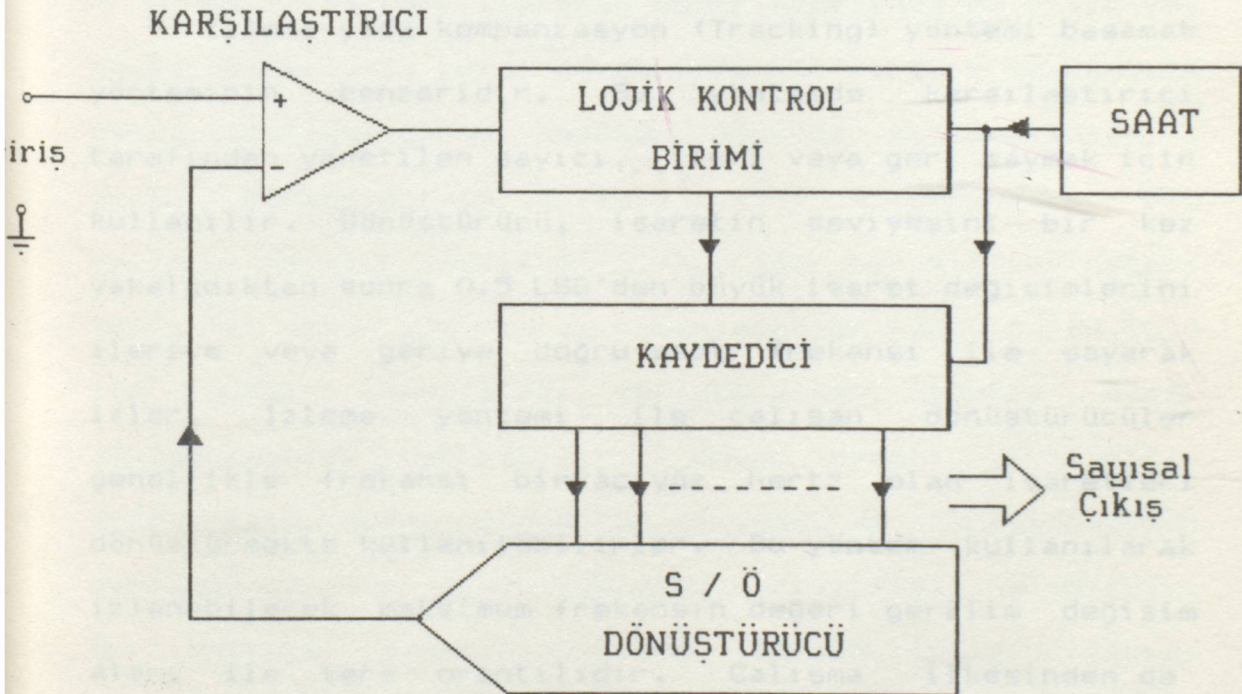


Şekil 2 -2.4 : Paralel Dönüştürücü

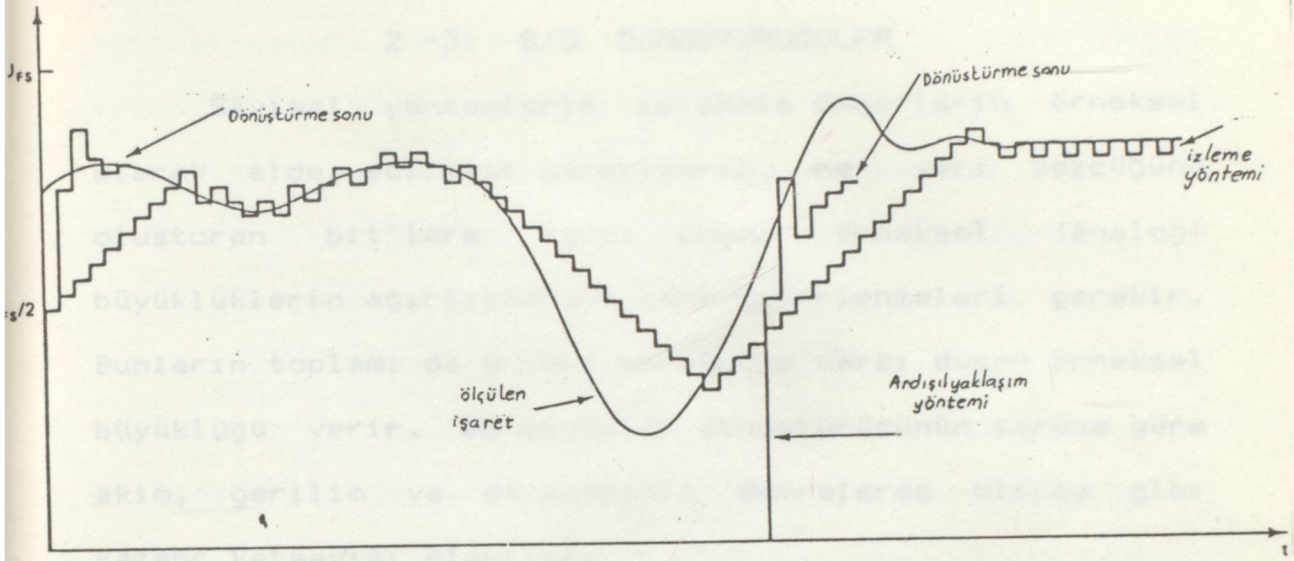
En yaygın olarak kullanılan yöntem, az bir lineerlik sapması, yüksek ayırd edilebilirlik ve kısa dönüştürme süreleri sağlayan ardışıl yaklaşım (Successive approximation) yöntemidir. Şekil 2 -2.5'de verilen blok şemada görüldüğü üzere dönüştürücü, karşılaştırıcı, saat darbesi ile yönetilen bir kontrol birimi, bir kaydedici (register) ve bir S/ö dönüştürücünden oluşur. Dönüştürme işleminin başında ilk saat darbesi ile en yüksek değerli bit (MSB) lojik "1" seviyesine getirilerek diğer bitler sıfırlanır. Bu değer S/ö dönüştürücünün girişine uygulanır. S/ö dönüştürücünün çıkışında, bu değere karşı düşen gerilim elde edilerek karşılaştırıcıda giriş gerilimi ile karşılaştırılır. Girişteki işaret gerilimi, S/ö dönüştürücünün çıkış geriliminden büyük ise karşılaştırıcı çıkışı "1", küçük ise "0" seviyesini alır. Karşılaştırıcının çıkışının "1" olduğu durumda bir önceki

çevrimin sonucu yeni elde edilen sayısal değere eklenir. Diğer durumda ise daha önceki çevrimde elde edilen değer sıfırlanarak yeni elde edilen değerden sonra devam edilir. Bu süreç izleyen saat çevrimlerine daha düşük değerli bit'lerle tekrarlanır. Böylece 8 bitlik veri sözcüğü 8 saat çevrimi sonunda elde edilebilir. Saat frekansı ve buna bağlı olarak dönüştürme hızı, S/ö dönüştürücünün yerleşme süresi tarafından belirlenir.

İzleme ve ardışıl yaklaşım yöntemleri ile zamanla değişen işaretlerin ölçülmesine ait örnek dalga şekilleri şekil 2 -2.6'da gösterilmiştir.



Şekil 2 -2.5 : Ardışıl yaklaşım yöntemi ile çalışan bir Ö/S Dönüştürücünün blok şeması



Şekil 2 -2.6 : Ardışıl yaklaşım ve izleme yöntemi ile çalışan Ö/S dönüştürücülerin zamanla değişen işaretleri ölçmesine ait örnek

İzleme yada kompanzasyon (Tracking) yöntemi basamak yönteminin benzeridir. Bu yöntemde karşılaştırmacı tarafından yönetilen sayıcı, ileri veya geri saymak için kullanılır. Dönüştürücü, işaretin seviyesini bir kez yakaladıktan sonra 0.5 LSB'den büyük işaret değişimlerini ileriye veya geriye doğru saat frekansı ile sayarak izler. İzleme yöntemi ile çalışan dönüştürücüler genellikle frekansı birkaç yüz hertz olan işaretleri dönüştürmekte kullanılabilirler. Bu yöntem kullanılarak izlenebilecek maksimum frekansın değeri gerilim değişim alanı ile ters orantılıdır. Çalışma ilkesinden de anlaşılacağı gibi bu dönüştürücüler çok kanallı veri sistemlerinde kullanılmaya elverişli değildirler.

edilebilirliği 2 -3. S/Ö DÖNÜŞTÜRÜCÜLER

Sayısal yöntemlerle işlenmiş değerlerin örneksel olarak elde edilmesi gerekiyorsa, her veri sözcüğünü oluşturan bit'lere karşı düşen örneksel (analog) büyüklüklerin ağırlıklarına göre belirlenmeleri gerekir. Bunların toplamı da 0 veri sözcüğüne karşı düşen örneksel büyüklüğü verir. Bu büyüklük dönüştürücünün türüne göre akım, gerilim ya da çarpmalı devrelerde olduğu gibi kazanç katsayısı olabilir.

edilebilirliği 2 -3.1 DÖNÜŞTÜRME YÖNTEMLERİ

Aşağıdaki açıklamalarda akım yada gerilim çıkışlı dönüştürücüler esas alınmışlardır.

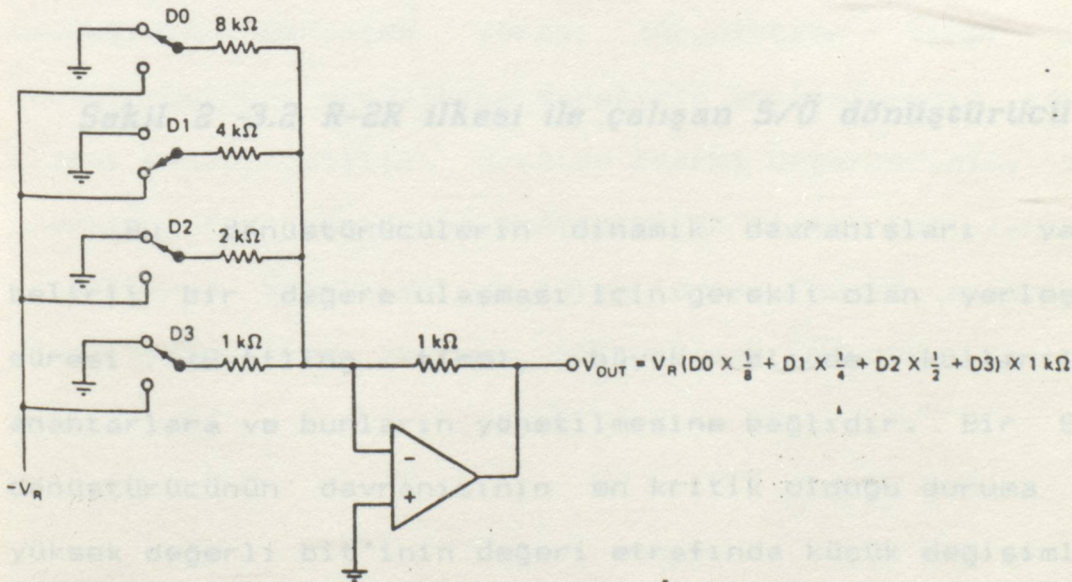
Top Ağırlıklı gerilimlerin belirlenmesinde en basit yol giriş dirençleri, karşı düşen veri bit'lerinin ağırlığına göre düzenlenmiş bir toplama devresi kullanılmasıdır. Giriş dirençlerinin sayısı, veri sözcüğündeki bit sayısına eşittir (Şekil 2 -3.1). Eğer bir bit'in değeri lojik "1" ise, 0'a karşı düşen anahtar kapanır. Bu ilke ile ancak kararlılığı ve doğruluğu oldukça düşük dönüştürücüler yapılabilir. Bunun nedeni kullanılan dirençlerin doğruluğunun tam olmaması ve dönüştürücünün parametrelerinin sıcaklığa sıkı sıkıya bağlı olmasıdır. Bu sakınca özellikle ayırd edilebilirliği yüksek dönüştürücülerin yapımında belirginleşir. Burada dirençlerin değerleri 2^n faktörü ile belirlenir ve yüksek değerli dirençlerin istenilen doğrulukta imal

edilebilmeleri pratik olarak imkansızdır. Bir diğer sakınca kuvvetlendirici katın giriş direnci ile referans kaynağının yük direncinin sabit olmamalarıdır. Bu ise sistemin dinamik davranışını olumsuz yönde etkiler.

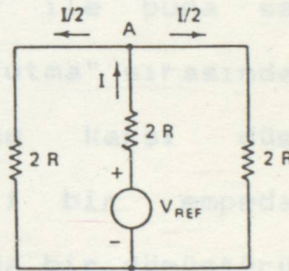
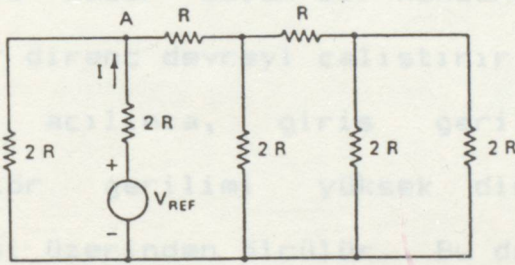
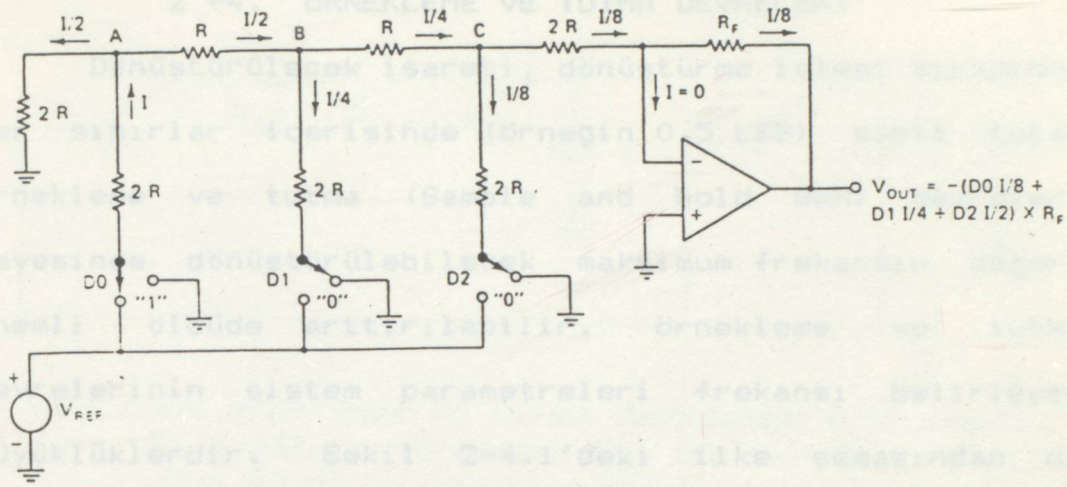
Günümüzde en yaygın olarak kullanılan yöntem, şekil 2 -3.2'de prensip şeması ve eşdeğer devresi gösterilen R-2R basamaklı devresinden yararlanarak geliştirilmiş gerilim bölücü ilkesine dayanır. Bu yöntem diğer yönteme göre daha kararlıdır ve yüksek ayırd edilebilirlik'te dönüştürücüler yapılmasına olanak verir.

R - 2R Yönteminin en önemli özellikleri şunlardır.

- Referans kaynağın yük direnci (R) sabittir.
- Toplayıcının giriş direnci sabittir.
- R dirençlerinin değerleri değişse bile hepsi aynı oranda değişeceğinden çıkışı etkilemez.



Şekil 2 -3.1 İkili ağırlıklandırılmış toplayıcı ilkesi ile çalışan S/Ö dönüştürücünün basitleştirilmiş şeması

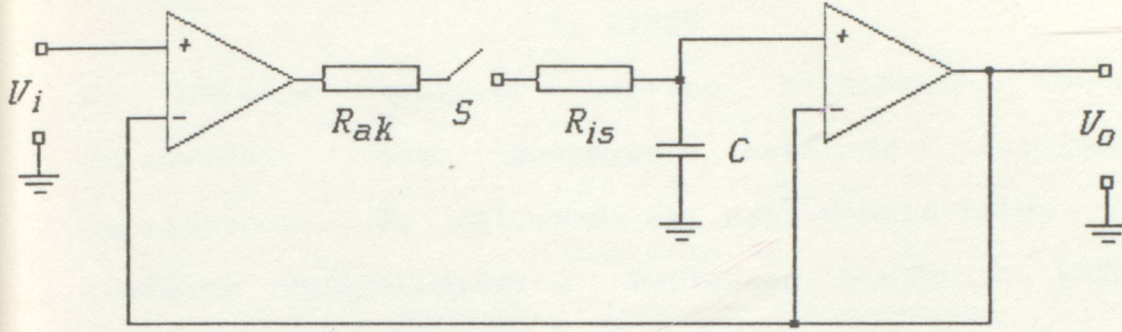


Şekil 2 -3.2 R-2R ilkesi ile çalışan S/Ö dönüştürücü

Bu dönüştürücülerin dinamik davranışları yani belirli bir değere ulaşması için gerekli olan yerleşme süresi (Settling time), büyük ölçüde kullanılan anahtarlara ve bunların yönetilmesine bağlıdır. Bir S/Ö dönüştürücünün davranışının en kritik olduğu duruma en yüksek değerli bit'inin değeri etrafında küçük değişimler söz konusu olduğu zaman rastlanır. Çünkü bu durumda tüm anahtarlar aynı anda konum değiştirmektedirler.

2 -4. ÖRNEKLEME VE TUTMA DEVRELERİ

Dönüştürülecek işareti, dönüştürme işlemi sırasında dar sınırlar içerisinde (örneğin 0.5 LSB) sabit tutan örnekleme ve tutma (Sample and hold S&H) devreleri sayesinde dönüştürülebilecek maksimum frekansın değeri önemli ölçüde arttırılabilir. Örnekleme ve tutma devrelerinin sistem parametreleri frekansı belirleyen büyüklüklerdir. Şekil 2-4.1'deki ilke şemasından da anlaşılacağı gibi örnekleme sırasında giriş işaretinin seviyesine kadar dolan bir kondansatör ile buna seri bağlı bir direnç devreyi çalıştırır. "Tutma" sırasında S anahtarı açılınca, giriş gerilimine karşı düşen kondansatör gerilimi yüksek dirençli bir empedans çeviricisi üzerinden ölçülür. Bu durumda bir dönüştürücü sisteminin maksimum örnekleme hızı, örnekleme ve tutma devresinin yerleşme süresi (Acquisition time) ile dönüştürücünün dönüştürme süresinin toplamalarının tersi olarak hesaplanabilir. Ölçülen işaret değerlerinin, tam olarak tutma komutunun verildiği an için belirlenmesi isteniyorsa örnekleme ve tutma devresindeki anahtarın açma-kapama süresi frekans belirleyici büyüklük haline gelir.



Şekil 2 -4.1 : Bir örnekleme ve tutma devresinin blok şeması.
 R_{is} anahtarın direncini, R_{ak} ise karşılaştırmacının çıkış direncini göstermektedir.

ÜÇÜNCÜ BÖLÜM

8255 VE DAC 1220' NİN TANITIMI

3. BİRİS

ÜÇÜNCÜ BÖLÜM

8255 VE DAC 1220' NİN TANITIMI

3. GİRİŞ

Bu bölümde tasarımı yapılan bilgisayar kartında kullanılan tüm devreler hakkında açıklamalar yapılacaktır. Bu çalışmada iki adet önemli işlev yapan tümdevre kullanılmıştır. Bunlardan birincisi 8855 A paralel mikroişlemci çevre birimidir. Temel olarak 3 çalışma mod'una sahip olan bu tümdevre ile bilgisayar sistemine giriş yapılabilir. Çalışma modları bu bölümde incelenmiştir. İkinci tümdevre ise DAC 1220 12 bit binary sayısal-örneksel dönüştürücüdür. Bu tümdevre iki değişik şekilde kullanılabilir. Bunlardan birincisi tek kutuplu dönüştürme şekli, ikincisi ise çift kutuplu dönüştürme şeklidir. Bu dönüştürme şekilleri ayrıntılı olarak bu bölümde anlatılacaktır.

Denetim grubu A - Port A ve Port C dışı (C7 - C4)

3 -1. 8255 A PROGRAMLANABİLİR PARALEL ÇEVRE ARA BİRİMİ

8255 A, Çevre elemanlarını mikrobilgisayar sistemine bağlamak için kullanılan çok yönlü bir arabirimdir. Herhangi bir giriş-çıkış cihazını dış sayısal devreye ihtiyaç göstermeden bilgisayar sistemine bağlayabilir. 8255'in işlevsel tanımlaması sistem yazılımına bağlı olarak giriş-çıkış alt programları ile yapılır. Şekil 3 -1.1'de 8255'in genel bağlantı şekli ve bacak bağlantıları verilmiştir.

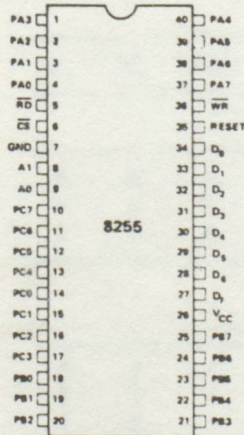
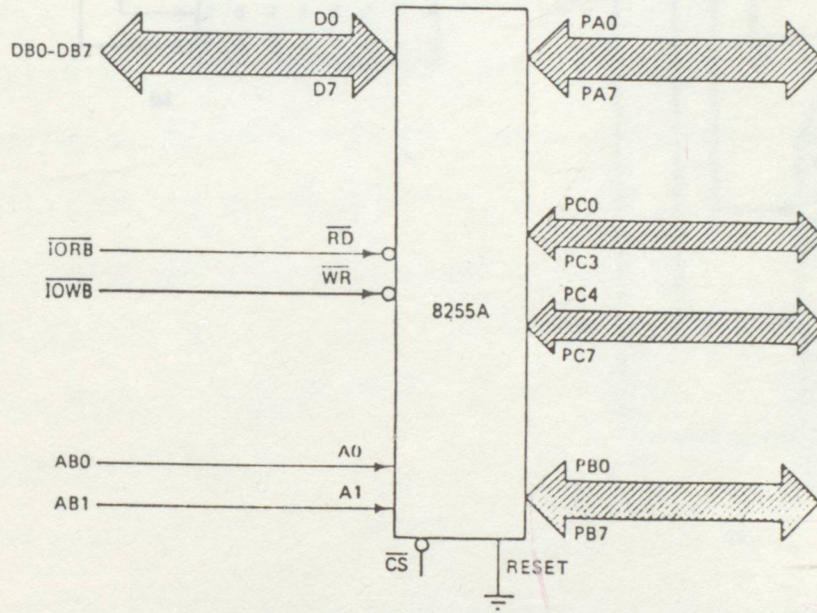
3 -1.1 8255'İN GENEL TANIMI

8255'in iki yönlü veri yolu vardır. Mikro işlemci ile 8255 arasındaki tüm haberleşmeler bu sekiz hat üzerinden yapılır. Gerçekte 8255 mikro işlemciye A0 ve A1 adres girişlerinin dört olasılığına karşı gelen dört giriş-çıkış bölgesi olarak görünür. Yani bellek haritasında dört byte'lık yer kaplar. Gösterilen port adresi kırmık seçme ($\overline{CS}$) girişi ile denetlenir. Ancak bu giriş "0" olduğunda 8255'e erişilebilir. RD "0" olduğunda üç veri portundan her biri, ilgili adresten okunabilir. Eğer A0 ve A1 girişlerinin her ikisi de "1" olursa denetim yazmacına (Control register) erişilebilir. Bu, cihazın çalışma modunu denetleyen 8255'deki özel bir bilgi yazmacıdır. Şekil 3 -1.2'de bu yazmacın iç yapısı görülmektedir. 8255 grup A ve grup B olmak üzere iki ana gruba ayrılmıştır.

Denetim grubu A - Port A ve Port C üst (C7 - C4)

Denetim grubu B - Port B ve Port C alt (C4 - C0)

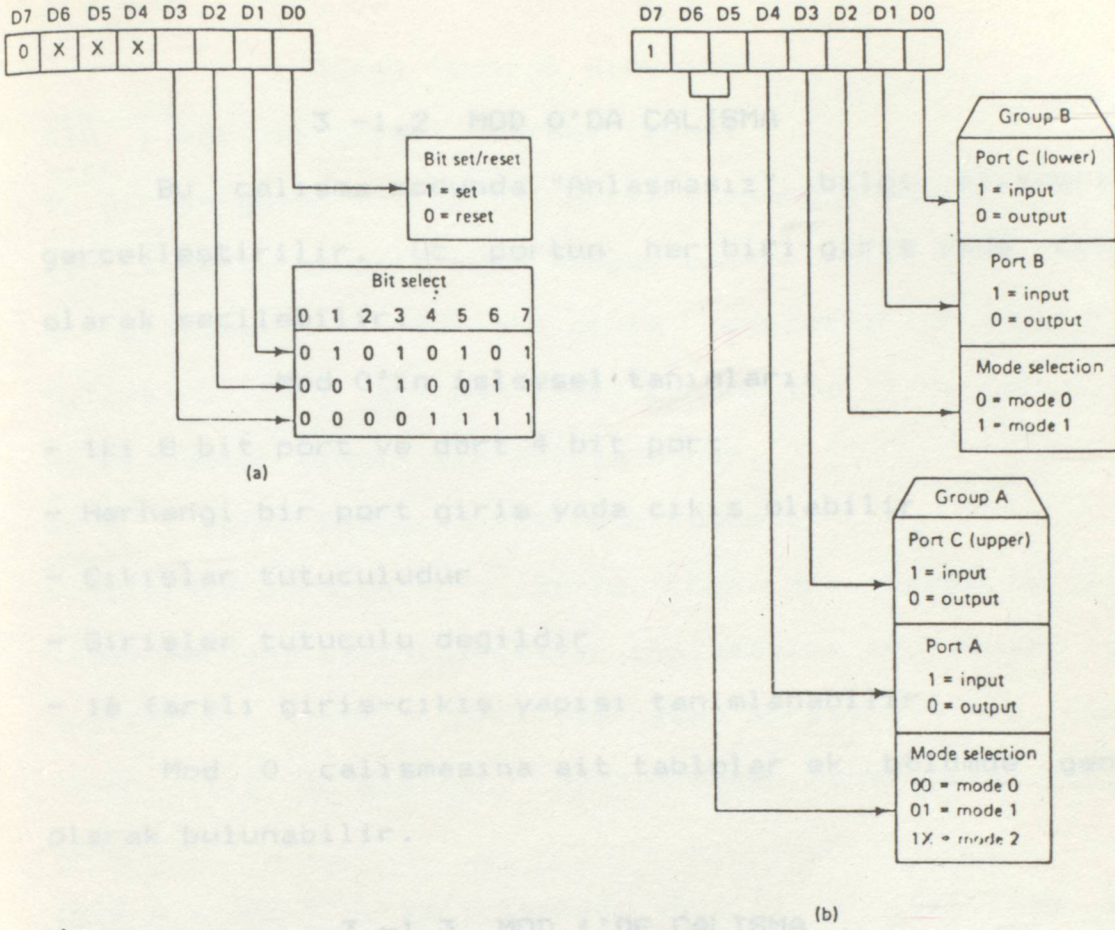
8255'in temel doğruluk tablosu şekil 3 -1.3'de verilmiştir.



PIN NAMES

D ₇ -D ₀	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A ₀ , A ₁	PORT ADDRESS
PA ₇ PA ₀	PORT A (BIT)
PB ₇ PB ₀	PORT B (BIT)
PC ₇ PC ₀	PORT C (BIT)
V _{CC}	+5 VOLTS
GND	0 VOLTS

Şekil 3 -1.1 8255'in genel bağlantı şekli ve bacak bağlantıları



Şekil 3 -1.2 Kontrol yazmacının iç yapısı

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
					Input operation (READ)
0	0	0	1	0	Port A $\rightarrow$ data bus
0	1	0	1	0	Port B $\rightarrow$ data bus
1	0	0	1	0	Port C $\rightarrow$ data bus
					Output operation (WRITE)
0	0	1	0	0	Data bus $\rightarrow$ port A
0	1	1	0	0	Data bus $\rightarrow$ port B
1	0	1	0	0	Data bus $\rightarrow$ port C
1	1	1	0	0	Data bus $\rightarrow$ control
					Disable function
X	X	X	X	1	Data bus $\rightarrow$ 3-state
1	1	0	1	0	Illegal condition
X	X	1	1	0	Data bus $\rightarrow$ 3-state

Şekil 3 -1.3 8255'in çalışma tablosu

3 -1.2 MOD 0'DA ÇALIŞMA

Bu çalışma modunda "Anlaşmasız" bilgi alışverişi gerçekleştirilir. Üç portun her biri giriş yada çıkış olarak seçilebilir.

Mod 0'ın işlevsel tanımları:

- İki 8 bit port ve dört 4 bit port
- Herhangi bir port giriş yada çıkış olabilir
- Çıkışlar tutuculudur
- Girişler tutuculu değildir
- 16 farklı giriş-çıkış yapısı tanımlanabilir

Mod 0 çalışmasına ait tablolar ek bölümde geniş olarak bulunabilir.

3 -1.3 MOD 1'DE ÇALIŞMA

Mod 1 anlaşmalı "Hand shaking" çalışma şeklidir. Bu modda port A ve port B bilgi alışverişi için, port C ise anlaşma sinyallerinin iletimi için kullanılır.

Mod 1'in işlevsel tanımları:

- İki grup vardır (grup A ve grup B)
- Her bir grup bir 8 bit veri portu ve bir 4 bit Kontrol/Veri portu içerir
- 8 bit veri portu giriş veya çıkış olabilir
- Girişler ve çıkışların hepsi tutuculudur
- 4 bit port, 8 bit veri portunu kontrol etmek için kullanılır

Giriş kontrol sinyalleri

STB : Yükleme girişi (strobe input)

Bu girişe gelen "0" veriyi giriş tamponuna yükler.

IBF : Giriş tamponu dolu (input buffer full)

Bu çıkıştaki "1" verinin giriş tamponuna yüklendiğini belirtir. IBF, STB'nin düşen kenarı ile "1"'e çıkar ve RD'nin düşen kenarı ile sıfıra döner.

INTR : Kesme isteği (interrupt request)

Bu çıkışta görülen "1", giriş cihazı ara vermek istediği zaman merkezi işlem biriminin çalışmasına ara vermek için kullanılır. INTR, INTE, ve IBF "1" ise STB'nin çıkan kenarı ile "1"'e çıkar, RD'nin düşen kenarı ile sıfıra döner.

INTE A : PC 4'ün sıfırlanması veya "1"'e çıkarılması ile

kontrol edilir.

INTE B : PC 2'nin sıfırlanması veya "1"'e çıkarılması ile

kontrol edilir.

Çıkış kontrol sinyalleri

DBF : Çıkış tamponu dolu (output buffer full)

Verinin seçilen porttan merkezi işlem birimine yazıldığını göstermek için bu çıkış "0"'a döner.

ACK : Bildirme girişi (acknowledge input)

Bu girişe, verinin port A veya port B den alındığını 8255'e bildirmek için "0" verilerek kullanılır.

INTR : Kesme isteği (interrupt request)

Bu çıkıştaki "1", merkezi işlem birimi tarafından

gönderilen veri bir çıkış elemanı tarafından tutulduğu zaman, merkezi işlem biriminin çalışmasına ara vermek için kullanılabilir. INTR, OBF ve INTE "1" olduğunda $\overline{\text{ACK}}$ 'nin düşen kenarı ile "1"'e çıkar WR'nin düşen kenarı ile "0"'a döner.

INTE A : PC 6'nın sıfırlanması veya "1"'e çıkarılması ile ----- kontrol edilir.

INTE B : PC 2'nin sıfırlanması veya "1"'e çıkarılması ile ----- kontrol edilir.

3 -1.4 MOD 2'DE ÇALIŞMA

Bu işlevsel yapı mikro işlemci ile çevre elemanı arasında tam bir bilgi alışverişini sağlamak için kullanılabilir. Tek 8 bit çift yönlü veri hattı kullanılarak bilgi verilir ve alınır. Anlaşma (hand shaking) sinyalleri Mod 1'de olduğu gibidir.

Mod "2"'nin işlevsel tanımları:

- Yalnızca grup A kullanılır
- Bir 8 bitlik çift yönlü yol (port A) ile bir 5 bitlik kontrol yolu (port C) kullanılabilir.
- Giriş ve çıkışların hepsi tutuculudur
- 5 bitlik kontrol portu 8 bit çift yönlü yol hattını kontrol etmek için kullanılır.

Çift yönlü yolun giriş-çıkış kontrol işaretleri:

INTR : Kesme isteği (interrupt request)

Bu çıkıştaki "1" seviyesi, merkezi işlem biriminin tüm giriş çıkış işlemlerini durdurmak için

kullanılabilir.

Cıkış konumunda çalışma işaretleri:

DBF : Cıkış tamponu dolu (output buffer full)

Merkezi işlem birimi veriyi port A'dan gönderdiği zaman bu çıkış "0" seviyesine düşer.

ACK : Bildirme (acknowledge)

Bu girişe verilen "0", bilginin port A'nın 3-konumlu çıkış tamponuna izin verilerek dışarı yollanması için kullanılır. Diğer halde çıkış tamponu yüksek iç direnç gösterir.

INTE 1 : PC 6'nın sıfırlanması veya "1"'e çıkarılması ile kontrol edilir.

Giriş konumunda çalışma işaretleri:

STB : İzin verme girişi (strobe input)

Bu girişe verilen "0", gönderilen veriyi giriş tutucu devresine yükler.

IBF : Giriş tamponu dolu (input buffer full)

Bu çıkıştaki "1" seviyesi, verinin giriş tamponuna yüklendiğini gösterir.

INTE 2 : PC 4'ün sıfırlanması veya "1"'e getirilmesi ile kontrol edilir.

8255'in çalışma modlarına ilişkin tablo ve şekiller daha ayrıntılı olarak ek bölümde bulunabilir.

3 -2. DAC 1220 12 BIT BINARY S/Ö DÖNÜŞTÜRÜCÜ

Bu çalışmada uygulaması yapılan devrede kullanılan S/ö (sayısal - örneksel) dönüştürücü 12 bit ayırd edilebilirlik sağlayan R - 2R tipi S/ö dönüştürücüdür. Çıkıştan dışarı verilen akım girişteki sayısal cümle ile orantılıdır. Kullanım yerine göre dışarıdan bir akım gerilim dönüştürücü bağlanarak gerilim çıkışı veren dönüştürücü olarak kullanılabilir. İki değişik çalışma şekli aşağıdaki açıklamalarda anlatılmıştır.

3 -2.1 DAC 1220'NİN KULLANIMI

Tek besleme gerilimi ile çalışan bu S/ö dönüştürücü dışarıdan bağlanan referans gerilimine bağlı olarak çıkış verir. R - 2R devresi silikon-krom dirençlerden oluşmuştur. Anahtar yapısı ise CMOS anahtar devrelerinden oluşmuştur. Bu anahtarlar seçilen girişe uygulanan sayısal "0" veya "1" seviyelerindeki gerilimlere göre konum değiştirerek 2R dirençlerini toprağa yada ortak bağlantı noktasına birleştirirler. Şekil 3 -2.1 ' de gösterilen iç şemada görüldüğü gibi SW 1'e verilen "1" seviyesi en yüksek değerli bit (MSB)'den Iout 1'e bir akmasına sebep olur. Sayısal giriş "0" olduğu zaman akım Iout 2'den akar. Eğer Iout 1 bir işlemsel kuvvetlendiricinin toplama noktasına Iout 2'de toprağa bağlanırsa "1" seviyesi, işlemsel kuvvetlendiricinin çıkışında :

$$-\left(\frac{V_{ref}}{10 K}\right) * (10 K) = -\frac{V_{ref}}{2}$$

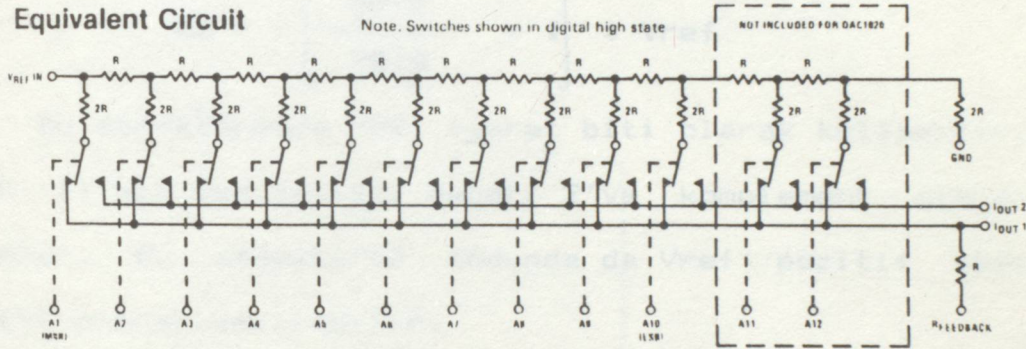
değerinde gerilim oluşmasına sebep olur. Bütün bitler "1" iken 10 V referans gerilimi altında çıkış:

$$-10 \times \frac{4095}{4096} = -9.9975 \text{ V}$$

olur.

Bütün bitler "0" olduğu zaman çıkış gerilimi de sıfır olur.

Equivalent Circuit

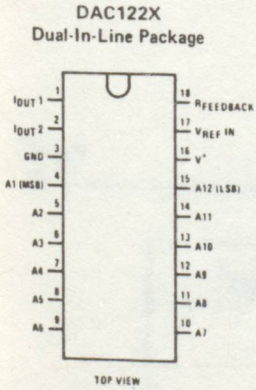


10-BIT D/A CONVERTERS

TEMPERATURE RANGE	0 C to 70 C	40 C to +85 C	55 C to +125 C
ACCURACY	0.05% DAC1020LCN AD7520LCN AD7530LCN	DAC1020LCD AD7520LCD AD7530LCD	DAC1020LD AD7520UD
	0.10% DAC1021LCN AD7520KCN AD7530KCN	DAC1021LCD AD7520KCD AD7530KCD	DAC1021LD AD7520TD
	0.20% DAC1022LCN AD7520JCN AD7530JCN	DAC1022LCD AD7520JCD AD7530JCD	DAC1022LD AD7520SD
PACKAGE OUTLINE	N16A	D16C	D16C

12-BIT D/A CONVERTERS

TEMPERATURE RANGE	0 C to 70 C	40 C to +85 C	55 C to +125 C
ACCURACY	0.05% DAC1220LCN AD7521LCN AD7531LCN	DAC1220LCD AD7521LCD AD7531LCD	DAC1220LD AD7521UD
	0.10% DAC1221LCN AD7521KCN AD7531KCN	DAC1221LCD AD7521KCD AD7531KCD	DAC1221LD AD7521TD
	0.20% DAC1222LCN AD7521JCN AD7531JCN	DAC1222LCD AD7521JCD AD7531JCD	DAC1222LD AD7521SD
PACKAGE OUTLINE	N18A	D18A	D18A



Şekil 3 -2.1 DAC 1220 12 bit S/Ö dönüştürücünün iç yapısı ve bacak bağlantıları

DAC 1220'nin en önemli uygulamaları, tek kutuplu S/Ö dönüştürücü (şekil 3 -2.2) ile çift kutuplu dönüştürücü (şekil 3 -2.3) dür.

Tek kutuplu dönüştürme : Çıkış gerilimi aşağıdaki bağıntıdan hesaplanabilir.

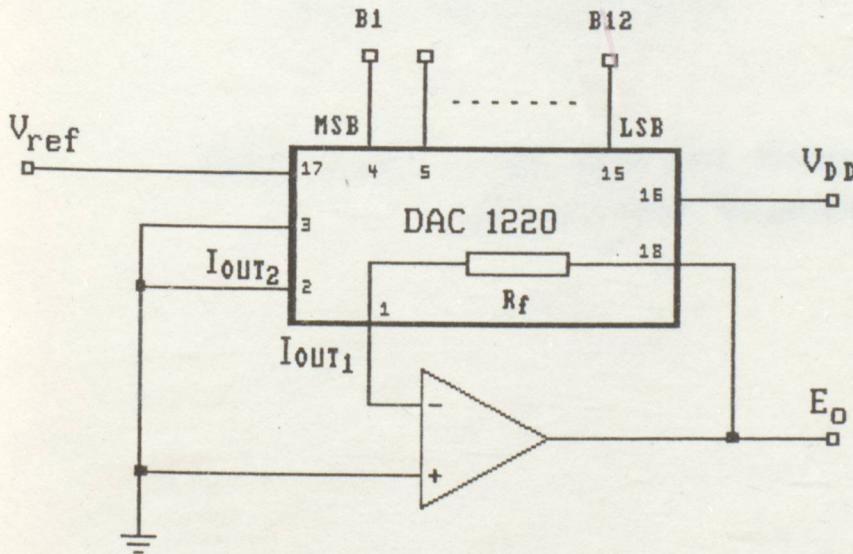
$$E_o = - \frac{N \text{ bin}}{4096} * V_{ref}$$

Burada V_{ref} pozitif yada negatif seçilebilir. Çıkış gerilimi $-0.99975 * V_{ref}$ ile 0 Volt arasında değişir.

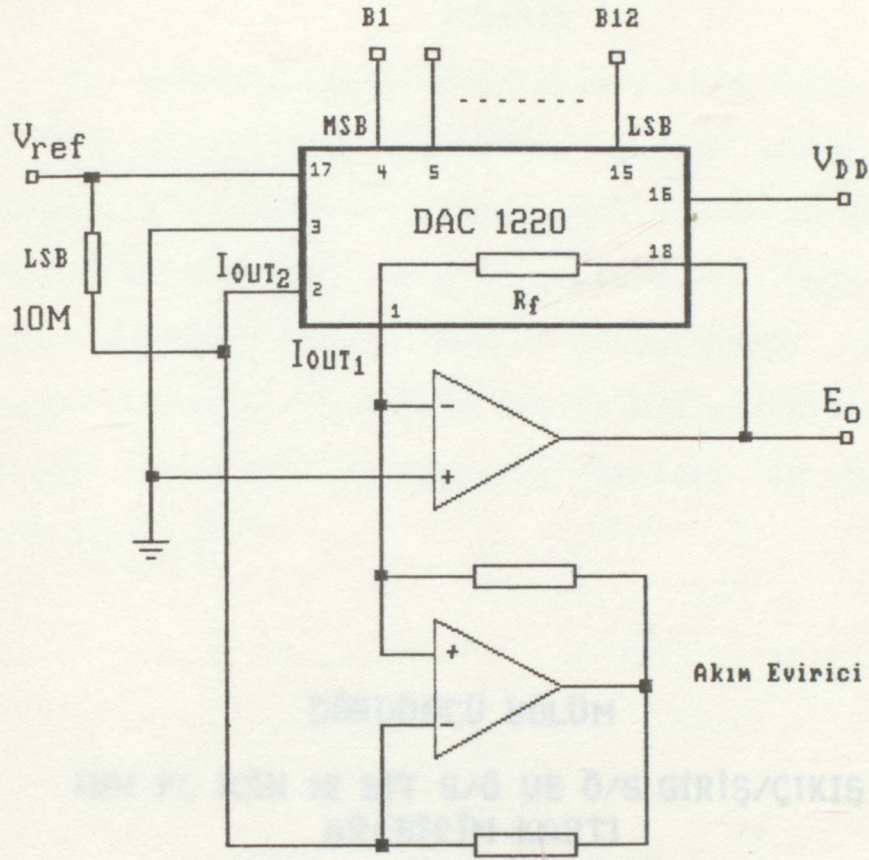
Çift kutuplu dönüştürme : Binary dönüştürme eşitliği aşağıdaki ifade de verilmiştir.

$$E_o = - \left[\frac{N_{bin}}{2048} - 1 \right] * V_{ref}$$

Bu dönüştürmede MSB, işaret biti olarak kullanılır. Diğer 11 bit ise sayısal değeri 2'ye komplement olarak tanımlar. Bu dönüştürme modunda da V_{ref} pozitif veya negatif olarak seçilebilir.



Şekil 3 -2.2 : DAC 1220 tek kutuplu binary S/Ö dönüştürücü uygulaması



Şekil 3 -2.3 : DAC 1220 Çift kutuplu S/Ö dönüştürücü uygulaması

4.3.1.1

Bu bölümde IBM PC bilgisayarı için 12 bit S/Ö ve Ö/S giriş/çıkış ve S/Ö dönüştürme kartına yapılmış değişiklikler ve ayrıca S/Ö dönüştürme kartından oluşan bir sistem kartına endüstriyel amaçlı giriş-çıkış kartı eklenmiştir. Bu kartın S/Ö ve Ö/S dönüştürme kartı ile çalışması için gerekli donanım ve yazılım desteği de bu bölümde anlatılmaktadır.

DÖRDÜNCÜ BÖLÜM

IBM PC İÇİN 12 BIT S/Ö VE Ö/S GİRİŞ/ÇIKIŞ ARABİRİM KARTI

4. GİRİŞ

Bu bölümde IBM PC bilgisayarı için tasarlanan S/ö ve ö/S dönüştürücü kartı'nın yapımı anlatılacaktır. Temelde S/ö dönüştürücü devresinden oluşan bu dönüştürücü kartına endüstriyel amaçlı giriş-çıkış kullanımlarına uygun olması için ö/S dönüştürücü özelliğide kazandırılmıştır. Bu kartın S/ö ve ö/S dönüştürücü olarak çalışma prensibi ve yazılım desteği de bu bölümde anlatılacaktır.

4 -1.1 DEVRENİN BLOK DİYAGRAMI

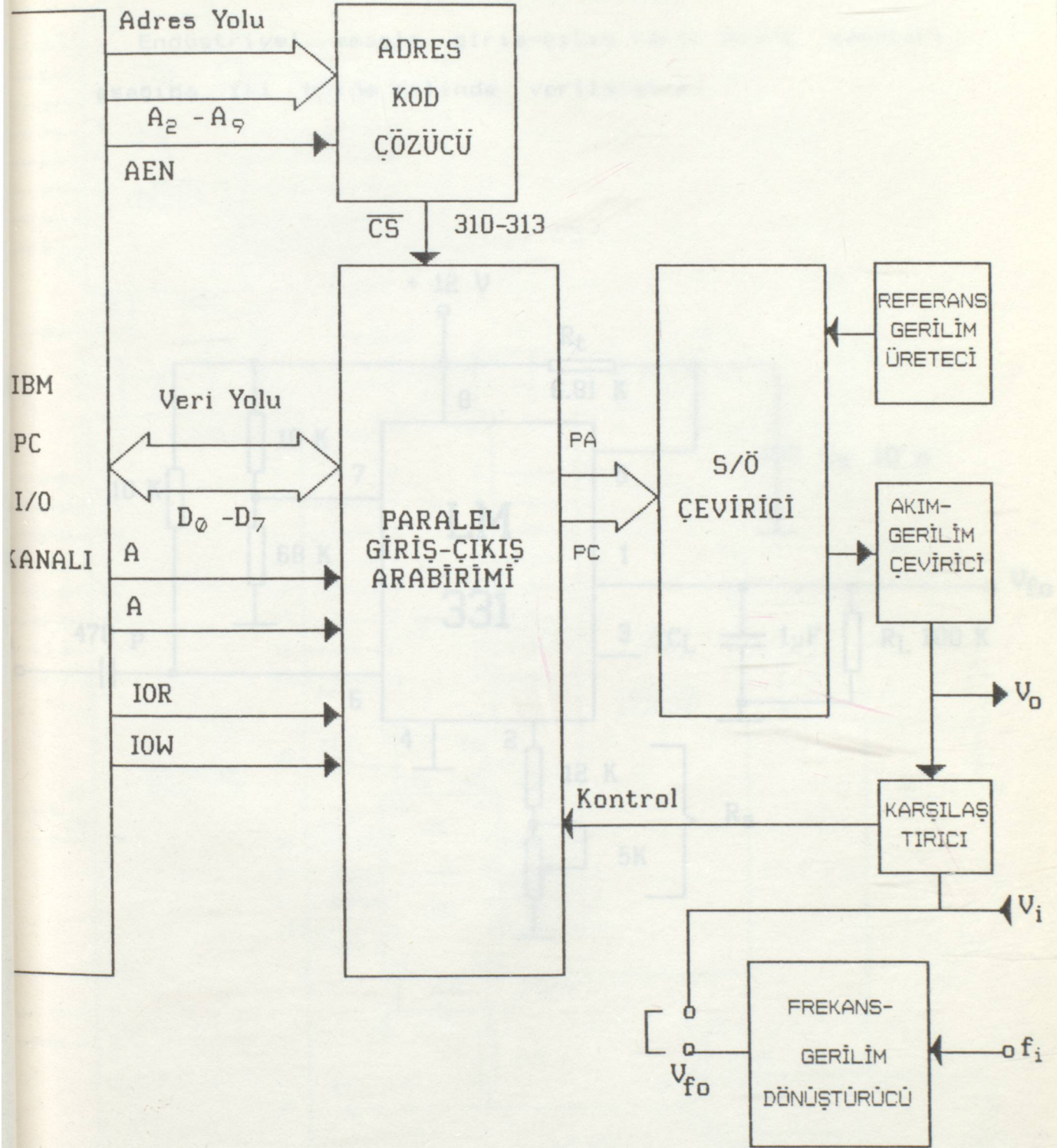
Sekil 4 -1.1'de görülen blok diyagramı, adres kod çıkışı, paralel giriş-çıkış devresi, S/ö dönüştürücü, referans gerilim üreteci, akım-gerilim dönüştürücü, frekans gerilim dönüştürücüden meydana gelmektedir. Devre IBM PC giriş-çıkış (I/O) biriminde dört byte yer kaplamaktadır. Yazılım bağlı olarak S/ö dönüştürücü (DAC) veya ö/S dönüştürücü (ADC) olarak kullanılabilir. Ayrıca devreye ilave edilen yüksek frekanslı olan frekans-gerilim dönüştürücü aracılığı ile 10 kHz'a kadar frekans değeri elde edilebilir.

4 -1. DEVRENİN GERÇEKLEŞTİRİLMESİ

IBM PC bilgisayarını için tasarlanan bu devre ile sayısal bir bilgisayar sistemine örneksel (analog) giriş yapılmış ve örneksel çıkış alınmıştır. Bu devrenin gerçekleştirilmesinde izlenen yol şu şekildedir: IBM PC bilgisayarının devre yapısının tanınması ve giriş-çıkış olanaklarının araştırılması, S/ö ve ö/S dönüştürücü sistemlerinin incelenmesi ve bu sistemlerin tümdevre haline getirilmiş olanlarının araştırılması, bilgisayara giriş-çıkış yapabilmek için adres kod çözücü devre tasarımı, mikro işlemci çevre birimi olarak kullanılacak tümdevrenin çalışma modlarının incelenmesi ve bu tümdevrenin hangi modda çalıştırılacağına karar verilmesi, son olarakta S/ö ve ö/S dönüştürücü devresinin tasarlanmasıdır.

4 -1.1 DEVRENİN BLOK DİYAGRAMI

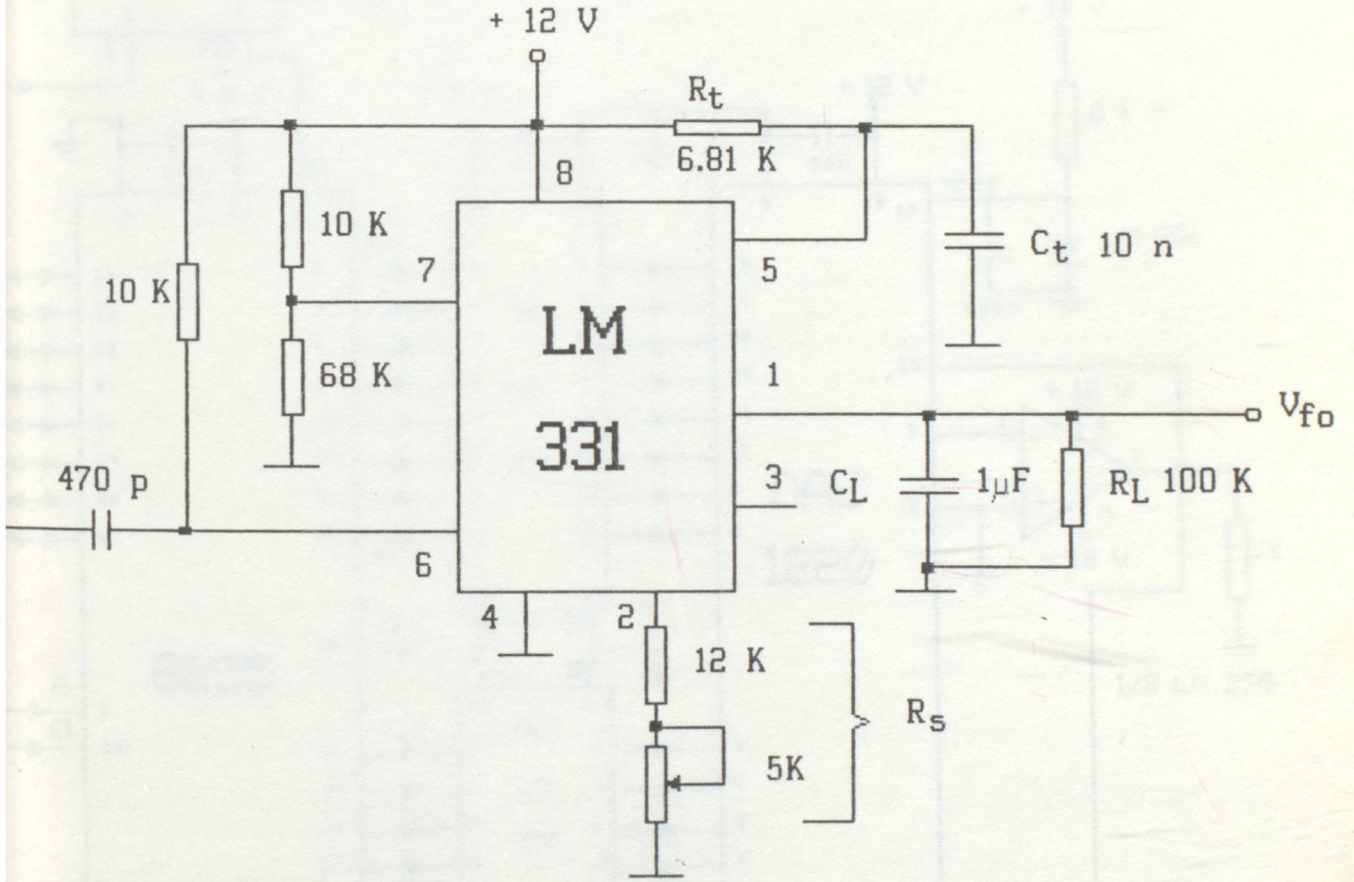
Şekil 4 -1.1'de görülen blok diyagramı, adres kod çözücü, paralel giriş-çıkış devresi, S/ö dönüştürücü, referans gerilim üretici, akım-gerilim dönüştürücü, karşılaştırıcı ve frekans gerilim dönüştürücüden meydana gelmiştir. Devre IBM PC giriş-çıkış (I/O) bellek haritasında dört byte yer kaplamaktadır. Yazılıma bağlı olarak S/ö dönüştürücü (DAC) veya ö/S dönüştürücü (ADC) olarak kullanılabilir. Ayrıca devreye ilave edilen yüksek kararlılığı olan frekans-gerilim dönüştürücü aracılığı ile 10 kHz'e kadar frekans değerleride ölçülebilir.



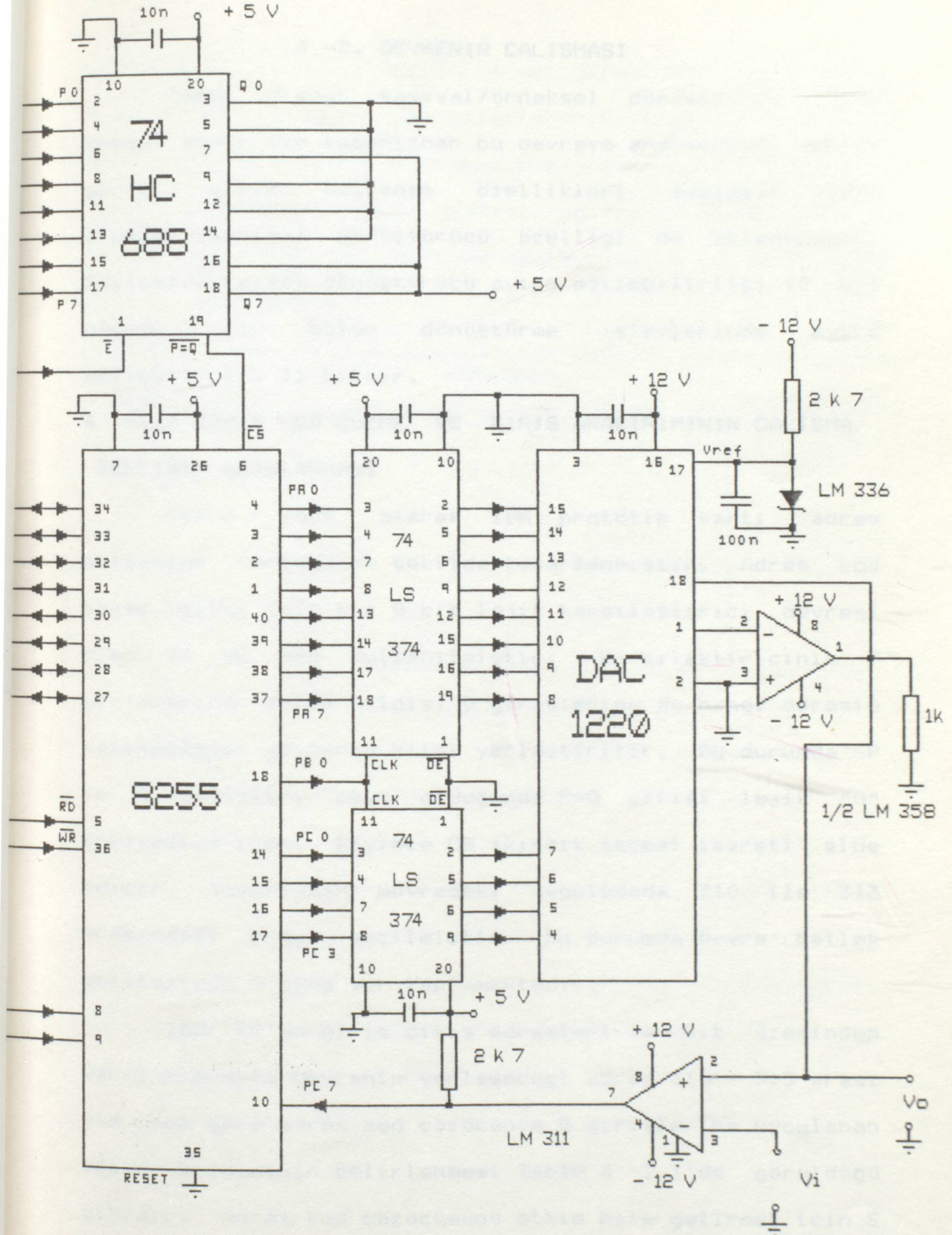
Şekil 4 -1.1 : Devrenin Blok Diagramı

4 -1.2 DEVRE ŞEMALARI

Endüstriyel amaçlı giriş-çıkış kartı devre şemaları aşağıda iki bölüm halinde verilmiştir.



Şema 1 : Frekans - Gerilim Dönüştürücü



Şema 2 : S/Ö Ö/S Dönüştürücü Devresi

4 -2. DEVRENİN ÇALIŞMASI

Temel olarak sayısal/örneksel dönüştürücü (DAC) yapmak amacı ile tasarlanan bu devreye endüstriyel amaçlı giriş çıkış kullanım özellikleri sağlamak için örneksel/sayısal dönüştürücü özelliği de eklenmiştir. Sayısal/örneksel dönüştürücü ayırd edilebilirliği 12 bit olduğu için bütün dönüştürme işlevlerinde ayırd edilebilirlik 12 bittir.

4 -2.1 ADRES KOD ÇÖZME VE GİRİŞ ARABİRİMİNİN ÇALIŞMA ŞEKLİNİN AÇIKLANMASI

Devre esas olarak IBM prototip kartı adres bölgesine yerleşecek şekilde tasarlanmıştır. Adres kod çözme işlemi için bir 8 bit lojik karşılaştırmacı devresi olan 74 HC 688 kullanılmıştır. Karşılaştırmacının P girişlerine adres bilgisi Q girişlerine de hangi adresin seçileceğini gösteren bilgi yerleştirilir. Bu durumda P ve Q girişleri eşit olduğunda $P=Q$ çıkışı lojik "0" seviyesine iner. Böylece CS (kırmık seçme) işareti elde edilir. Tasarlanan devredeki uygulamada 310 ile 313 arasındaki bölge seçilmiştir. Bu durumda devre bellek haritasında 4 byte yer kaplamaktadır.

IBM PC'de giriş çıkış adresleri 10 bit üzerinden verilmektedir. Devrenin yerleşeceği adres 310 - 313 arası olduğuna göre adres kod çözücünün Q girişlerine uygulanan adres bilgisinin belirlenmesi Tablo 4 -2.1'de görüldüğü gibidir. Adres kod çözücüsünü etkin hale getirmek için E

girişine lojik "0" seviyesi vermek gereklidir. Bu amaçla bilgisayar I/O çıkış işaretlerinden biri olan AEN komutu adres kod çözücünün E girişine bağlanmıştır. AEN'in lojik sıfır konumunda olduğu zamanlarda adres kod çözücü devresi aktif duruma geçer ve seçilen adres bölgesinde CS işareti elde edilir.

ONALTILIK	ADRESLER										ONDALIK
	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
310	1	1	0	0	0	1	0	0	0	0	784
311	1	1	0	0	0	1	0	0	0	1	785
312	1	1	0	0	0	1	0	0	1	0	786
313	1	1	0	0	0	1	0	0	1	1	787
Tablo 4 -2.1											

S/ö dönüştürücüye bilgi göndermek ve dönüştürme işlemlerini kontrol etmek amacı ile devreye paralel giriş-çıkış arabirimi 8255 konmuştur. Bu tüm devre daha önce açıklandığı üzere 3 temel çalışma moduna sahiptir. Burada kullanılan çalışma modu 0'ıncı moddur. Bu çalışma modunda veri yolundan S/ö dönüştürücüye bilgi aktarımı ve giriş-çıkış işaretlerinin kontrol edilmesi sağlanmıştır. Aşağıda 8255 çıkış portları ile kontrol yazmacının yerleştiği adresler gösterilmiştir.

16'lık	10'luk	
310	784	Port A
311	785	Port B
312	786	Port C

313

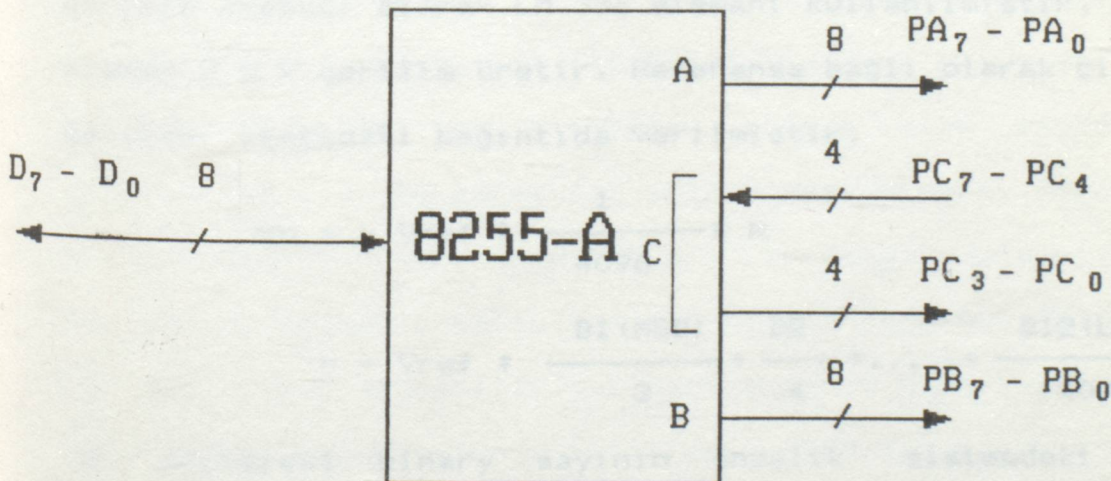
787

Kontrol yazmacı

8255'in hangi çalışma modunda kullanılacağı ve hangi portların giriş-çıkış olarak kullanılacağı kontrol yazmacına gönderilen bilgi ile belirlenmektedir. Buna göre S/Ö dönüştürücüye bilgi göndermek için A portu ve C portunun alt yarısı kullanılmıştır. C portunun üst yarısı ise ö/S çalışma konumunda karşılaştırıcının çıkışını kontrol etmek için kullanılmıştır. B portu ise daha sonra açıklanacak olan tutucu devrelerin çalışması için gereken saat darbelerini oluşturmak amacı ile kullanılır. 8255'in devrede kullanıldığı mod ve kontrol yazmacına verilen bilgi şekil 4 -2.1 de gösterilmiştir.

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0

$$\text{Kontrol cumlesi} = 4 = 2^7 + 2^3 = 136$$



Şekil 4 -2.1 : Devrede kullanılan 8255'in portlarının programlanması

4 -2.2 S/ö DÖNÜŞTÜRÜCÜ OLARAK ÇALIŞMA ŞEKLİ

S/ö dönüştürücü olarak kullanılan tüm devre 12 bit ayırd edilebilirliğe sahip binary girişli, akım çıkışlı bir dönüştürücüdür. Çalışma prensibi 3'üncü bölümde anlatılmıştır burada devredeki uygulaması hakkında bilgi verilecektir.

S/ö dönüştürücü, 8255 paralel giriş-çıkış çevre biriminin A portu ile C portunun üst yarısından aldığı bilgileri örneksel akıma dönüştürür. Dönüştürücü çıkışına bağlanan akım-gerilim dönüştürücü aracılığı ile girişteki sayıya karşı gelen gerilim değerleri elde edilmektedir. Girişteki sayı yazılan programa bağlı olarak bilgisayar tarafından belirlenmektedir. Örneğin bir motoron kontrolü, bir anahtarın açılıp kapanması gibi uygulamalar yazılım aracılığı ile yapılabilir.

S/ö dönüştürücünün tam ölçek gerilimi referans gerilim üretici tarafından belirlenmektedir. Referans gerilim üretici olarak LM 336 elemanı kullanılmıştır. Bu eleman 2.5 V gerilim üretir. Referansa bağlı olarak çıkış gerilimi aşağıdaki bağıntıda verilmiştir.

$$V_o = - V_{ref} * \frac{1}{4096} * N$$

$$= - V_{ref} * \frac{B_1(MSB)}{2} + \frac{B_2}{4} + \dots + \frac{B_{12}(LSB)}{4096}$$

N : girişteki binary sayının ondalık sistemdeki karşılığı.

B : girişteki binary sayıyı gösteren bitler. B1B12

Tam ölçek gerilimi ise :

$$V_{fs} = - \left[- 2.5 * \frac{4095}{4096} \right] = 2.49 \text{ V olur.}$$

Akım-gerilim dönüştürücü ise bir işlemsel kuvvetlendiricinin toplama devresi olarak kullanılması ile yapılmıştır. Bu devrenin çalışma prensibi girişine gelen akımı R_f direnci üzerinden akıtmasına dayanır. S/ö dönüştürücü çıkışındaki i akımını R_f direnci üzerinden akıtarak $i \cdot R_f$ gerilim değerini çıkış olarak verir. Bu devre LM 358 çift işlemsel kuvvetlendirici tüm devresi kullanılarak tasarlanmıştır.

Devrenin genel şemasından da görüldüğü gibi S/ö dönüştürücü ile paralel çevre arabirimi (8255) arasına konan 74 LS 374 tutucu devreleri, S/ö dönüştürme sırasında meydana gelebilecek gerilim sıçramalarını önlemek amacı ile kullanılmıştır. Bu devrelerin çalışması çift kuvvetlendirici tekniğine (Double buffering) dayanmaktadır. Bu teknik ile 8 bit'lik veri yolundan 12 bit'lik bilginin tek bir bütün olarak elde edilmesi sağlanmaktadır. Bu işlem iki adımda gerçekleşir. Birinci adımda 8255'in A portundan 8 bit'lik bilgi gönderilir. İkinci adımda ise C portu'nun alt yarısından (PC0-PC3) 4 bit'lik bilgi gönderilir. A portundan ve C portunun alt yarısından gönderilen bilgiler 8255'in çıkışında saklanır. Bundan sonra B portunun 0'ıncı çıkışından (PBO)

tutucu devrelere saat darbesi gönderilir. Saat darbesinin çıkan kenarı ile tetiklenen tutucu devreler 8255'in çıkışındaki 12 bitlik bilgiyi alarak S/ö dönüştürücü devresinin girişine uygularlar. Böylece S/ö dönüştürücü 12 bit'lik bilgiyi bir defada almış olacağı için çıkışında 12 bit'lik bilgi ile orantılı gerilim verir ve ani gerilim sıçramaları önlenmiş olur.

4 -2.3 Ö/S DÖNÜŞTÜRÜCÜ OLARAK ÇALIŞMA ŞEKLİ

Bu çalışmada tasarımı yapılan bilgisayar yazılımına dayalı S/ö ve ö/S dönüştürücü kartı, yazılım türüne göre izlemeli (tracking) ya da ardışıl yaklaşım (successive approximation) tekniğine göre çalışan ö/S dönüştürücülerin yapılmasına olanak verir. Bu işlem için gerekli yazılımlar yazılım desteği bölümünde anlatılacaktır.

ö/S dönüştürücüler bölümünde anlatılan " geri beslemeli " dönüştürücü türleri için bir S/ö dönüştürücü yerine göre bir sayıcı yada ötelemeli kaydedici ve bir karşılaştırmacı gerekmektedir. Devrede 12 bit'lik S/ö dönüştürücü kullanıldığı için ek bir karşılaştırmacı ile, sayıcı veya ardışıl yaklaşım kaydedicisi (SAR) yerine yazılımdan yararlanarak ö/S dönüştürücü uygulaması gerçekleştirilmiştir. Bu işlemden bilgisayar tarafından gönderilen sayısal bilgi S/ö dönüştürücü devresi tarafından örneksele gerilime dönüştürülür. Bu gerilim karşılaştırmacıda V_x gerilimi ile karşılaştırılır.

Karşılaştırıcının çıkışı 8255'in PB7 veri girişinden alınarak bilgisayar tarafından okunur. S/ö dönüştürücü girişine gönderilen sayısal değer V_x ile S/ö dönüştürücüden elde edilen gerilim eşit olana kadar değiştirilir. Karşılaştırıcı çıkışı sıfıra düştüğü ve 12 çevrim süren dönüştürme işlemi sonunda 1 LSB değişimine karşılık karşılaştırıcı çıkışının tekrar "1"'e çıktığı zaman V_x ile S/ö dönüştürücüye gönderilen sayısal değer birbiri ile orantılı olur. Bilgisayar tarafından gönderilen bu sayısal değer çeşitli amaçlar için örneksel (Analog) gerilimin karşılığı olarak kullanılabilir.

Devrede kullanılan karşılaştırıcı LM 311 tüm devresi kullanılarak tasarlanmıştır. Bu tümdevrenin çıkışı ile 8255 arasına seviye uygunluğu sağlamak amacı ile +5 V'a bağlı bir direnç konmuştur.

ö/S dönüştürücü girişine uygulanabilecek en fazla gerilim S/ö dönüştürücünün tam ölçek gerilimi olan 2.49 V değerini aşmamalıdır.

4 -2.4 FREKANS ÖLÇME

Tasarımı yapılan endüstriyel amaçlı S/ö ve ö/S dönüştürücü kartına ilave olarak 10 kHz'e kadar olan frekans değerlerini de ölçmek için frekans-gerilim dönüştürücü devresi de eklenmiştir. Bu devrede LM 331 tüm devresinden yararlanılmıştır. Bu tüm devre gerilim-frekans dönüştürücü olarak çalıştırıldığı gibi frekans-gerilim dönüştürücü olarak da çalıştırılabilmektedir.

Frekans-gerilim dönüştürme işlemi şu şekilde olmaktadır: Girişteki karşılaştırmacıya gelen darbeler karşılaştırmacı tarafından sıfır geçiş anlarında değişen kare dalga işarete dönüştürülür. Bu işaret bir darbe kontrollü akım kaynağına gönderilir. Akım kaynağının çıkışı girişe gelen darbelerin frekansında açılıp kapanır. Devrede bulunan toplama devresinin R_t direnci üzerine bağlanan akım kaynağının çıkışı bu direnç üzerinde frekansla orantılı gerilim darbeleri oluşturur. R_t direncine paralel bağlanan C_t kondansatörü bu darbeler ile sabit akımda dolarak üzerinde DC gerilim oluşturur. Bu gerilim değeri işlemsel kuvvetlendiricinin çıkışından alınabilir. Gerilim ifadesi aşağıdaki bağıntıdan bulunabilir.

$$V_o = F_{in} * \frac{R_1}{R_s} * 2.09V * (R_t * C_t)$$

Bu frekans-gerilim dönüştürücü ile maksimum 10 kHz'e kadar frekans değerleri ölçülebilir. Endüstriyel amaçlı denetim kartını frekans ölçmek amacı ile kullanabilmek için çıkış konnektöründeki V_{fo} çıkış ucunu V_i girişine bağlamak gerekir. Bu durumda ölçülecek işaret F_i girişinden girilmelidir. Gerilim ölçümü yapmak için ise V_i girişi kullanılmalıdır. Gerilim ölçümü yapılırken V_{fo} çıkışı ile V_i girişi birbirine bağlı olmamalıdır.

Tasarımı yapılan bu devrenin S/ö dönüştürücü (DAC) olarak kullanılması sırasında örneksel (analog) gerilim değerleri V_o çıkışından alınabilir.

4 -3. YAZILIM DESTEĞİ

Daha önceki bölümlerde açıklandığı gibi bilgisayar için hazırlanmış giriş-çıkış kartını kullanabilmek için yazılıma gerek vardır. Burada devreyi test etmek amacıyla yazılan programlar açıklanacaktır. Yazılan programlarda giriş-çıkış adresleri 784 (310) ile 787 (313) arasındadır. Bu adreslere hangi bilgilerin gönderilmesi gerektiği Tablo 4 -1.3'de gösterilmiştir.

ADRES		AÇIKLAMA
16'lı	10'lu	
310	784	A portuna gönderilen bilginin adresi
311	785	B portuna gönderilen bilginin adresi
312	786	C portuna gönderilen veya C portundan okunan bilginin adresi
313	787	Kontrol yazmacının adresi Buraya yalnızca bilgi yazılabilir.

Tablo 4 -3.1

Yazılan programlarda 12 bit'lik bilginin gönderilmesi için A portunun bulunduğu adres ve C portunun alt yarısının bulunduğu adres kullanılmalıdır. 12 bit'lik bilginin ilk 8 biti yani 'low byte'ı A portundan, son 4 biti ise C portundan sırayla S/Ö

dönüştürücüye gönderilmelidir.

4 -3.1 S/ö DÖNÜŞTÜRME PROGRAMLARI

S/ö Dönüştürme işlemi için yazılan program aracılığı ile bilgisayardan gönderilen sayısal bilgi hazırlanan dönüştürücünün Vo çıkışından örneksel (analog) olarak alınmıştır. Bu işlem için basamak gerilimi üretme programı yazılmıştır. BASIC dilinde yazılan program düşük hızda çalışmakla birlikte tasarımı yapılan devrenin test edilmesi için yeterlidir. Daha hızlı çalışan program örneği olarak Quick Basic'de yazılan program verilmiştir.

Aşağıdaki programlarda 8255 aracılığı ile S/ö dönüştürücüye bilgi göndermek için OUT komutu kullanılır. Bu komut ile 8 bit'lik bilgi, istenilen adresten I/O kanalı kullanılarak çıkarılabilir. Bu komut kullanılarak 8255'in programlanması yapılabilir. Yazılan programlarda OUT 787,136 komutu ile 8255'in kontrol yazmacına hangi mod'da çalışacağına ilişkin bilgi gönderilmektedir. Bu işlemden sonra S/ö dönüştürücüye bilgi göndermek amacı ile OUT 784,L ve OUT 786,H komutları kullanılmıştır. Daha önce çalışma şekli açıklanan tutucu devrelerin saat darbesinin üretilmesi amacı ile de OUT 785,0 ve OUT 785,1 komutları kullanılmıştır. Bu komutlar ile 8255'in giriş-çıkış portlarından gerekli bilgiler dönüştürme devresine gönderilmektedir.

4 -5.2 B/S DENEYİNE PROGRAMLARI

10 REM TESTERE DISI DALGA

20 CLS

30 OUT 787,136

40 K=0

50 I=0

60 OUT 785,0

70 OUT 784,I

80 I=I+1

90 IF I=256 THEN 130

100 OUT 786,K

110 OUT 785,1

120 GOTO 60

130 K=K+1

140 IF K=16 THEN 40

150 GOTO 50

REM TESTERE DISI DALGA

CLS

OUT 787,136

C K=0

D I=0

B OUT 785,0

OUT 784,I

I=I+1

IF I=256 THEN A

OUT 786,K

OUT 785,1

GOTO B

A K=K+1

IF K=16 THEN C

GOTO D

130 IF L=0 THEN H=H-1 AND L=1

140 IF L=256 THEN H=H+1 AND L=0

150 IF H=16 THEN H=0

160 S=256-H+L: S=S/256

170 LOCATE 3,5:PRINT S

180 LOCATE 3,11:PRINT H

190 LOCATE 3,16:PRINT L

200 GOTO 60

4 -3.2 Ö/S DÖNÜŞTÜRME PROGRAMLARI

Ö/S dönüştürme programları dönüştürücü tipine göre değişik şekillerde yazılabilir. Devrenin test edilmesi amacı ile izleme (tracking) ve ardışıl yaklaşım (successive approximation) yöntemlerine göre çalışan programlar yazılmıştır. Bu programlarda kullanılan adresler S/ö dönüştürme programlarında kullanılanlar ile aynıdır. Bilgisayarın dönüştürme işlemini kontrol etmesi için gereken bilgi 8255'in PC7 girişinden A=INP(786) komutu kullanılarak okunur. Bu bilginin değerine göre S/ö dönüştürücüye gönderilen sayısal bilgi kontrol edilir. Aşağıda ö/S dönüştürme işlemi için yazılan programlar verilmiştir.

```

10 REM TRACKING ADC
20 CLS
30 OUT 786,136
40 H=8
50 L=0
60 OUT 785,0
70 OUT 784,L
80 OUT 786,H
90 OUT 785,1
100 A=INP(786)
110 L=L+1
120 IF A>= 128 THEN L=L-1
130 IF L=0 THEN H=H-1 AND L=255
140 IF L=256 THEN H=H+1 AND GOTO 50
150 IF H=16 THEN H=8
160 S=256*H+L:S=S*2500/4096
165 LOCATE 3,6:PRINT"Vx="
170 LOCATE 3,11:PRINT USING "####";S
180 LOCATE 3,16:PRINT "mV"
190 GOTO 60

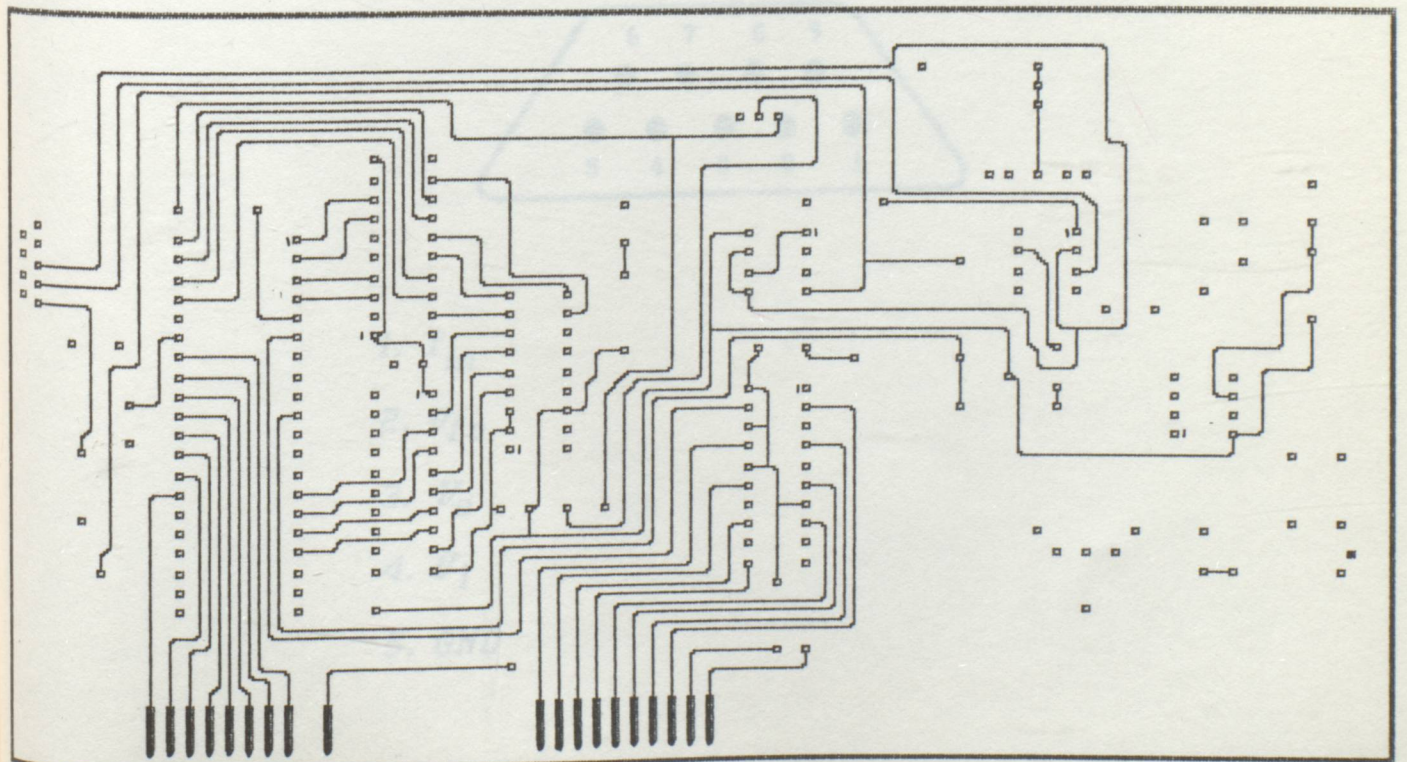
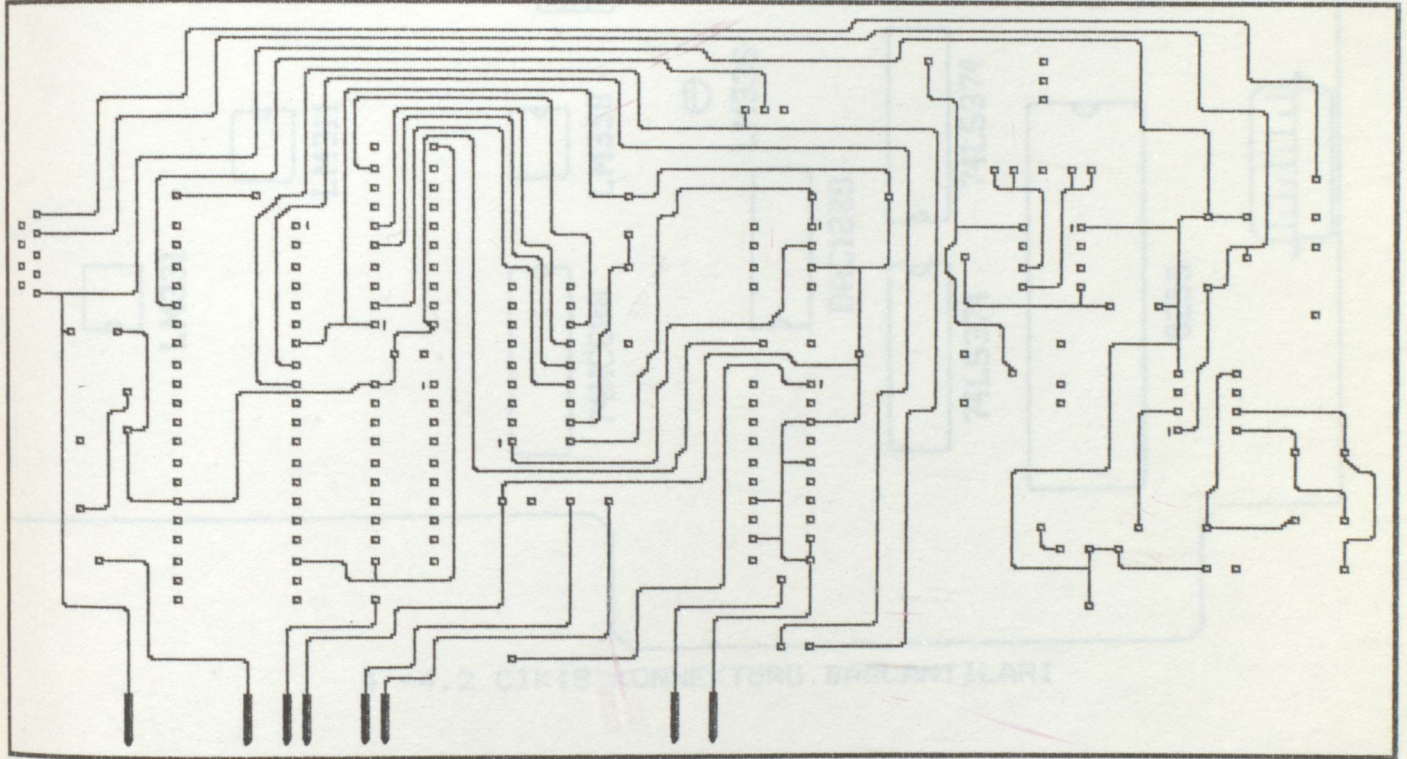
```



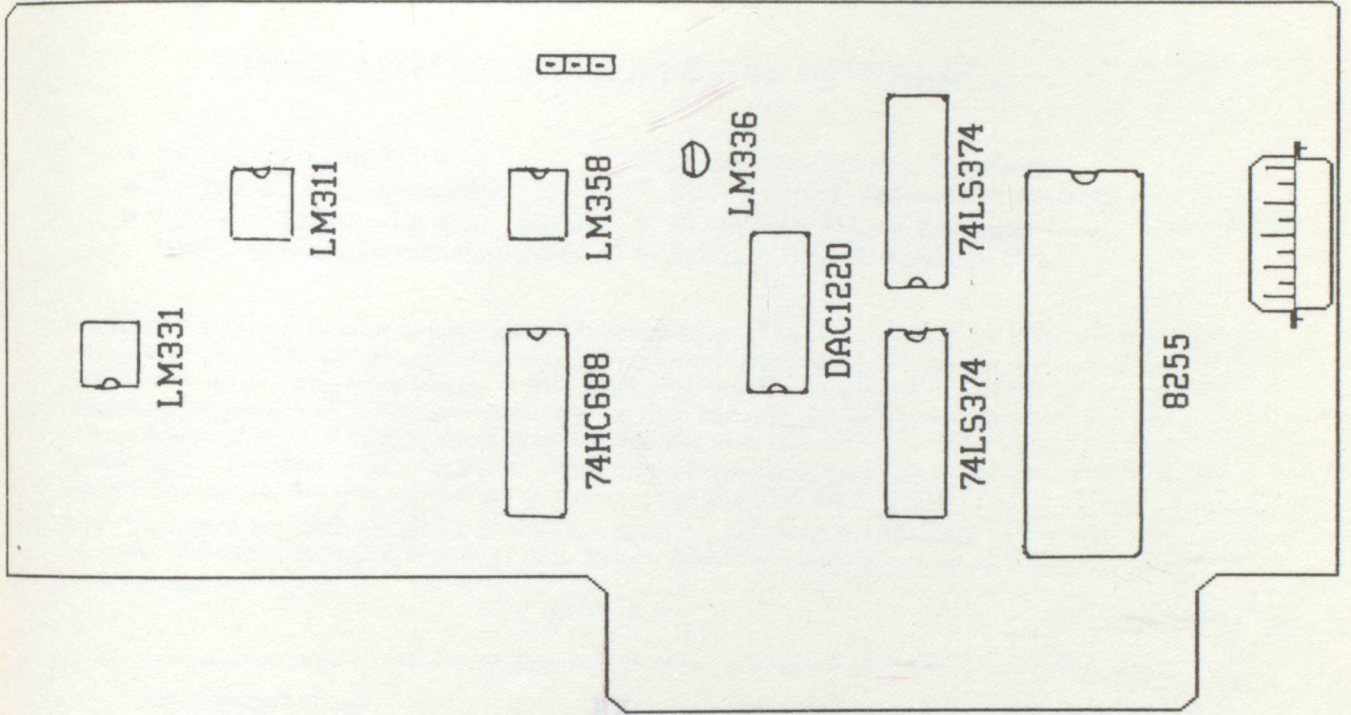
```
10 REM SUCCESSIVE APPROXIMATION ADC
20 CLS
30 D=12
40 RH=8:RL=0
50 L=0
60 H=0
70 L=L+RL:H=H+RH
80 OUT 785,0:OUT 784,L
90 OUT 786,H:OUT 785,1
100 A=INP(786)
110 IF A>=128 THEN L=L-RL AND H=H-RH
120 D=D-1
130 IF D=0 THEN 170
140 RH=RH/2:RL=RL/2
150 IF RH=1/2 THEN RH=0 AND RL=128
160 GOTO 70
170 S=H*256+L:S=S*2500/4096
180 LOCATE 3,6:PRINT "Vx ="
190 LOCATE 3,11:PRINT USING "####";S
200 LOCATE 3,16:PRINT "mV"
210 END
```


4 -4. BASKILI DEVRE

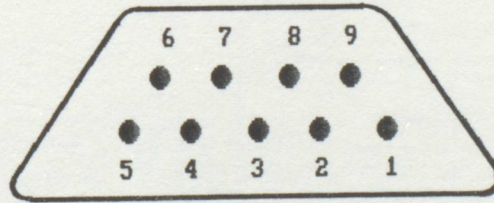
v1.1 r1 holes: 223 lower layer
approximate size: 7.05 by 3.70 inches



4 -4.1 YERLEŞTİRME PLANI



4 -4.2 ÇIKIŞ KONNEKTÖRÜ BAĞLANTILARI



1. f_{in}
2. V_{fo}
3. V_o
4. V_i
5. GND

Silicon Gate MOS 8255

PROGRAMMABLE PERIPHERAL INTERFACE

- Programmable I/O Pins
- Fully TTL Compatible
- Compatible with MCS-8 and MCS-40 Microprocessor Families
- Dual 8-Bit Parallel Counter
- 40 Pins DIP or 28 Pin DIP
- Reduced System Cost

As a result of a recent programmable I/O device shortage, the 8255 is now a hot item. It is a 40 pin DIP or 28 pin DIP which may be configured as a parallel or serial I/O device. It is fully TTL compatible and can be used in a wide range of applications. The 8255 is a programmable peripheral interface device which can be configured as a parallel or serial I/O device. It is fully TTL compatible and can be used in a wide range of applications. The 8255 is a programmable peripheral interface device which can be configured as a parallel or serial I/O device. It is fully TTL compatible and can be used in a wide range of applications.

EK



Silicon Gate MOS 8255

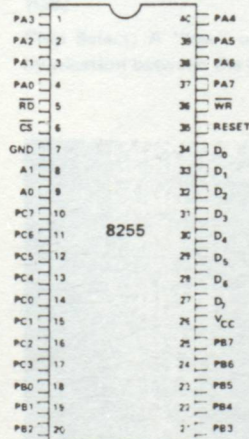
PROGRAMMABLE PERIPHERAL INTERFACE

- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with MCS-8 and MCS-80 Microprocessor Families
- Direct Bit Set/Reset Capability
- Easing Control Application Interface
- 40 Pin Dual In-Line Package
- Reduces System Package Count

The 8255 is a general purpose programmable I/O device designed for use with both the 8008 and 8080 microprocessors. It has 24 I/O pins which may be individually programmed in two groups of twelve and used in three major modes of operation. In the first mode (Mode 0), each group of twelve I/O pins may be programmed in sets of 4 to be input or output. In Mode 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining four pins three are used for handshaking and interrupt control signals. The third mode of operation (Mode 2) is a Bidirectional Bus mode which uses 8 lines for a bidirectional bus, and five lines, borrowing one from the other group, for handshaking.

Other features of the 8255 include bit set and reset capability and the ability to source 1mA of current at 1.5 volts. This allows darlington transistors to be directly driven for applications such as printers and high voltage displays.

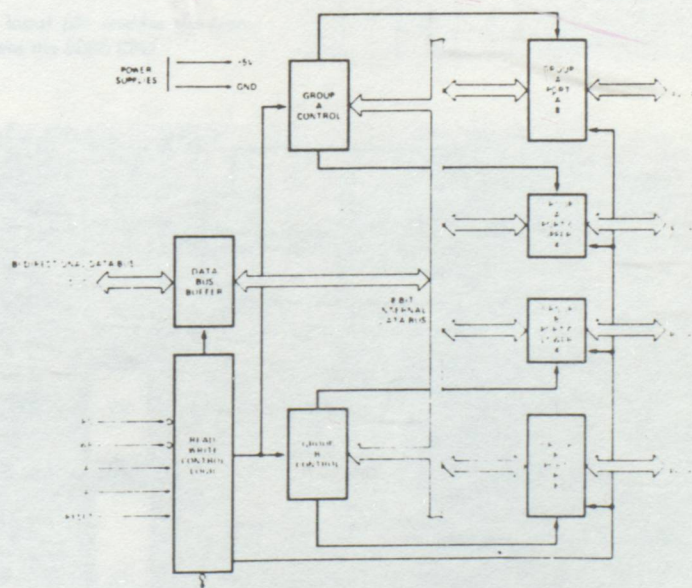
PIN CONFIGURATION



PIN NAMES

D ₇ , D ₆	DATA BUS (BIDIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A ₀ , A ₁	PORT ADDRESS
PA ₇ /PA ₀	PORT A (BIT)
PB ₇ /PB ₀	PORT B (BIT)
PC ₇ /PC ₀	PORT C (BIT)
V _{CC}	+5 VOLTS
GND	0 VOLTS

8255 BLOCK DIAGRAM



SILICON GATE MOS 8255

8255 BASIC FUNCTIONAL DESCRIPTION

General

The 8255 is a Programmable Peripheral Interface (PPI) device designed for use in 8080 Microcomputer Systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the 8080 system bus. The functional configuration of the 8255 is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state, bi-directional, eight bit buffer is used to interface the 8255 to the 8080 system data bus. Data is transmitted or received by the buffer upon execution of INPUT or OUTPUT instructions by the 8080 CPU. Control Words and Status information are also transferred through the Data Bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the 8080 CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select: A "low" on this input pin enables the communication between the 8255 and the 8080 CPU.

(RD)

Read: A "low" on this input pin enables the 8255 to send the Data or Status information to the 8080 CPU on the Data Bus. In essence, it allows the 8080 CPU to "read from" the 8255.

(WR)

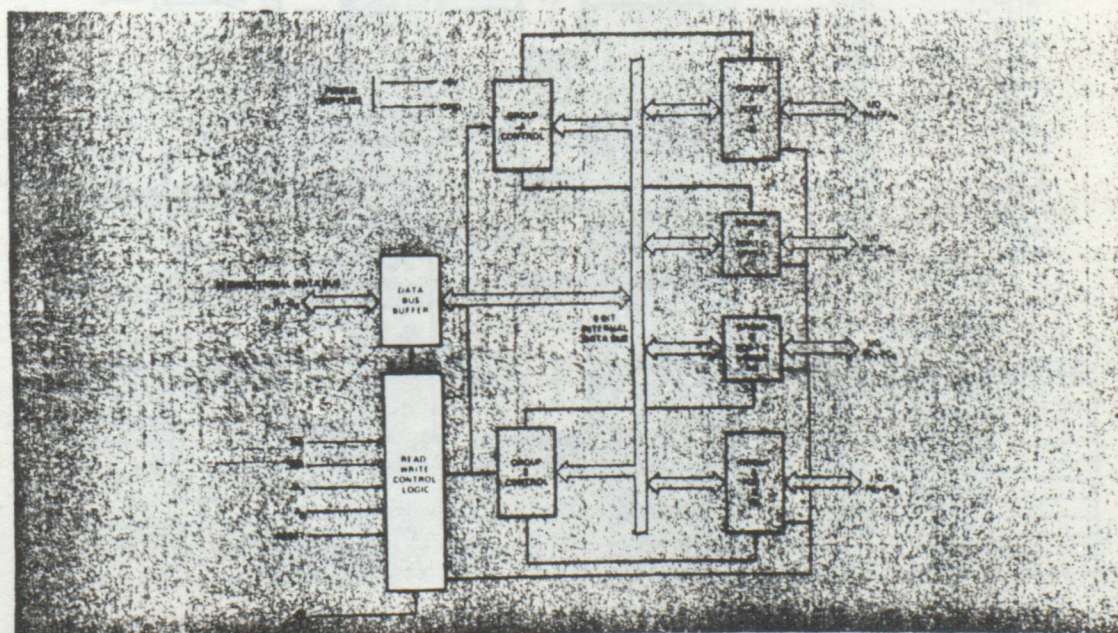
Write: A "low" on this input pin enables the 8080 CPU to write Data or Control words into the 8255.

(A₀ and A₁)

Port Select 0 and Port Select 1: These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the Control Word Register. They are normally connected to the least significant bits of the Address Bus (A₀ and A₁).

8255 BASIC OPERATION

A ₁	A ₀	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A ← DATA BUS
0	1	0	1	0	PORT B ← DATA BUS
1	0	0	1	0	PORT C ← DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS ← PORT A
0	1	1	0	0	DATA BUS ← PORT B
1	0	1	0	0	DATA BUS ← PORT C
1	1	1	0	0	DATA BUS ← CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS ← 3 STATE
1	1	0	1	0	ILLEGAL CONDITION



8255 Block Diagram

SILICON GATE MOS 8255

(RESET)

Reset: A "high" on this input clears all internal registers including the Control Register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the 8080 CPU "outputs" a control word to the 8255. The control word contains information such as "mode", "bit set", "bit reset" etc. that initializes the functional configuration of the 8255.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A — Port A and Port C upper (C7-C4)

Control Group B — Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

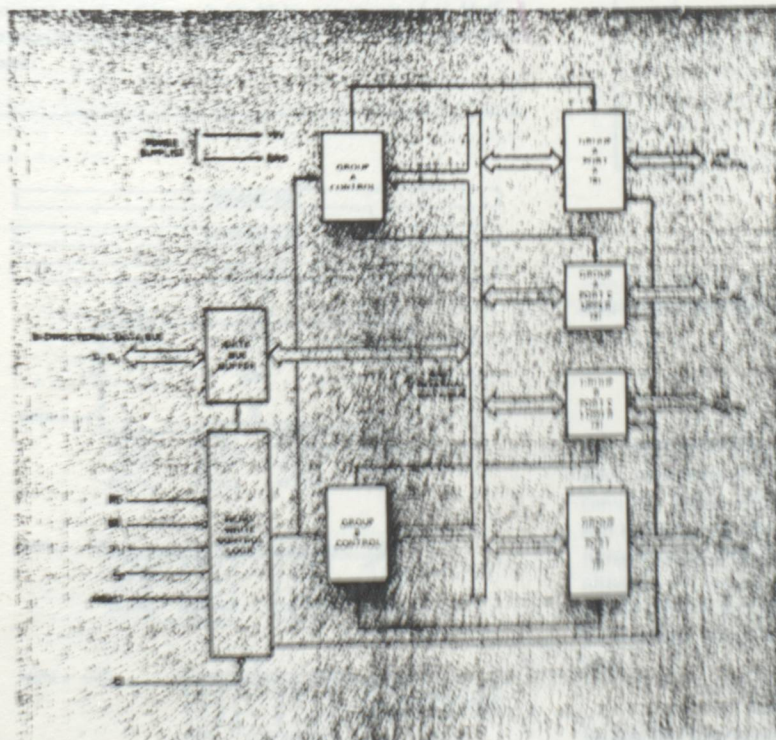
The 8255 contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255.

Port A: One 8-bit data output latch/buffer and one 8-bit data input latch.

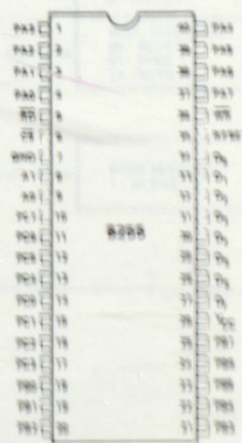
Port B: One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C: One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with Ports A and B.

8255 BLOCK DIAGRAM



PIN CONFIGURATION



PIN NAMES

Pin	Signal Name
1	PA0
2	PA1
3	PA2
4	PA3
5	PA4
6	PA5
7	PA6
8	PA7
9	PC4
10	PC5
11	PC6
12	PC7
13	PC8
14	PC9
15	PC10
16	PC11
17	PC12
18	PC13
19	PC14
20	PC15
21	PC16
22	PC17
23	PC18
24	PC19
25	PC20
26	PC21
27	PC22
28	PC23

SILICON GATE MOS 8255

8255 DETAILED OPERATIONAL DESCRIPTION

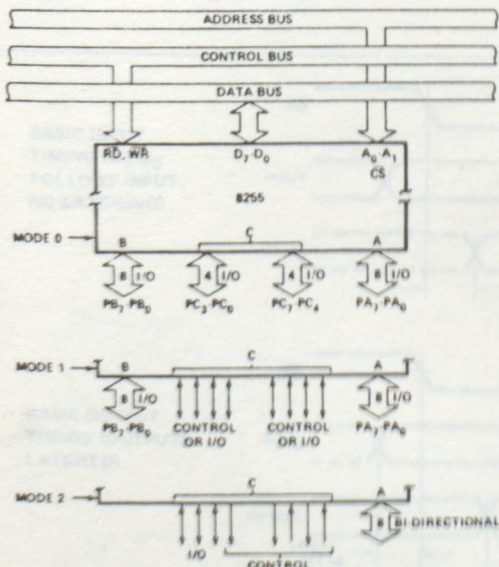
Mode Selection

There are three basic modes of operation that can be selected by the system software:

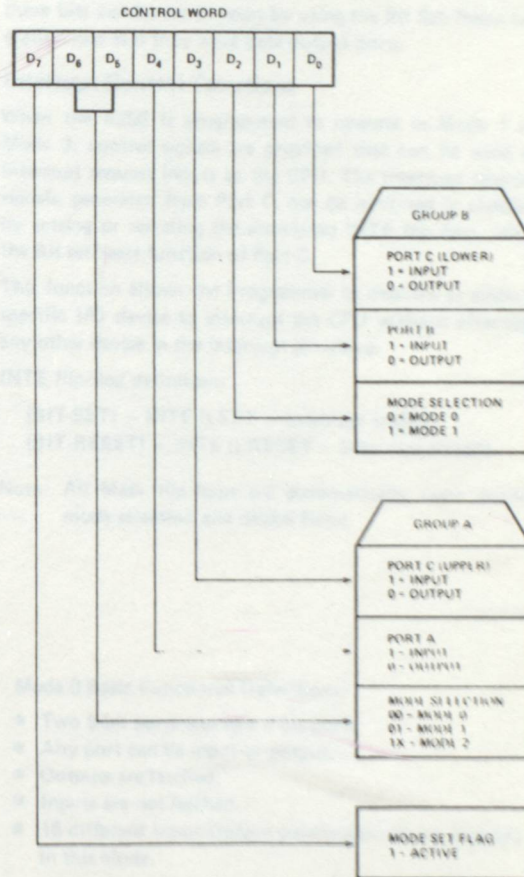
- Mode 0 – Basic Input/Output
- Mode 1 – Strobed Input/Output
- Mode 2 – Bi-Directional Bus

When the RESET input goes "high" all ports will be set to the Input mode (i.e., all 24 lines will be in the high impedance state). After the RESET is removed the 8255 can remain in the Input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single OUTPUT instruction. This allows a single 8255 to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings, or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.



Basic Mode Definitions and Bus Interface



Mode Definition Format

The Mode definitions and possible Mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255 has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTPUT instruction. This feature reduces software requirements in Control-based applications.

SILICON GATE MOS 8255

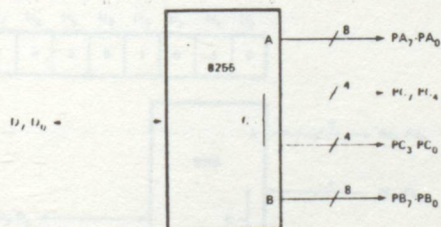
MODE 0 PORT DEFINITION CHART

A		B		GROUP A		GROUP B		
D ₄	D ₃	D ₁	D ₀	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 CONFIGURATIONS

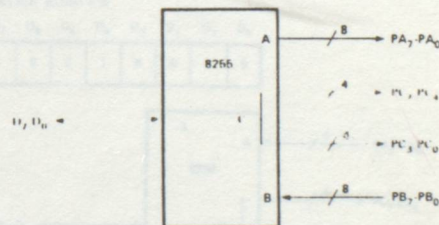
CONTROL WORD #0

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	0	0



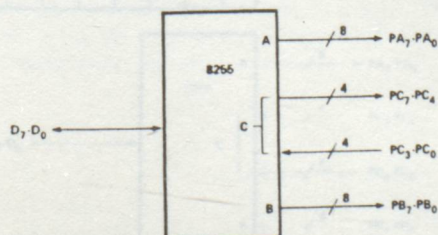
CONTROL WORD #2

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	1	0



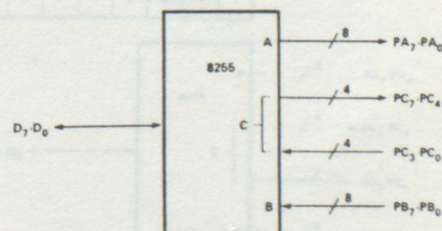
CONTROL WORD #1

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	0	1



CONTROL WORD #3

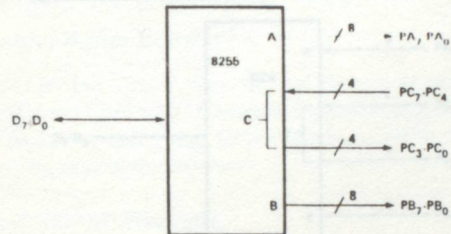
D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	1	1



SILICON GATE MOS 8255

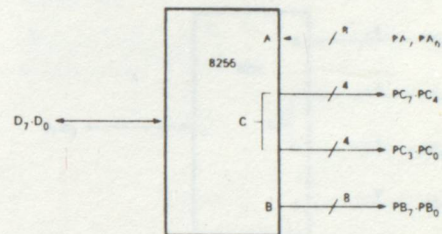
CONTROL WORD #4

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	1	0	0	0



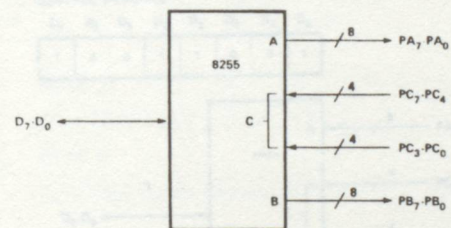
CONTROL WORD #8

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	0	0	0	0



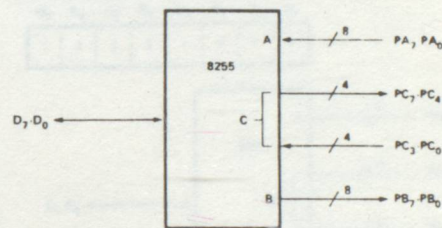
CONTROL WORD #6

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	1	0	0	1



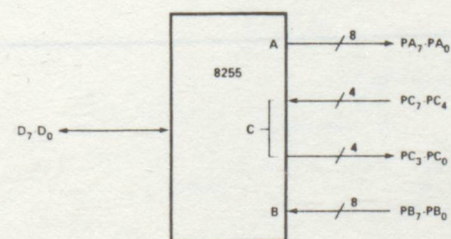
CONTROL WORD #9

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	0	0	0	1



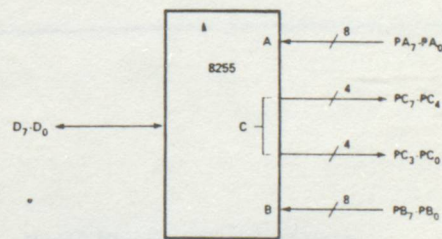
CONTROL WORD #5

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	1	0	1	0



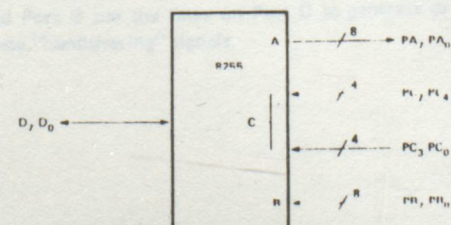
CONTROL WORD #10

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	0	0	1	0



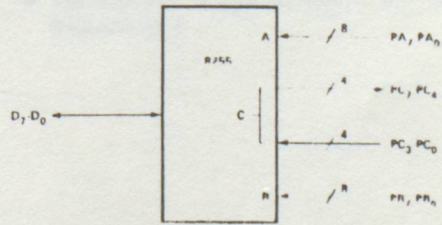
CONTROL WORD #7

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	1	0	1	1

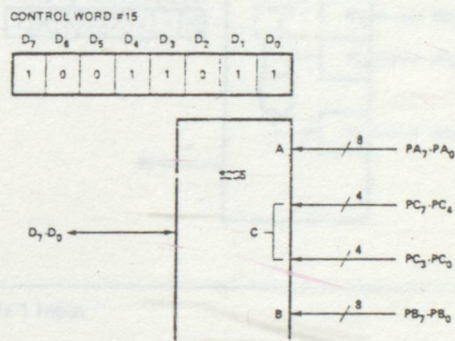
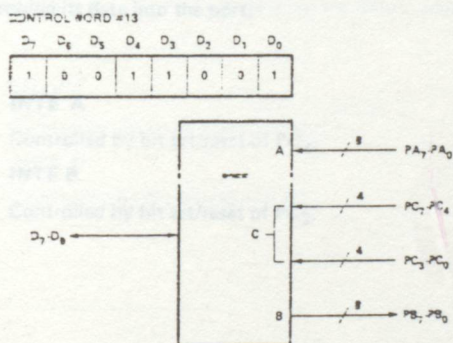
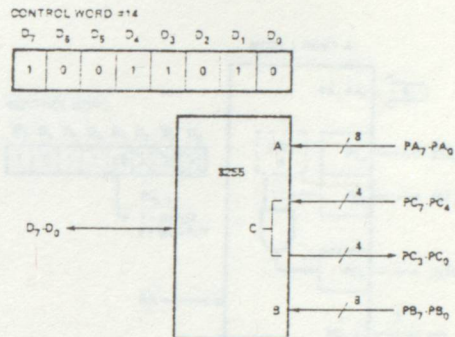
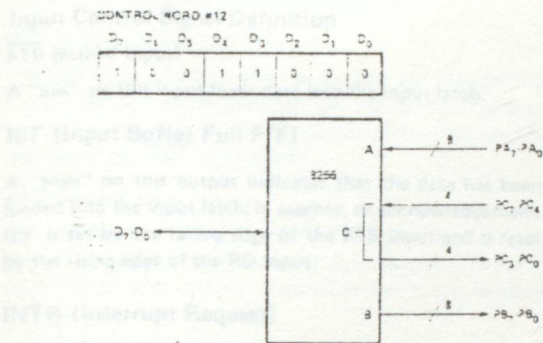


CONTROL WORD #11

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	0	0	1	1



SILICON GATE MOS 8255



Operating Modes

Mode 1 (Strobed Input/Output)

This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In Mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

SILICON GATE MOS 6255

Input Control Signal Definition

STB (Strobe Input)

A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by the falling edge of the STB input and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

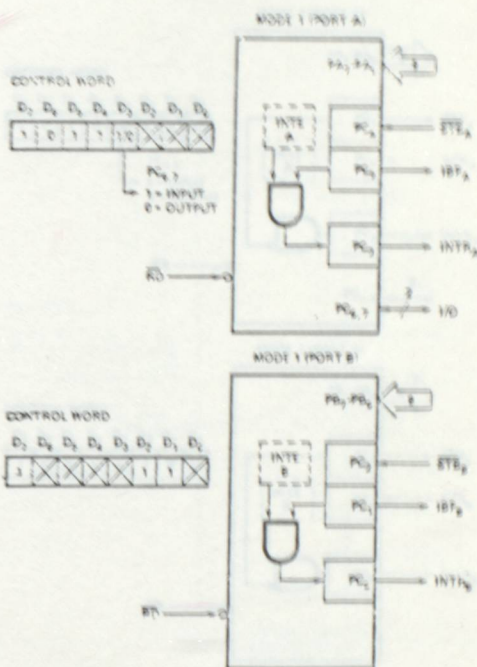
A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the rising edge of STB if IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by strobing its data into the port.

INTE A

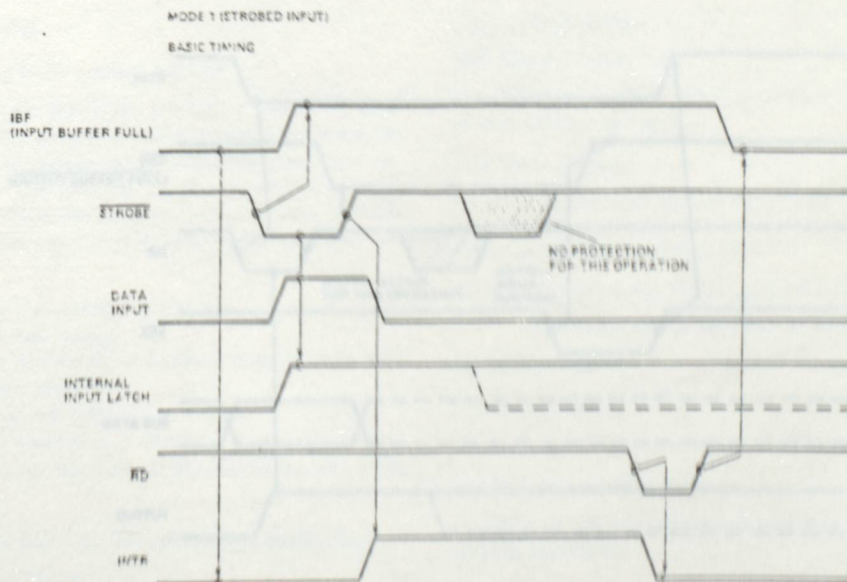
Controlled by bit set/reset of PC₄.

INTE B

Controlled by bit set/reset of PC₂.



Mode 1 Input



SILICON GATE MOS 8255

Output Control Signal Definition

$\overline{\text{OBF}}$ (Output Buffer Full F/F)

The $\overline{\text{OBF}}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{\text{OBF}}$ F/F will be set by the rising edge of the WR input and reset by the falling edge of the ACK input signal.

$\overline{\text{ACK}}$ (Acknowledge Input)

A "low" on this input informs the 8255 that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request)

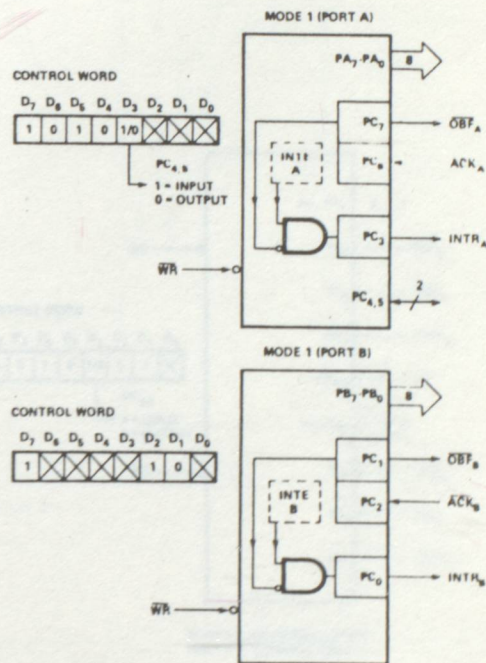
A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set by the rising edge of ACK if $\overline{\text{OBF}}$ is a "one" and INTE is a "one". It is reset by the falling edge of WR.

INTE A

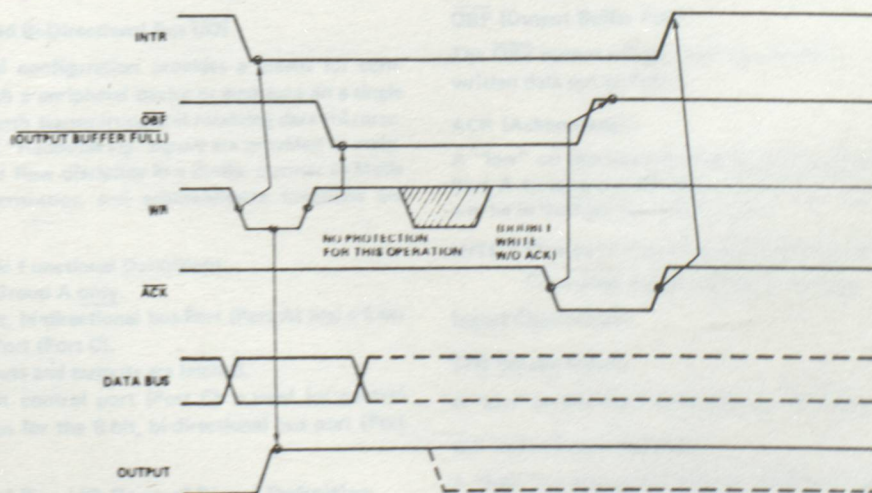
Controlled by bit set/reset of PC₆.

INTE B

Controlled by bit set/reset of PC₂.



Mode 1 Output

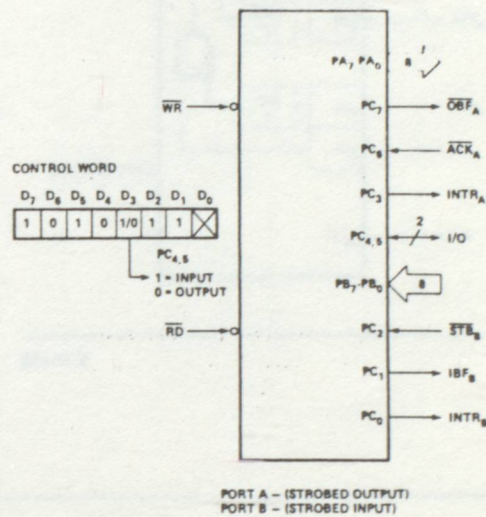
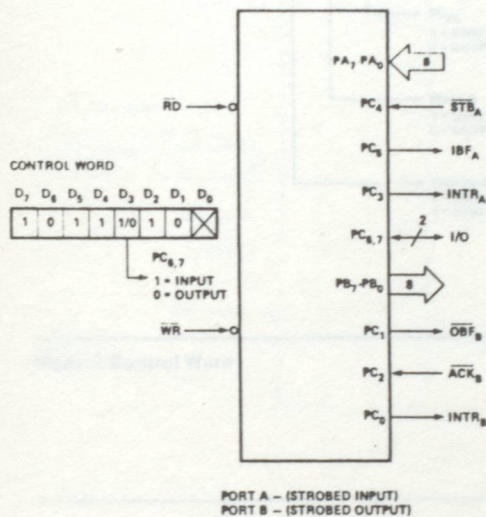


Basic Timing Output

SILICON GATE MOS 8255

Combinations of Mode 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.



Operating Modes

Mode 2 (Strobed Bi-Directional Bus I/O)

This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bi-directional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to Mode 1. Interrupt generation and enable/disable functions are also available.

Mode 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bi-Directional Bus I/O Control Signal Definition

INTR (Interrupt Request)

A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

OBF (Output Buffer Full)

The OBF output will go "low" to indicate that the CPU has written data out to Port A.

ACK (Acknowledge)

A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop associated with OBF)

Controlled by bit set/reset of PC₆.

Input Operations

STB (Strobe Input)

A "low" on this input loads data into the input latch.

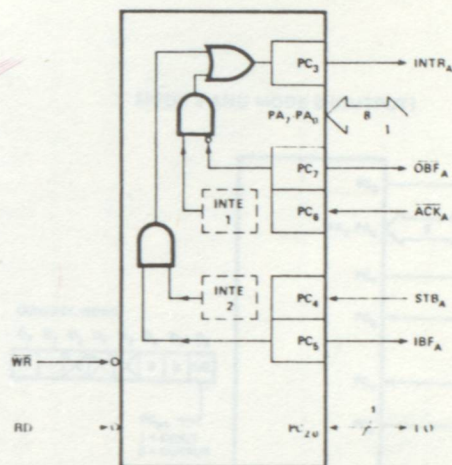
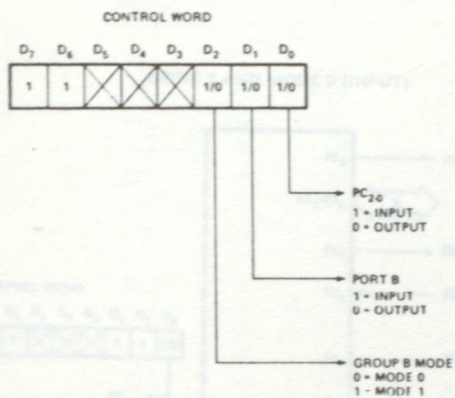
IBF (Input Buffer Full F/F)

A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop associated with IBF)

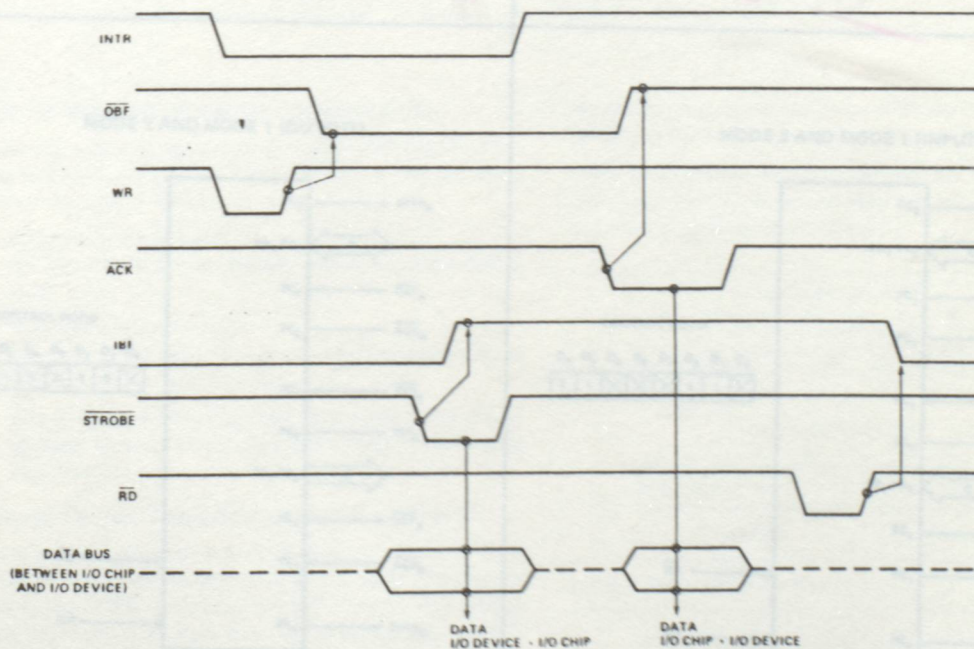
Controlled by bit set/reset of PC₄.

SILICON GATE MOS 8255



Mode 2 Control Word

Mode 2

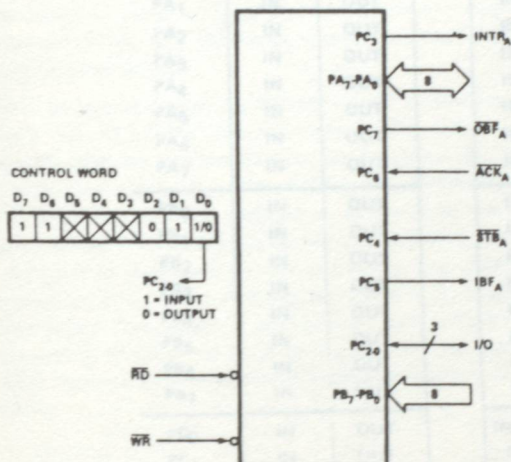


Mode 2 (Bi-directional) Timing

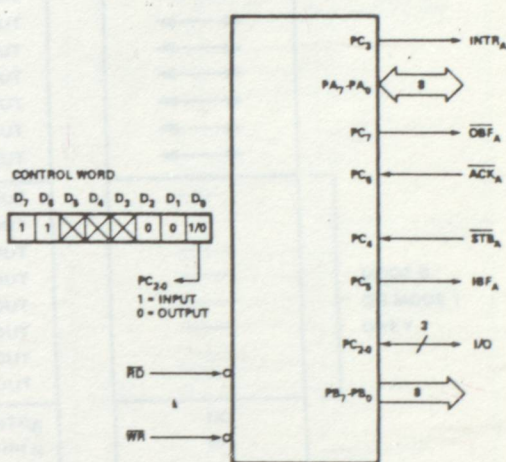
SILICON GATE MOS 8255

MODE DEFINITION SUMMARY TABLE

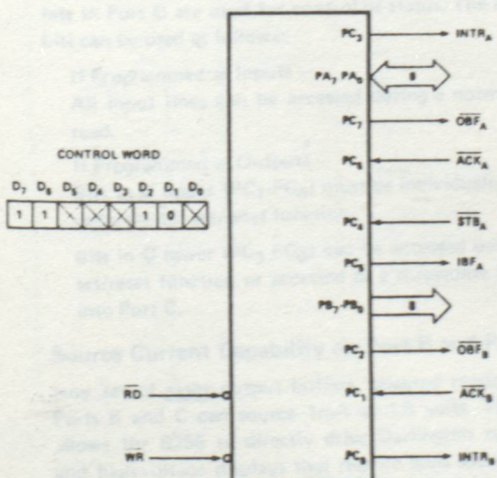
MODE 2 AND MODE 0 (INPUT)



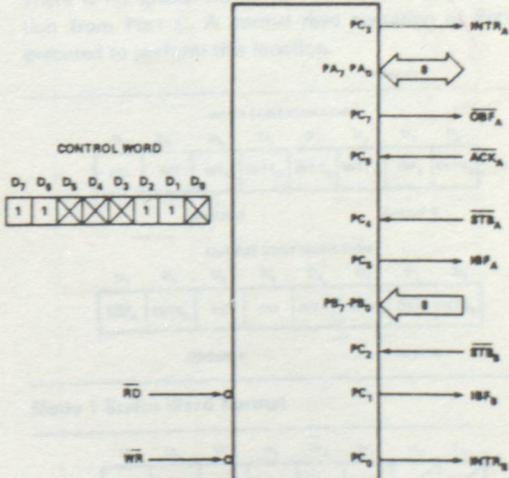
MODE 2 AND MODE 0 (OUTPUT)



MODE 2 AND MODE 1 (OUTPUT)



MODE 2 AND MODE 1 (INPUT)



SILICON GATE MOS 8255

MODE DEFINITION SUMMARY TABLE

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA ₀	IN	OUT	IN	OUT	↔	
PA ₁	IN	OUT	IN	OUT	↔	
PA ₂	IN	OUT	IN	OUT	↔	
PA ₃	IN	OUT	IN	OUT	↔	
PA ₄	IN	OUT	IN	OUT	↔	
PA ₅	IN	OUT	IN	OUT	↔	
PA ₆	IN	OUT	IN	OUT	↔	
PA ₇	IN	OUT	IN	OUT	↔	
PB ₀	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB ₁	IN	OUT	IN	OUT	—	
PB ₂	IN	OUT	IN	OUT	—	
PB ₃	IN	OUT	IN	OUT	—	
PB ₄	IN	OUT	IN	OUT	—	
PB ₅	IN	OUT	IN	OUT	—	
PB ₆	IN	OUT	IN	OUT	—	
PB ₇	IN	OUT	IN	OUT	—	
PC ₀	IN	OUT	INTR _B	INTR _B	I/O	
PC ₁	IN	OUT	INTR _B	INTR _B	I/O	
PC ₂	IN	OUT	INTR _B	INTR _B	I/O	
PC ₃	IN	OUT	INT _{HA}	INT _{HA}	INT _{HA}	
PC ₄	IN	OUT	ST _{BA}	I/O	ST _{BA}	
PC ₅	IN	OUT	IB _{FA}	I/O	IB _{FA}	
PC ₆	IN	OUT	I/O	ACK _A	ACK _A	
PC ₇	IN	OUT	I/O	OB _{FA}	OB _{FA}	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —

Bits in C upper (PC₇-PC₄) must be individually accessed using the bit set/reset function.

Bits in C lower (PC₃-PC₀) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

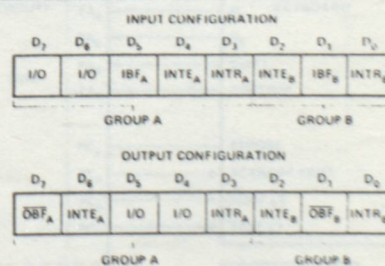
Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high voltage displays that require such source current.

Reading Port C Status

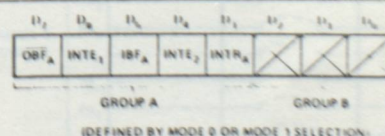
In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.



Mode 1 Status Word Format



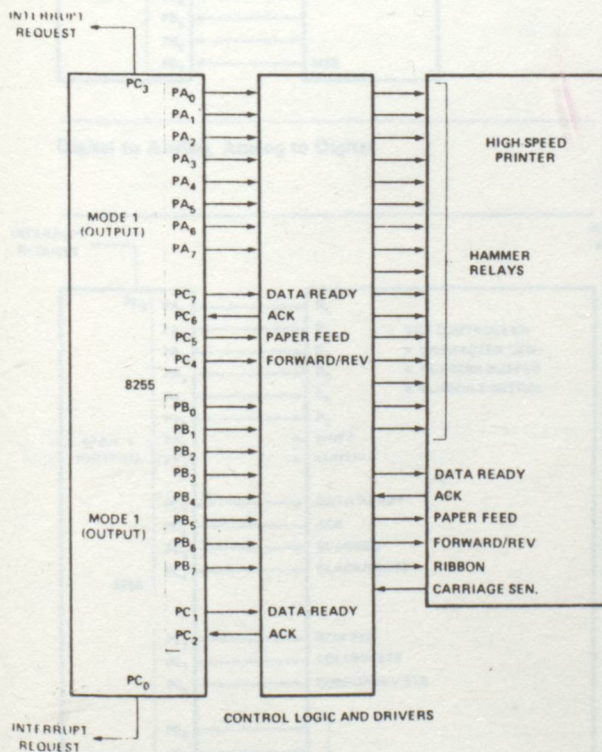
Mode 2 Status Word Format

SILICON GATE MOS 8255

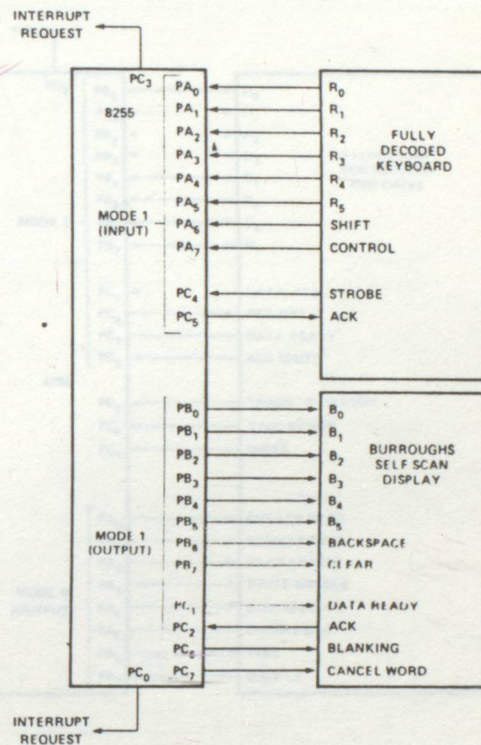
APPLICATIONS OF THE 8255

The 8255 is a very powerful tool for interfacing peripheral equipment to the 8080 microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

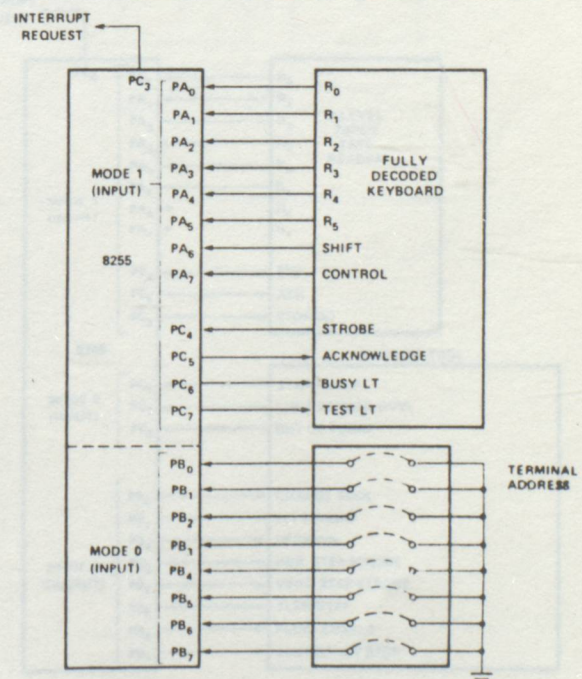
Each peripheral device in a Microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255 is programmed by the I/O service routine and becomes an extension of the systems software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the Detailed Operational Description, a control word can easily be developed to initialize the 8255 to exactly "fit" the application. Here are a few examples of typical applications of the 8255.



Printer Interface

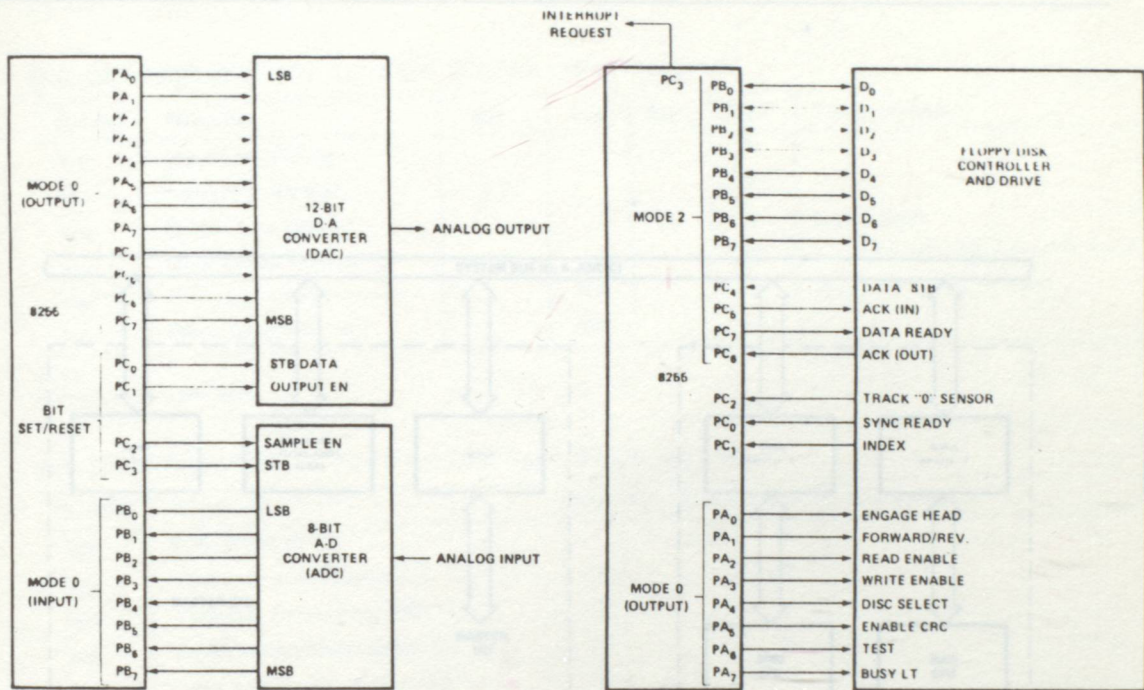


Keyboard and Display Interface



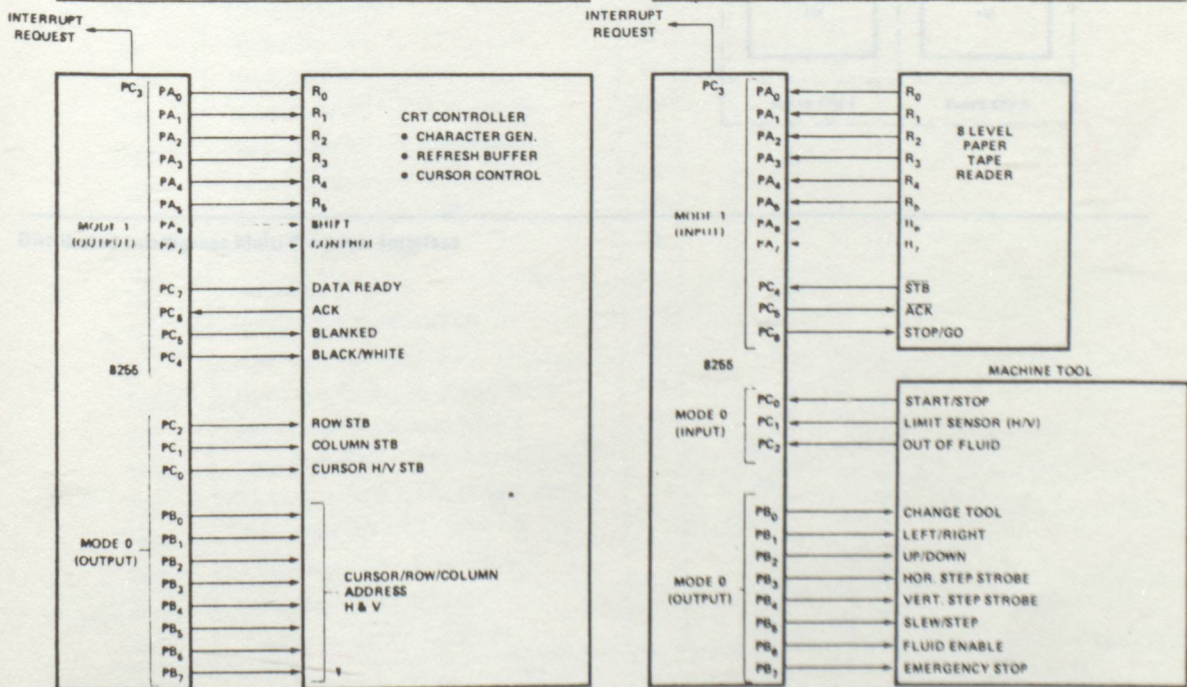
Keyboard and Terminal Address Interface

SILICON GATE MOS 8255



Digital to Analog, Analog to Digital

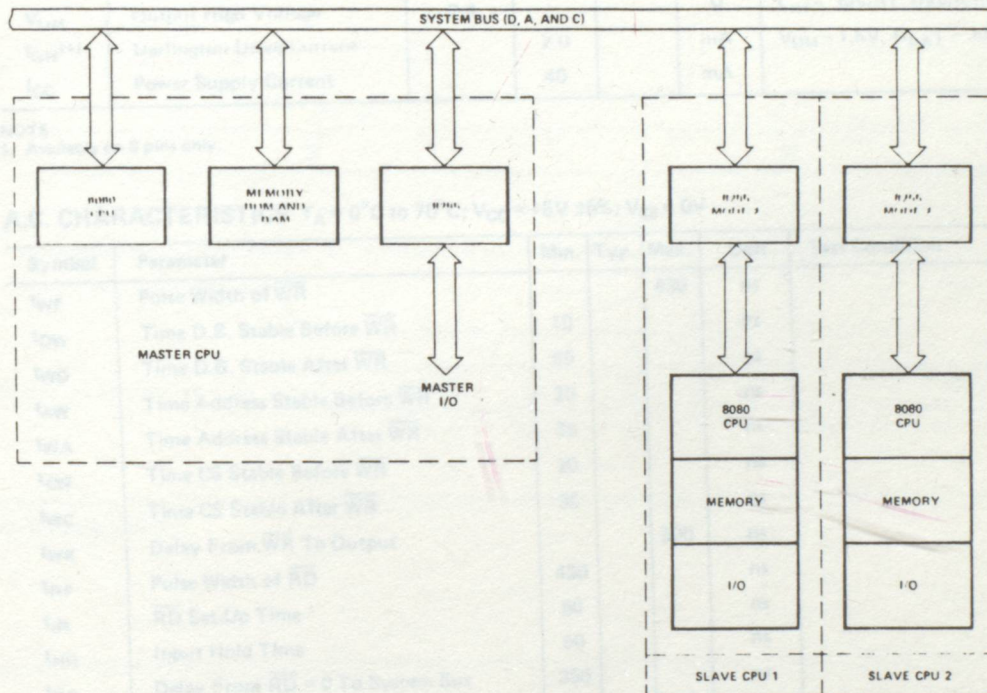
Basic Floppy Disc Interface



Basic CRT Controller Interface

Machine Tool Controller Interface

SILICON GATE MOS 8255



Distributed Intelligence Multi-Processor Interface

SILICON GATE MOS 8255

D.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } 70^\circ\text{C}; V_{CC} = +5\text{V} \pm 5\%; V_{SS} = 0\text{V}$

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage			.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			.4	V	$I_{OL} = 1.6\text{mA}$
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = 50\mu\text{A} (100\mu\text{A for D B Port})$
$I_{OH}^{(1)}$	Darlington Drive Current		2.0		mA	$V_{OH} = 1.5\text{V}, R_{EXT} = 390\Omega$
I_{CC}	Power Supply Current		40		mA	

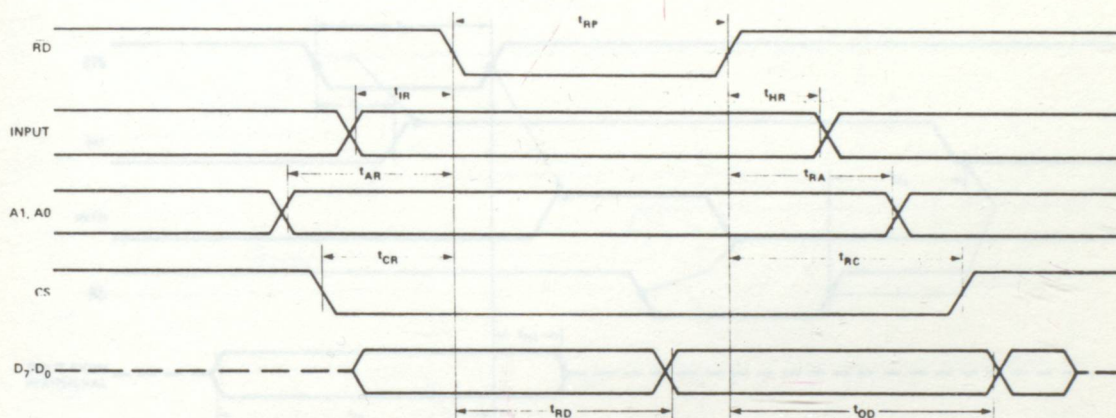
NOTE:

1. Available on 8 pins only.

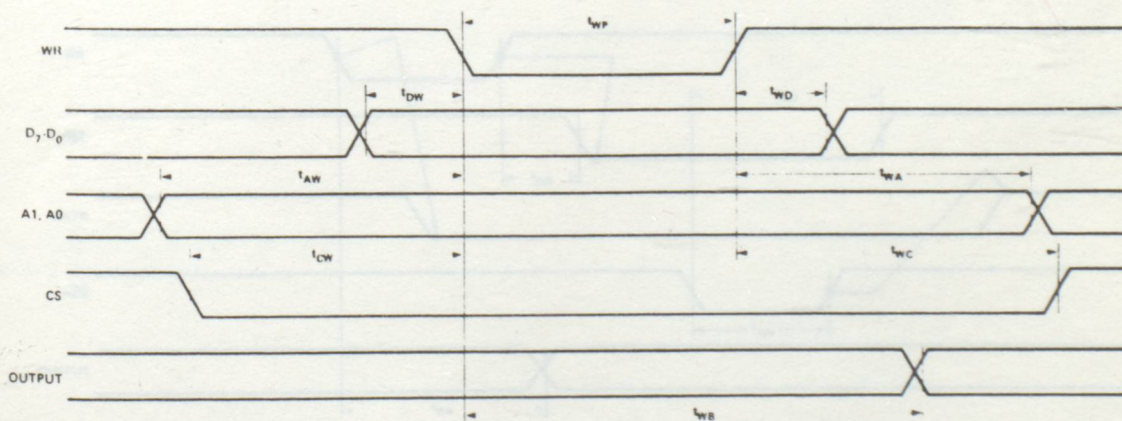
A.C. CHARACTERISTICS $T_A = 0^\circ\text{C to } 70^\circ\text{C}; V_{CC} = +5\text{V} \pm 5\%; V_{SS} = 0\text{V}$

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
t_{WP}	Pulse Width of $\overline{WR}$			430	ns	
t_{DW}	Time D.B. Stable Before $\overline{WR}$	10			ns	
t_{WD}	Time D.B. Stable After $\overline{WR}$	65			ns	
t_{AW}	Time Address Stable Before $\overline{WR}$	20			ns	
t_{WA}	Time Address Stable After $\overline{WR}$	35			ns	
t_{CW}	Time CS Stable Before $\overline{WR}$	20			ns	
t_{WC}	Time CS Stable After $\overline{WR}$	35			ns	
t_{WB}	Delay From $\overline{WR}$ To Output			500	ns	
t_{RP}	Pulse Width of $\overline{RD}$	430			ns	
t_{IR}	$\overline{RD}$ Set-Up Time	50			ns	
t_{HR}	Input Hold Time	50			ns	
t_{RD}	Delay From $\overline{RD} = 0$ To System Bus	350			ns	
t_{OD}	Delay From $\overline{RD} = 1$ To System Bus	150			ns	
t_{AR}	Time Address Stable Before $\overline{RD}$	50			ns	
t_{CR}	Time $\overline{CS}$ Stable Before $\overline{RD}$	50			ns	
t_{AK}	Width Of $\overline{ACK}$ Pulse	500			ns	
t_{ST}	Width Of $\overline{STB}$ Pulse	350			ns	
t_{PS}	Set-Up Time For Peripheral	150			ns	
t_{PH}	Hold Time For Peripheral	150			ns	
t_{RA}	Hold Time for A_1, A_0 After $\overline{RD} = 1$	379			ns	
t_{RC}	Hold Time For CS After $\overline{RD} = 1$	5			ns	
t_{AD}	Time From $\overline{ACK} = 0$ To Output (Mode 2)			500	ns	
t_{KD}	Time From $\overline{ACK} = 1$ To Output Floating			300	ns	
t_{WO}	Time From $\overline{WR} = 1$ To $\overline{OBF} = 0$			300	ns	
t_{AO}	Time From $\overline{ACK} = 0$ To $\overline{OBF} = 1$			500	ns	
t_{SI}	Time From $\overline{STB} = 0$ To IBF			600	ns	
t_{RI}	Time From $\overline{RD} = 1$ To IBF = 0			300	ns	

SILICON GATE MOS 8255

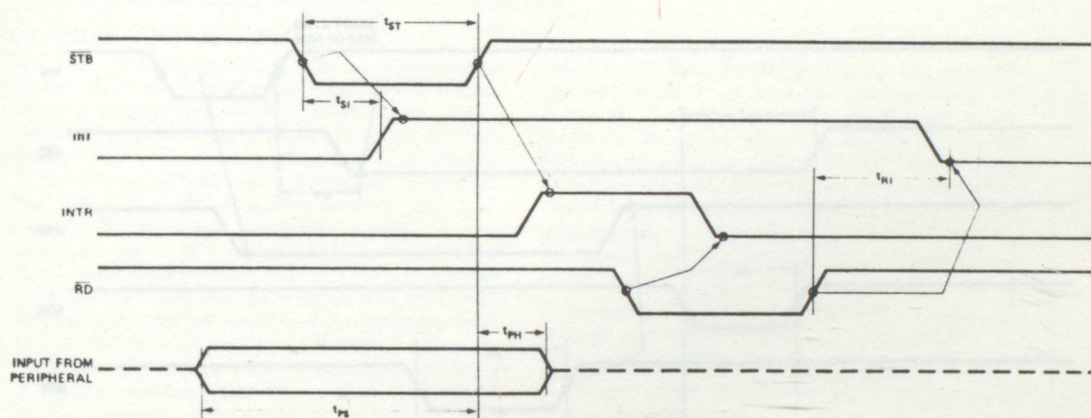


Mode 0 (Basic Input)

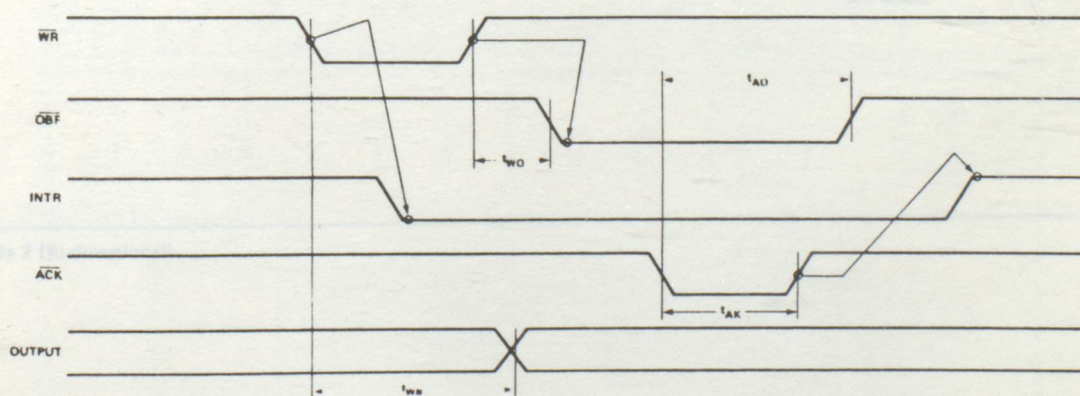


Mode 0 (Basic Output)

SILICON GATE MOS 8255

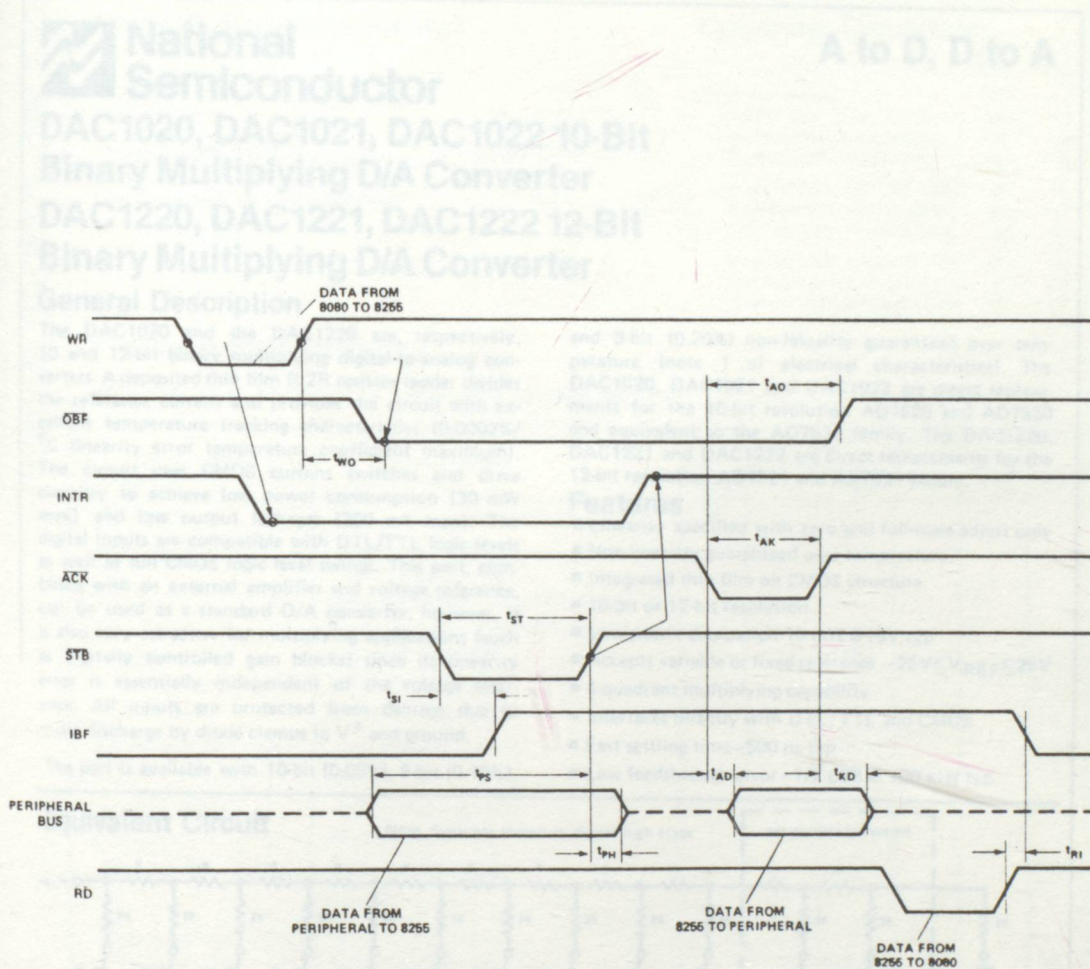


Mode 1 (Strobed Input)



Mode 1 (Strobed Output)

SILICON GATE MOS 8255



Mode 2 (Bi-directional)



**National
Semiconductor**

A to D, D to A

DAC1020, DAC1021, DAC1022 10-Bit Binary Multiplying D/A Converter

DAC1220, DAC1221, DAC1222 12-Bit Binary Multiplying D/A Converter

General Description

The DAC1020 and the DAC1220 are, respectively, 10 and 12-bit binary multiplying digital-to-analog converters. A deposited thin film R-2R resistor ladder divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.0002%/°C linearity error temperature coefficient maximum). The circuit uses CMOS current switches and drive circuitry to achieve low power consumption (30 mW max) and low output leakages (200 nA max). The digital inputs are compatible with DTL/TTL logic levels as well as full CMOS logic level swings. This part, combined with an external amplifier and voltage reference, can be used as a standard D/A converter; however, it is also very attractive for multiplying applications (such as digitally controlled gain blocks) since its linearity error is essentially independent of the voltage reference. All inputs are protected from damage due to static discharge by diode clamps to V^+ and ground.

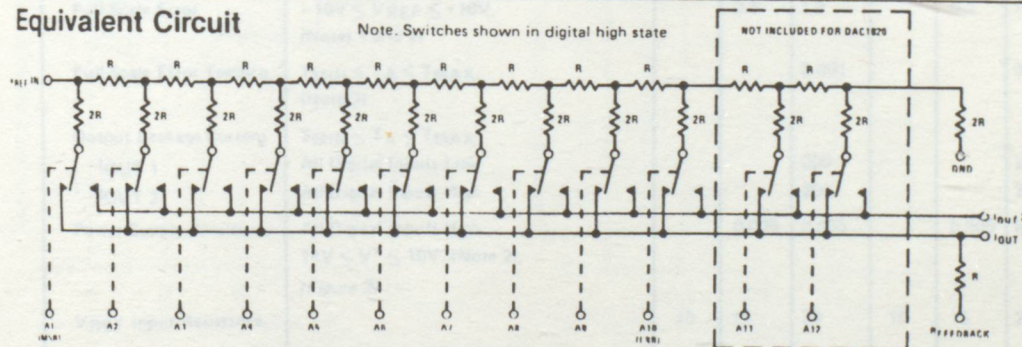
This part is available with 10-bit (0.05%), 9-bit (0.10%),

and 8-bit (0.20%) non-linearity guaranteed over temperature (note 1 of electrical characteristics). The DAC1020, DAC1021 and DAC1022 are direct replacements for the 10-bit resolution AD7520 and AD7530 and equivalent to the AD7533 family. The DAC1220, DAC1221 and DAC1222 are direct replacements for the 12-bit resolution AD7521 and AD7531 family.

Features

- Linearity specified with zero and full-scale adjust only
- Non-linearity guaranteed over temperature
- Integrated thin film on CMOS structure
- 10-bit or 12-bit resolution
- Low power dissipation 10 mW @15V typ
- Accepts variable or fixed reference $-25V \leq V_{REF} \leq 25V$
- 4-quadrant multiplying capability
- Interfaces directly with DTL, TTL and CMOS
- Fast settling time—500 ns typ
- Low feedthrough error—1/2 LSB @ 100 kHz typ

Equivalent Circuit



Ordering Information

10-BIT D/A CONVERTERS

TEMPERATURE RANGE		0°C to 70°C		40°C to +85°C		55°C to +125°C	
ACCURACY	0.05%	DAC1020LCN	AD7520LN AD7530LN	DAC1020LCD	AD7520LD AD7530LD	DAC1020LD	AD7520UD
	0.10%	DAC1021LCN	AD7520KN AD7530KN	DAC1021LCD	AD7520KD AD7530KD	DAC1021LD	AD7520TD
	0.20%	DAC1022LCN	AD7520JN AD7530JN	DAC1022LCD	AD7520JD AD7530JD	DAC1022LD	AD7520SD
PACKAGE OUTLINE		N16A		D16C		D16C	

12-BIT D/A CONVERTERS

TEMPERATURE RANGE		0°C to 70°C		40°C to +85°C		55°C to +125°C	
ACCURACY	0.05%	DAC1220LCN	AD7521LN AD7531LN	DAC1220LCD	AD7521LD AD7531LD	DAC1220LD	AD7521UD
	0.10%	DAC1221LCN	AD7521KN AD7531KN	DAC1221LCD	AD7521KD AD7531KD	DAC1221LD	AD7521TD
	0.20%	DAC1222LCN	AD7521JN AD7531JN	DAC1222LCD	AD7521JD AD7531JD	DAC1222LD	AD7521SD
PACKAGE OUTLINE		N18A		D18A		D18A	

Note: Devices may be ordered by either part number.

DAC1020, DAC1021, DAC1022,
DAC1220, DAC1221, DAC1222

Absolute Maximum Ratings

V^+ to Gnd	17V
V_{REF} to Gnd	$\pm 25V$
Digital Input Voltage Range	V^+ to Gnd
DC Voltage at Pin 1 or Pin 2 (Note 3)	-100 mV to V^+
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Conditions

Temperature (T_A)	MIN	MAX
DAC1020LD, DAC1021LD,	-55	+125
DAC1022LD, DAC1220LD,	-55	+125
DAC1221LD, DAC1222LD	-55	+125
DAC1020LCD, DAC1021LCD,	-40	+85
DAC1022LCD, DAC1220LCD,	-40	+85
DAC1221LCD, DAC1222LCD	40	+85
DAC1020LCN, DAC1021LCN	0	+70
DAC1022LCN, DAC1220LCN	0	+70
DAC1221LCN, DAC1222LCN	0	+70

Electrical Characteristics

(V⁺ = 15V, V_{REF} = 10.000V, T_A = 25°C unless otherwise specified)

PARAMETER	CONDITIONS	DAC1020, DAC1021, DAC1022			DAC1220, DAC1221, DAC1222			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Resolution		10			12			bits
Linearity Error	T _{MIN} < T _A < T _{MAX} , -10V < V _{REF} < +10V, (Note 1) End Point Adjustment Only (See Linearity Error in Definition of Terms)							% FS
10-Bit Parts	DAC1020, DAC1220			0.05			0.05	% FS
9-Bit Parts	DAC1021, DAC1221			0.10			0.10	% FS
8-Bit Parts	DAC1022, DAC1222			0.20			0.20	% FS
Linearity Error Tempco	-10V ≤ V _{REF} ≤ +10V, (Notes 1 and 2)			0.0002			0.0002	% FS/°C
Full-Scale Error	-10V ≤ V _{REF} ≤ +10V, (Notes 1 and 2)		0.3	1.0		0.3	1.0	% FS
Full-Scale Error Tempco	T _{MIN} < T _A < T _{MAX} , (Note 2)			0.001			0.001	% FS/°C
Output Leakage Current	T _{MIN} ≤ T _A ≤ T _{MAX}							nA
I _{OUT 1}	All Digital Inputs Low			200			200	nA
I _{OUT 2}	All Digital Inputs High			200			200	nA
Power Supply Sensitivity	All Digital Inputs High, 14V ≤ V ⁺ ≤ 16V, (Note 2), (Figure 2)		0.005	0.005		0.005	0.005	% FS/V
V _{REF} Input Resistance		10	15	20	10	15	20	kΩ
Full-Scale Current Settling Time	R _L = 100Ω from 0 to 99.95% FS All Digital Inputs Switched Simultaneously		500			500		ns
V _{REF} Feedthrough	All Digital Inputs Low, V _{REF} = 20 Vp-p @ 100 kHz D Package (Note 4) N Package			10			10	mV
		6	9		6	9		mV
		2	5		2	5		mV
Output Capacitance								pF
I _{OUT 1}	All Digital Inputs Low		40			40		pF
	All Digital Inputs High		200			200		pF
I _{OUT 2}	All Digital Inputs Low		200			200		pF
	All Digital Inputs High		40			40		pF
Digital Input	(Figure 1)							V
Low Threshold	T _{MIN} < T _A < T _{MAX}	2.4		0.8	2.4		0.8	V
High Threshold	T _{MIN} < T _A < T _{MAX}							V

Electrical Characteristics (Continued)

 $V_{DD} = 15V$, $V_{REF} = 10.000V$, $T_A = 25^\circ C$ unless otherwise specified)

PARAMETER	CONDITIONS	DAC1020, DAC1021 DAC1022			DAC1220, DAC1221 DAC1222			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Digital Input Current	$T_{MIN} \leq T_A \leq T_{MAX}$							
	Digital Input High		1	100		1	100	μA
	Digital Input Low	-50		-200	-50		-200	μA
Supply Current	All Digital Inputs High		0.2	1.6		0.2	1.6	mA
	All Digital Inputs Low		0.6	2		0.6	2	mA
Operating Power Supply	(Figures 1 and 2)	I_1		I_2	I_1		I_2	V

1. $V_{REF} = 10V$ and $V_{REF} = 11V$. A linearity error temperature coefficient of 0.0002% FS for a $45^\circ C$ rise only guarantees 0.009% maximum change in linearity error. For instance, if the linearity error at $25^\circ C$ is 0.045% FS it could increase to 0.054% at $70^\circ C$ and the DAC will be no better than a 10-bit part. Note, however, that the linearity error is specified over the device full temperature range which is a more stringent specification; it includes the linearity error temperature coefficient.

2. Using internal feedback resistor as shown in Figure 3.

3. Both I_{OUT1} and I_{OUT2} must go to ground or the virtual ground of an operational amplifier. If $V_{REF} = 10V$, every millivolt offset at I_{OUT1} or I_{OUT2} , 0.005% linearity error will be introduced.

4. To achieve this low feedthrough in the D package, the user must ground the metal lid.

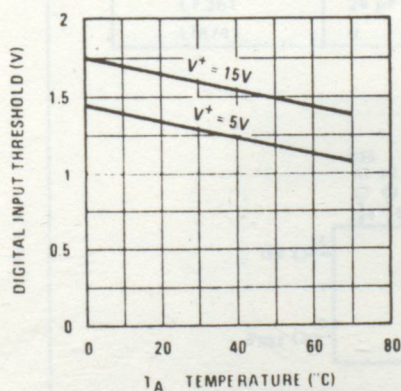
Typical Performance Characteristics


FIGURE 1. Digital Input Threshold vs Ambient Temperature

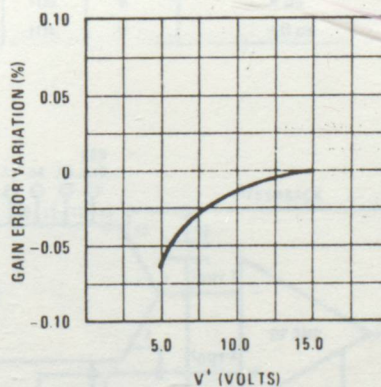


FIGURE 2. Gain Error Variation vs V^+

Typical Applications

The following applications are also valid for 12-bit systems using the DAC1220 and 2 additional digital inputs.

Operational Amplifier Bias Current (Figure 3)

The op amp bias current, I_b , flows through the 15k internal feedback resistor. BI-FET op amps have low I_b and, therefore, the $15k \times I_b$ error they introduce is negligible; they are strongly recommended for the DAC1020 applications.

V_{OS} Considerations

The output impedance, R_{OUT} , of the DAC is modulated by the digital input code which causes a modulation of the operational amplifier output offset. It is therefore recommended to adjust the op amp V_{OS} . R_{OUT} is $\sim 15k$ if more than 4 digital inputs are high; R_{OUT}

is $\sim 45k$ if a single digital input is high, and R_{OUT} approaches infinity if all inputs are low.

Operational Amplifier V_{OS} Adjust (Figure 3)

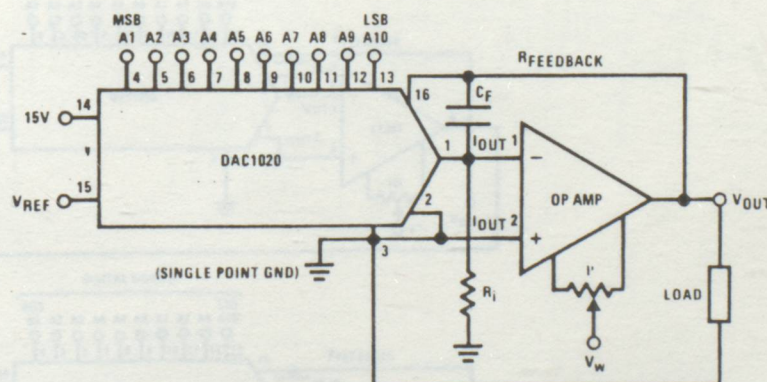
Connect all digital inputs, A1–A10, to ground and adjust the potentiometer to bring the op amp V_{OUT} pin to within ± 1 mV from ground potential. If V_{REF} is less than 10V, a finer V_{OS} adjustment is required. It is helpful to increase the resolution of the V_{OS} adjustment procedure by connecting a 1 k Ω resistor between the inverting input of the op amp to ground. After V_{OS} has been adjusted, remove the 1 k Ω .

Full-Scale Adjust (Figure 4)

Switch high all the digital inputs, A1–A10, and measure the op amp output voltage. Use a 500 Ω potentiometer as shown, to bring $|V_{OUT}|$ to a voltage equal to $V_{REF} \times 1023/1024$.

SELECTING AND COMPENSATING THE OPERATIONAL AMPLIFIER

OP AMP FAMILY	C_F	R_i	I'	V_w	CIRCUIT SETTLING TIME, t_s	CIRCUIT SMALL SIGNAL BW
LM357	10 pF	2.4k	25k	V^+	1.5 μ s	1M
LM356	22 pF	∞	25k	V^+	3 μ s	0.5M
LF351	24 pF	∞	10k	V	4 μ s	0.5M
LM741	0	∞	10k	V	40 μ s	200 kHz



$$V_{OUT} = -V_{REF} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_{10}}{1024} \right)$$

$$-10V \leq V_{REF} \leq 10V$$

$$0 \leq V_{OUT} \leq -\frac{1023}{1024} V_{REF}$$

where $A_N = 1$ if the A_N digital input is high
 $A_N = 0$ if the A_N digital input is low

FIGURE 3. Basic Connection: Unipolar or 2-Quadrant M. Configuration (Digital Attenuator)

Typical Applications (Continued)

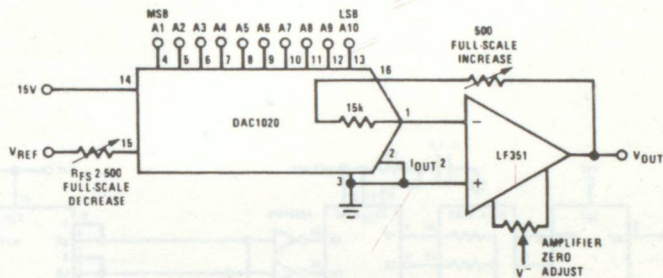


FIGURE 4: Full-Scale Adjust

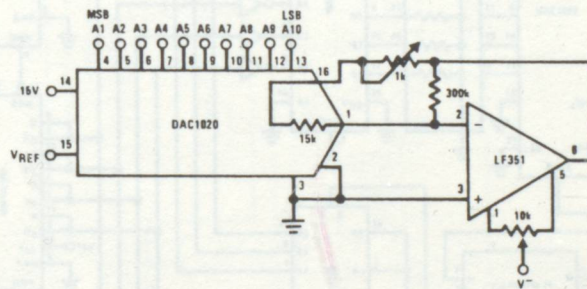
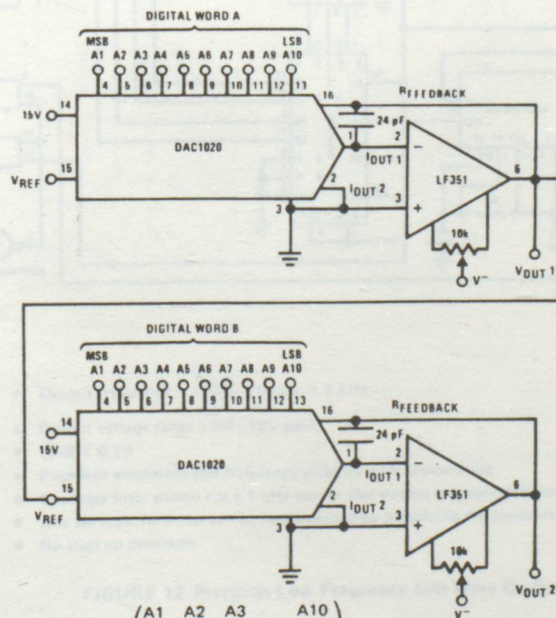


FIGURE 5: Alternate Full-Scale Adjust: (Allows Increasing or Decreasing the Gain)



$$V_{OUT1} = -V_{REF} \left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \dots + \frac{A10}{1024} \right)$$

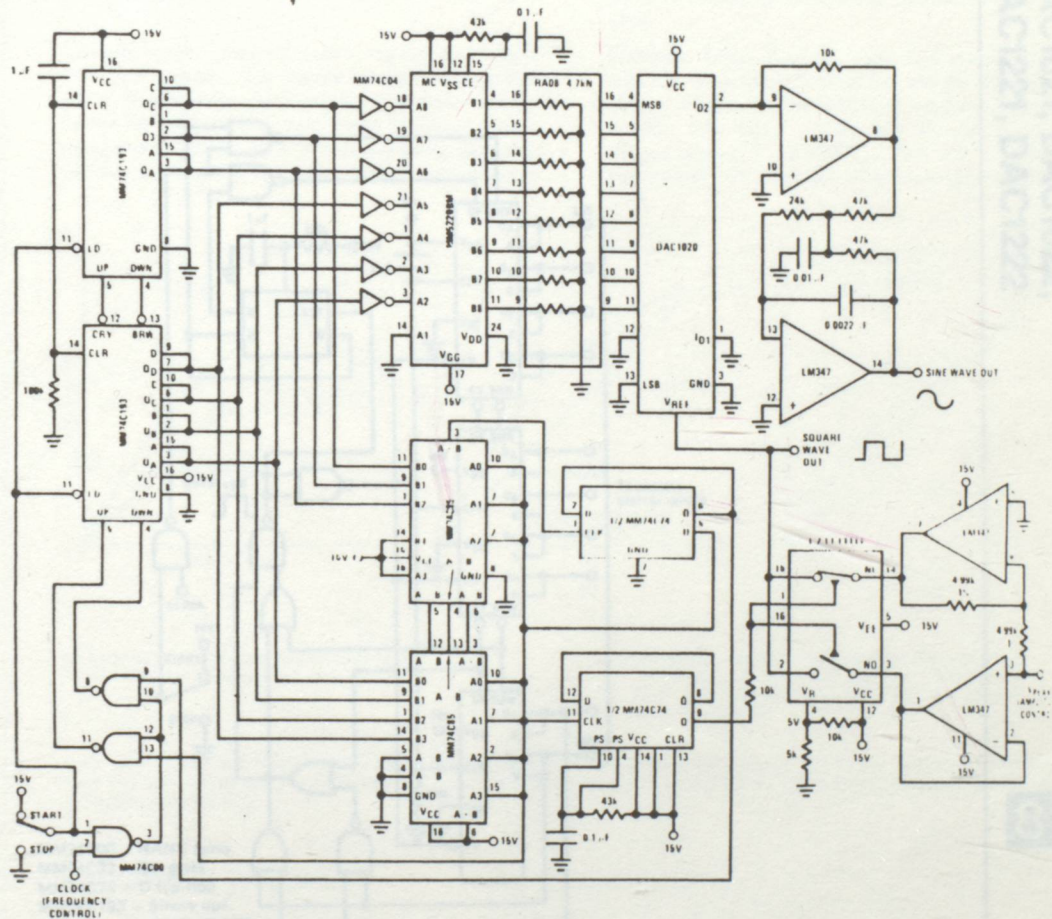
$$V_{OUT2} = V_{REF} \left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \dots + \frac{A10}{1024} \right) \times \left(\frac{B1}{2} + \frac{B2}{4} + \frac{B3}{8} + \dots + \frac{B10}{1024} \right)$$

where V_{REF} can be an AC signal

FIGURE 6: Precision Analog-to-Digital Multiplier

DAC1020, DAC1021, DAC1022,
DAC1220, DAC1221, DAC1222

8



- Output frequency = $\frac{f_{CLK}}{512}$; $f_{MAX} \approx 2 \text{ kHz}$
- Output voltage range = 0V–10V peak
- THD < 0.2%
- Excellent amplitude and frequency stability with temperature
- Low pass filter shown has a 1 kHz corner (for output frequencies below 10 Hz, filter corner should be reduced)
- Any periodic function can be implemented by modifying the contents of the look up table ROM
- No start up problems

FIGURE 12. Precision Low Frequency Sine Wave Oscillator Using Sine Look-Up ROM

Definition of Terms

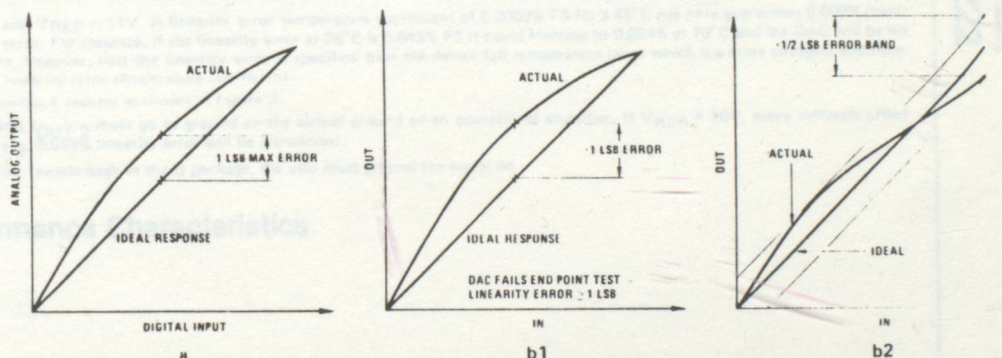
Resolution: Resolution is defined as the reciprocal of the number of discrete steps in the D/A output. It is directly related to the number of switches or bits within the D/A. For example, the DAC1020 has 2^{10} or 1024 steps while the DAC1220 has 2^{12} or 4096 steps. Therefore, the DAC1020 has 10-bit resolution, while the DAC1220 has 12-bit resolution.

Linearity Error: Linearity error is the maximum deviation from a straight line passing through the endpoints of the D/A transfer characteristic. It is measured after calibrating for zero (see V_{OS} adjust in typical applications) and full-scale. Linearity error is a design parameter intrinsic to the device and cannot be externally adjusted.

Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on D/A full-scale output.

Settling Time: Full-scale settling time requires a zero full-scale or full-scale to zero output change. Settling time is the time required from a code transition until the D/A output reaches within $\pm 1/2$ LSB of final output value.

Full-Scale Error: Full-scale error is a measure of output error between an ideal D/A and the actual device output. Ideally, for the DAC1020 full-scale is $V_{REF} \pm 1$ LSB. For $V_{REF} = 10V$ and unipolar operation, $V_{FULL\ SCALE} = 10.0000V - 9.8\ mV = 9.9902V$. Full-scale error is adjustable to zero as shown in Figure 2.



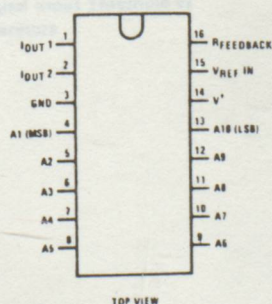
(a) End point test after zero and full-scale adjust.
The DAC has 1 LSB linearity error

(b) By shifting the full-scale calibration on of the DAC of Figure (b1) we could pass the "best straight line" (b2) test and meet the $\pm 1/2$ LSB linearity error specification

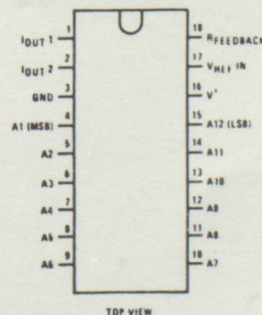
Note: (a), (b1) and (b2) above illustrate the difference between "end point" National's linearity test (a) and "best straight line" test. Note that both devices in (a) and (b2) meet the $\pm 1/2$ LSB linearity error specification but the end point test is a more "real life" way of characterizing the DAC.

Connection Diagrams

DAC102X
Dual-In-Line Package



DAC122X
Dual-In-Line Package



Electrical Characteristics (Continued)

 $V_{REF} = +10.000V$, $T_A = 25^\circ C$ unless otherwise specified

PARAMETER	CONDITIONS	DAC1020, DAC1021 DAC1022			DAC1220, DAC1221 DAC1222			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Current	$T_{MIN} \leq T_A \leq T_{MAX}$							
	Digital Input High		1	100		1	100	μA
	Digital Input Low		-50	-200		-50	-200	μA
Quiescent Current	All Digital Inputs High		0.2	1.6		0.2	1.6	mA
	All Digital Inputs Low		0.1	1.0		0.1	1.0	mA
Operating Power Supply	(Figures 1 and 2)	5		15	5		15	V

$V_{REF} = +10V$ and $V_{REF} = +1V$. A linearity error temperature coefficient of 0.0002% FS for a $45^\circ C$ rise only guarantees 0.009% maximum linearity error. For instance, if the linearity error at $25^\circ C$ is 0.045% FS it could increase to 0.054% at $70^\circ C$ and the DAC will be no better part. Note, however, that the linearity error is specified over the device full temperature range which is a more stringent specification than the linearity error temperature coefficient.

Use an internal feedback resistor as shown in Figure 3.

Both I_{OUT1} and I_{OUT2} must go to ground or the virtual ground of an operational amplifier. If $V_{REF} = 10V$, every millivolt offset on I_{OUT1} or I_{OUT2} , 0.005% linearity error will be introduced.

To achieve this low feedthrough in the D package, the user must ground the metal lid.

Electrical Performance Characteristics

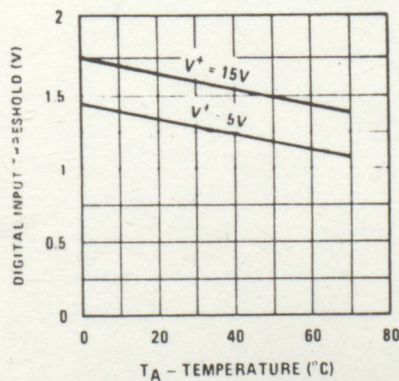


FIGURE 1. Digital Input Threshold vs Ambient Temperature

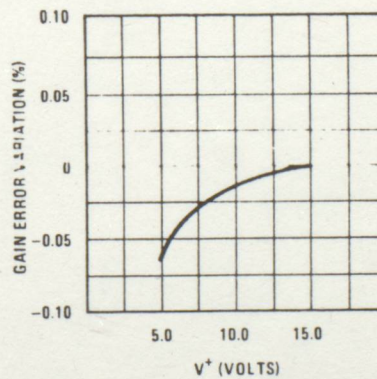


FIGURE 2. Gain Error Variation vs V^+

DAC1020, DAC1021, DAC1022,
DAC1220, DAC1221, DAC1222

SONUÇ

Bu çalışmada IBM'PC bilgisayarı için tasarımı yapılan endüstriyel amaçlı giriş çıkış arabirim kartı ile sayısal bir sisteme örneksel (analog) gerilim değerleri verilerek bunun sonucu olarak örneksel gerilim değerleri alınabilmektedir. Bu işlem özellikle endüstriyel amaçlı uygulamalarda gerekli olan makine kontrolleri için kullanılabilir. Devrenin girişine bağlanacak kontrol elemanları aracılığı ile çeşitli uygulamalar yapılabilir.

3- Linear Databook (National Semiconductor)

4- Microsystem Components handbook (Intel Corp.)

KAYNAKLAR

- 1- Microcomputers and microprocessors the 8080,8085 and Z 80 Programming, Interfacing and Trouble shooting (J.Uffenbeck , Prentice-hall ,INC.)
- 2- Analog - Digital Conversion Notes (D.H. Sheingold, Analog Devices)
- 3- IBM PC Technical References
- 4- The IBM Personal Computer From the Inside Out (Addison - Wesley Publishing Company)
- 5- Linear Databook (National Semiconductor)
- 6- Microsystem Components handbook (Intel Corp.)

ÖZGEÇMİŞ

1964 yılında İstanbul ilinde doğmuşum. İlk öğrenimimi Eyüp merkez ilk okulunda yaptım. Orta öğrenimimi Bakırköy İzzet Ünver lisesi orta bölümünde yaptıktan sonra lise öğrenimim için aynı okula devam ettim. Lise öğrenimimi tamamladıktan sonra 1981 yılında Yıldız Üniversitesi Mühendislik Fakültesi Elektronik Mühendisliği bölümüne girdim. 1985 yılında mühendislik öğrenimimi tamamladıktan sonra aynı yıl Yıldız Üniversitesi Fen bilimleri Enstitüsünün açmış olduğu yüksek lisans sınavını kazanarak elektronik bölümünde yüksek lisans öğrenimime başladım. Halen bu öğrenimime devam etmekteyim.

