

168390

**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**HİBRİT BİR DONANIMLA
YAPAY SİNİR AĞI GERÇEKLEME
AY TÜMDEVRESİ**

Elektrik ve Elektronik Yüksek Mühendisi Mutlu AVCI

**FBE Elektronik ve Haberleşme Ana Bilim Dalı Elektronik Programında
Hazırlanan**

DOKTORA TEZİ

Tez Savunma Tarihi
Tez Danışmanı
Jüri Üyeleri

: 18 Nisan 2005
: Doç. Dr. Tülay YILDIRIM (YTÜ)
: Prof. Dr. M. Oruç BİLGİÇ (YTÜ)
: Prof. Dr. Fikret GÜRGEN (BÜ)
: Prof. Dr. Günhan DÜNDAR (BÜ)
: Prof. Dr. Vedat TAVŞANOĞLU (YTÜ)

[Handwritten signatures of the jury members]

İSTANBUL, 2005

İÇİNDEKİLER

	Sayfa
SİMGE LİSTESİ	iv
KISALTMA LİSTESİ	v
ŞEKİL LİSTESİ.....	vii
ÇİZELGE LİSTESİ	xi
ÖNSÖZ	xii
ÖZET	xiii
ABSTRACT	xiv
1. GİRİŞ	15
2. YAPAY SİNİR AĞI DONANIMLARI	19
2.1 Standart Tümdevreli Yapay Sinir Ağı Donanımları	20
2.1.1 Kişisel Bilgisayarlara Bağlı Yapay Sinir Ağı Donanımları.....	21
2.1.2 Kendi Başına Çalışabilen Standart Tümdevreli Donanımlar.....	23
2.2 Nörotümdevreli Yapay Sinir Ağı Sentezi.....	28
2.2.1 Özel Amaçlı Sayısal Nöral Tümdevreler.....	31
2.2.2 Özel Amaçlı Analog Nöral Tümdevreler.....	32
2.2.3 Özel Amaçlı Hibrit Nöral Tümdevreler.....	33
2.2.4 Genel Amaçlı Analog Nöral Tümdevreler.....	35
2.2.5 Genel Amaçlı Sayısal Nöral Tümdevreler.....	36
2.2.6 Genel Amaçlı Hibrit Nöral Tümdevreler.....	39
2.2.7 Nörobilgisayarlar	42
3. AY-TÜMDEVRESİ VE TASARIM TEKNİKLERİ	44
3.1 CMOS Geçiş Transistor Lojiği Tasarım Metodu	47
3.1.1 Kodlama.....	48
3.1.2 Gerçekleme	50
3.1.3 Basitleştirme	50
3.2 CMOS Geçiş Transistör Tasarım Metodunun Hibrit Senteze Uyarlanması.....	51
3.2.1 Kodlama.....	51
3.2.2 Gerçekleme	52
3.2.3 Basitleştirme	52
3.2.4 Sayısalan Analoga Dönüştürücü Uygulaması.....	52
3.3 AY Ağı.....	54
4. AY-TÜMDEVRESİNİN TEMEL YAPI BLOKLARI.....	64
4.1 Analog Bloklar.....	64

4.1.1	İşlemsel Yükselteç	64
4.1.2	Tampon	68
4.1.3	Toplayıcı Blokları	70
4.1.4	Seviye Kaydırıcılar	76
4.1.5	Çarpıcılar	78
4.1.6	Kare Alıcı.....	87
4.2	Sayısal Bloklar	92
4.2.1	Kod Çözücüler	92
4.2.2	EEPROM Hafıza Hücresi	98
4.2.3	Algı Yükselticileri.....	100
4.3	Hibrit Bloklar	103
4.3.1	Çoğullayıcı ve Tekilleyici Yapılar.....	104
4.3.2	Sayısalardan Analoga Dönüştürücü.....	107
5.	AY TUMDEVRESİNİN NÖRAL İŞLEM BLOKLARI.....	110
5.1	Sinaps.....	110
5.1.1	Ağırlık ve Biyas Hafıza Bloğu.....	112
5.1.2	Sinaptik Çarpıcı Bloğu.....	114
5.2	Nöron	116
5.3	Kontrol Hafıza Bloğu.....	125
6.	AY-TUMDEVRESİNİN SENTEZİ VE ÇALIŞMA DURUMLARI.....	128
6.1	Programlanma Modu	130
6.2	Çalışma Modu.....	133
7.	AY-TUMDEVRESİNİN NÖRON AĞI UYGULAMALARI	134
7.1	Özel Veya (XOR) Problemi.....	134
7.2	İris Bitkisi Sınıflandırma Problemi.....	143
7.3	AY Tümdevresi ile Büyük Bir Yapay Sinir Ağının Sentezi.....	152
8.	SONUÇLAR.....	155
	EKLER	157
	Ek 1: MOSIS-AMIS 0.5µ Proses ve Model Parametreleri.....	158
	Ek2: İris sınıflama probleminin normalize girişlere karşılık yazılım ve donanım çıkışları ...	161
	KAYNAKLAR.....	164
	ÖZGEÇMİŞ.....	178

SİMGE LİSTESİ

b	Yapay sinir ağı için eğitme sonucu elde edilen biyas matrisi
C	Kapasitör
Δw	Ağırlıktaki değişme
E	İşlevsel kılma
e	Hedef çıkışla yapay sinir ağı çıkışı arasındaki hata
$f(.)$	Aktivasyon fonksiyonu
F	Fonksiyon
GND	Toprak
I/O	Giriş / Çıkış
k_i	Geçiş transistör tasarımında fonksiyonun çıkış değişkeni
R	Direnç
t	İstenen çıkış
V_{a+}	Analog pozitif besleme gerilimi
V_{a-}	Analog negatif besleme gerilimi
V_{DD}	Sayısal besleme gerilimi
V_{fg}	Yüzen kapıda saklanan yükün oluşturduğu eşik kayma gerilimi
V_{PP}	Programlama gerilimi uygulanacak uç
w_i	Yapay sinir ağı için eğitme sonucu elde edilen ağırlık matrisi
x_i	Yapay sinir ağına uygulanan girişler
X	Yapay sinir ağına uygulanan vektörel giriş
X_i^n	Yapay sinir ağına uygulanan normalize girişler
y_i	Yapay sinir ağının çıkışı
Y	Yapay sinir ağının vektörel çıkışı

KISALTMA LİSTESİ

AC	Alternative Current
ADC	Analog to Digital Converter
ANN	Artificial Neural Networks
APAP	Analog Programmable Array Processor
ART	Adaptive Resonance Theory
ASQA	Adaptive Segmentatation Using Quantizer Neurons Architecture
BBHN	Block Based Hopfield Neural Network
BP	Back Propagation
CCD	Charge Coupled Device
CMOS	Complementary Metal Oxide Semiconductor
CMRR	Common Mode Reject Ratio
CNAPS	Connectionist Network of Adaptive Solutions
CNN	Cellular Neural Networks
CPS	Connection Per Second
CRS	Computer Recognition System
CSFNN	Conic Section Function Neural Network
CUPS	Connection Update Per Second
DAC	Digital to Analog Converter
DANN	Dendro-dendridic Artificial Neural Network
DAQ	Data Acquisition Card
DC	Direct Current
DDFS	Direct Digital Frequency Synthesizer
DIANNE	Digital Implementations of Artificial Neural Networks
DPANN	Digitally Programmable Analog Neural Network
DRC	Design Rule Check
DSP	Digital Signal Processing
EEPROM	Electrically Erasable Programmable Read Only Memory
EOCL	Expandable On Chip Learning
ETANN	Electrically Trainable Artificial Neural Network
FBMNN	Frequency Based Multilayer Neural Network
FGMOS	Floating Gate Metal Oxide Semiconductor
FPGA	Field Programmable Gate Array
FX-RBF	Filtered Extra Radial Basis Function
GA	Gate Array
GCN	Giga Connection Network
GCPS	Giga Connection Per Second
GCUPS	Giga Connection Update Per Second
GENET	Genetic Network
GNL	Generalized Network Language
GPBP	General Purpose Back Propagation
GPPN	General Purpose Parallel Neurocomputer
GRD	Generic Reconfiguration of Digital Signal Processors
GTL	Geçiş Transistör Lojigi
HNC	Heicht-Nielssen Corporation
HSART	High Speed Adaptive Resonance Theory
IEEE	Institute of Electrical and Electronics Engineers
INCA	Integrated Neuro Computing Architecture
JPLC	Jet Propolsion Laboratory Chip
LTA	Looser Take All

LUT	Look Up Table
LVCNN	Lotka-Volterra Competitive Neural Networks
LVQ	Linear Vector Quantization
MCPS	Mega Connection Per Second
MCUPS	Mega Connection Update Per Second
MFNN	Multi Layer Feedforward Neural Network
MLP	Multi Layer Perceptron
MMBB	Matrix Memory with Broadcast Bus
MOS	Metal Oxide Semiconductor
MUX	Multiplexer
NAP	Neural Array Processor
NBS	Neural Bit Slice
NEP	Network Emulation Processor
NESP	Neural Signal Processor
NISP	Neural Instruction Set Processor
NN	Neural Network
PC	Personal Computer
PDNN	Pulse Density Neural Network
PE	Perceptron
POBP	Pipelined Online Back Propagation
PRARBF	Phoneme Recognition Analogue Radial Basis Function
RAM	Random Access Memory
RAP	Ring Array Processor
RBF	Radial Basis Function
RCE	Reconfigurable Computing Environment
RD	Reaction-Diffusion
REMAP	Real Time Embedded Modular Array Processor
RISC	Reduced Instruction Set Computer
RNIFN	Recurrent Networks of Integrate and Fire Neuron
RRANN	Run-time Reconfiguration Artificial Neural Network
RWC	Random Weight Change
SCIRNN	Sing Chip Image Recognition Neural Net
SDM	Sparse Distributed Memory
SDRAM	Synchronous Dynamic Random Access Memory
SoC	System on Chip
SOM	Self Organizing Map
SPICE	Simulation Program with Integrated Circuit Emphasis
SPN	Self Programming Neural System
SRAM	Static Random Access Memory
SYNAPSE	Synthesis of Neural Algorithms on a Parallel Systolic Engine
UM	Universal Machine
WSA	Winner Share All
WSI	Wafer Scale Integration
WTA	Winner Take All
XOR	Exclusive Or
YSA	Yapay Sinir Ağları

ŞEKİL LİSTESİ

Şekil 2.1 Yapay sinir ağı donanım gerçeklemeleri.....	20
Şekil 2.2 Yapay sinir ağı tümdevrelerinin temel ortak yapı blokları (Aybay, 1996)	30
Şekil 2.3 ETANN tümdevresinin temel blokları (Intel, 1990)	31
Şekil 3.1 AY Tümdevresinin temel blok diyagramı.....	44
Şekil 3.2. AY Tümdevresinin detaylı blok diyagramı.....	45
Şekil 3.3 AY tümdevresi nöronunun blok diyagramı.....	46
Şekil 3.4 Karar Diyagramı.....	49
Şekil 3.5 Kodlanmış karar diyagramı	50
Şekil 3.6 Karar diyagramının devre dönüşümü	50
Şekil 3.7 Basitleştirme için kodlanmış devre	51
Şekil 3.8 Kodlama ağacı karar diyagramı ve düğümlerin kodlanması.....	52
Şekil 3.9 Karar diyagramının MOS devre dönüşümü	52
Şekil 3.10 3-Bit Sayısal Analoga Dönüştürücü uygulaması.....	53
Şekil 3.11 Analog girişlerin elde edilişi	53
Şekil 3.12 Sayısal Analoga Dönüştürücü benzetim sonuçları	53
Şekil 3.8 AY ağının genel topolojisinin işaret akış diyagramı	56
Şekil 3.9 İlk dört terim için AY ağı topolojisinin işaret akış diyagramı	56
Şekil 3.10 AY ağının öğrenmesi.....	57
Şekil 3.11 Tanjant hiperbolik sigmoid fonksiyonu için AY ağı yaklaşımı	59
Şekil 3.12 Logaritmik sigmoid fonksiyonu için AY ağı yaklaşımı	59
Şekil 3.13 Kosinüs fonksiyonu için AY ağı yaklaşımı.....	60
Şekil 3.14 Sinüs fonksiyonu için AY ağı yaklaşımı.....	60
Şekil 3.15 Tanh(2x) fonksiyonu için AY ağı yaklaşımı	61
Şekil 3.16 Radbas fonksiyonu için AY ağı yaklaşımı	61
Şekil 3.17 AY ağı devre dönüşümü blok diyagramı	63
Şekil 4.1 İşlemsel Yükseltici blok diyagramı	65
Şekil 4.2. İşlemsel Yükselticinin iç yapısı.....	65
Şekil 4.3 İşlemsel Yükseltici devresinin çalışma gerilim aralığında eviren cevabı	66
Şekil 4.4 İşlemsel Yükseltici evirici devresinin frekans cevabı	66
Şekil 4.5 İşlemsel Yükseltici evirici devresinin ofset gerilimi.....	67
Şekil 4.6 İşlemsel Yükseltici evirici devresinin faz diyagramı	67
Şekil 4.7 Tampon blok gösterimi	68
Şekil 4.8 İşlemsel Yükselteç tampon bağlantısı	68
Şekil 4.9 Tampon devresinin giriş-çıkış gerilim cevabı	68
Şekil 4.10 Tampon devresinin faz diyagramı	69
Şekil 4.11 İşlemsel yükseltici tampon devresinin parametrik saçılımı	69
Şekil 4.12 Nöron girişi toplayıcısının blok diyagramı	70
Şekil 4.13 Nöron girişi toplayıcısının iç yapısı	71
Şekil 4.14 AY ağı toplayıcısının blok diyagramı	72
Şekil 4.15 AY ağı toplayıcısının iç yapısı	72
Şekil 4.16 Toplayıcı için değişken tek girişe karşılık çıkış gerilimleri	73
Şekil 4.17 İki giriş değişimi için toplayıcı gerilim giriş-çıkış eğrisi	73
Şekil 4.18 Toplayıcı AC frekans cevabı	74
Şekil 4.19 Toplayıcı faz eğrisi	75
Şekil 4.20 Toplayıcı parametrik saçılım eğrisi.....	75
Şekil 4.21 Çarpıcı savak ucu seviye kaydırıcı devresi	76
Şekil 4.22 Çarpıcı savağına uygulanacak giriş işaretinin benzetim sonuçları.....	77
Şekil 4.23 Çarpıcı geçit ucu seviye kaydırıcı devresi.....	77
Şekil 4.24 Çarpıcı geçitine uygulanacak işaretin benzetim sonuçları	78

Şekil 4.25 Ağırlık ile giriş işareti çarpıcısının blok diyagramı.....	79
Şekil 4.26 Ağırlık çarpıcısının iç yapısı	79
Şekil 4.27 Dört bölgeli çarpma işlemi	80
Şekil 4.28 Ağırlık çarpıcısının çalışma aralığında hata dağılımı.....	80
Şekil 4.29 Ağırlık çarpıcısının AC frekans cevabı	81
Şekil 4.30 Ağırlık çarpıcısının faz diyagramı.....	82
Şekil 4.31 Biyas çarpıcısının blok diyagramı	82
Şekil 4.32 Biyas çarpıcısının sentezlenmesi.....	82
Şekil 4.33 AY ağı çarpıcısının blok diyagramı	83
Şekil 4.34 AY ağı çarpıcısının iç yapısı	83
Şekil 4.35 AY ağı çarpıcısı dört bölgeli çarpma işlemi sonuçları	84
Şekil 4.36 AY ağı çarpıcısının hata dağılımı.....	84
Şekil 4.37 AY ağı çarpıcısının AC frekans cevabı	85
Şekil 4.38 AY ağı çarpıcısının faz diyagramı.....	85
Şekil 4.39 Çarpıcılar için pozitif bölge parametrik saçılım analizi	86
Şekil 4.40 Çarpıcılar için negatif bölge parametrik saçılım analizi	86
Şekil 4.41 Kare alıcı devrenin blok diyagramı	87
Şekil 4.42 Kare alıcı bloğunun iç yapısı.....	88
Şekil 4.43 Kare alıcı devresinin benzetim sonucu.....	89
Şekil 4.44 Sinüsoidal giriş işareti ve kare alıcı devre çıkışı	89
Şekil 4.45 Kare alıcı devrenin hata dağılım grafiği.....	90
Şekil 4.46 Kare alıcı devrenin AC frekans cevabı.....	90
Şekil 4.47 Kare alıcı devrenin faz diyagramı	91
Şekil 4.48 Kare alıcı devrenin parametrik saçılımı	91
Şekil 4.49 3x8 Kod çözücünün blok diyagramı	92
Şekil 4.50 Üç girişli VE kapısı blok diyagramı	93
Şekil 4.51 Üç girişli VE kapısının iç yapısı.....	94
Şekil 4.52 4x16 Kod çözücünün blok diyagramı	94
Şekil 4.53 3x5 Kod çözücünün blok diyagramı	95
Şekil 4.54 3x5 Kod çözücünün iç yapısı	95
Şekil 4.55 3x8 Kod çözücünün iç yapısı	96
Şekil 4.56 4x16 Kod çözücünün iç yapısı	97
Şekil 4.57 Adres kod çözücüsünün şeması.....	98
Şekil 4.58 Hafıza hücresinin serimi.....	98
Şekil 4.59 Hafıza hücresi seriminin devre eşdeğeri.....	99
Şekil 4.56 FGMOS sembolik gösterimi	99
Şekil 4.61 Bir EEPROM hücresinin programlanması	100
Şekil 4.62 Bir EEPROM hücresinin silinmesi.....	100
Şekil 4.63 Analog işaret geçişini kontrol eden hafıza hücreleri için algı yükseltici devresi ..	101
Şekil 4.64 Analog işareti kontrol eden hafıza hücresi algı yükselticisi benzetim sonuçları...	102
Şekil 4.65 Sayısal veri hafıza hücreleri için algı yükseltici devresi	102
Şekil 4.66 Sayısal veri hücreleri algı yükselticisinin benzetim sonucu.....	103
Şekil 4.67 2x1 çoğullayıcının blok diyagramı	104
Şekil 4.68 2x1 çoğullayıcının iç yapısı.....	104
Şekil 4.69 1x2 tekilleyicinin blok diyagramı.....	105
Şekil 4.70 1x2 tekilleyicinin iç yapısı	105
Şekil 4.71 4x1 çoğullayıcı blok diyagramı.....	105
Şekil 4.72 4x1 çoğullayıcının iç yapısı.....	106
Şekil 4.73 Sayısalanaloğa dönüştürücünün iç yapısı	108
Şekil 4.74 Sayısalanaloğa dönüştürücü devresinin benzetim sonucu.....	108
Şekil 5.1 Tüm hafıza bloğu.....	111

Şekil 5.2 Ağırlık ve biyas hafıza bloğu	112
Şekil 5.3 Hafıza hücresinin blok diyagramı	113
Şekil 5.4 Veri hafıza hücrelerinin iç yapısı	113
Şekil 5.5 Sinaptik çarpıcı bloğu diyagramı	114
Şekil 5.6 Sinaptik çarpıcı bloğunun iç yapısının ayrıntılı blok diyagramı	115
Şekil 5.7 Bir sinaptik çarpıcı bloğu için ağırlık hafızasının blok yapısı.....	115
Şekil 5.8 Nöron blok diyagramı	116
Şekil 5.9 Nöron bloğunun iç yapısı	117
Şekil 5.10 Doğrusal aktivasyon fonksiyonu ve AY ağı yaklaşımının benzetim sonucu.....	118
Şekil 5.11 AY ağı doğrusal fonksiyonu yaklaşımının hata dağılım eğrisi	118
Şekil 5.12 Doğrusal fonksiyon parametrik saçılım analizi.....	119
Şekil 5.13 Tanjant hiperbolik sigmoid ve AY ağı yaklaşımının benzetim sonucu	119
Şekil 5.14 AY ağı tanjant hiperbolik sigmoid fonksiyonu yaklaşımının hata dağılımı	120
Şekil 5.15 Tanjant hiperbolik sigmoid fonksiyonu için parametrik saçılım analizi.....	120
Şekil 5.16 Logaritmik sigmoid fonksiyonu ve AY ağı yaklaşımının benzetim sonucu	121
Şekil 5.17 AY ağı logaritmik sigmoid fonksiyonu yaklaşımının hata dağılımı	121
Şekil 5.18 Logaritmik sigmoid fonksiyonu için parametrik saçılım analizi.....	122
Şekil 5.19 Radyal tabanlı fonksiyon ve AY ağı yaklaşımının benzetim sonucu.....	122
Şekil 5.20 AY ağı radyal tabanlı fonksiyon yaklaşımının hata dağılımı.....	123
Şekil 5.21 Radyal tabanlı fonksiyon için parametrik saçılım analizi	123
Şekil 5.22 AY ağı programlanabilir katsayı hafıza bloğu	124
Şekil 5.23 Kontrol bloğu hafızası	126
Şekil 5.24 Kontrol hafıza hücresi iç yapısı.....	127
Şekil 6.1 AY Tümdevresi blok diyagramı	128
Şekil 6.2 AY Tümdevresinin iç yapısı.....	129
Şekil 6.3 Tümdevrenin programlanma durumu bağlantısı	131
Şekil 6.4 Tümdevrenin silinme durumu bağlantısı.....	132
Şekil 6.5 Tümdevrenin çalışma durumu bağlantıları.....	133
Şekil 7.1 XOR uygulaması için MLP ağı yapısı	135
Şekil 7.2 XOR uygulaması için AY-tümdevresinin bağlantı şeması	136
Şekil 7.3 XOR probleminin istenen ve elde edilen çıkış değerleri.....	136
Şekil 7.4 İdeal MLP ve AY tümdevresi normalize karar düzlemleri	137
Şekil 7.5 XOR Problemi için denormalize çıkışlı MLP ağı donanım bağlantı şeması	138
Şekil 7.6 XOR problemi için denormalize edilmiş çıkışların girişlere bağlı grafiği	139
Şekil 7.7 İdeal MLP ve AY tümdevresi denormalize karar düzlemleri	139
Şekil 7.8 XOR Problemi için tek RBF nöronu	140
Şekil 7.9 XOR Problemi RBF nöronu çözümü	140
Şekil 7.10 XOR Probleminin denormalize RBF bağlantı şematifi	141
Şekil 7.11 XOR problemi tek nöronlu RBF çözümü üç boyutlu ekseninde.....	142
Şekil 7.12 İdeal RBF ve AY tümdevresi karar düzlemleri.....	143
Şekil 7.13 İris Sınıflama problemi MLP ağ yapısı	145
Şekil 7.14 İris bitkisi sınıflandırma problemi için MLP ağının devre bağlantı şeması	146
Şekil 7.15 Sepal uzunluk ile ağın sınıflama cevabı ve karar çizgileri	147
Şekil 7.16 Sepal kalınlığa göre ağın sınıflama cevabı ve karar çizgileri.....	147
Şekil 7.17 Petal uzunluğa göre ağın sınıflama cevabı ve karar çizgileri.....	148
Şekil 7.18 Petal kalınlığa göre ağın sınıflama cevabı ve karar çizgileri.....	148
Şekil 7.19 Sepal uzunluk ve kalınlığa göre tüm verilerin ağ çıkışı	149
Şekil 7.20 Sepal uzunluk ve Petal uzunluğa göre tüm verilerin ağ çıkışı	149
Şekil 7.21 Sepal uzunluk ve Petal kalınlığa göre tüm verilerin ağ çıkışı	150
Şekil 7.22 Sepal kalınlık ve Petal uzunluğa göre tüm verilerin ağ çıkışı	150
Şekil 7.23 Sepal kalınlık ve Petal kalınlığa göre tüm verilerin ağ çıkışı.....	151

Şekil 7.24 Petal uzunluk ve Petal kalınlığına göre tüm verilerin ağ çıkışı	151
Şekil 7.25 AY Tümdevresinin büyük bir ağ uygulaması	153
Şekil 7.26 Büyük ağ bağlantısı için AY tümdevrelerinin kaskatlanması	154



ÇİZELGE LİSTESİ

Çizelge 3.1 Fonksiyon için değer tablosu.....	48
Çizelge 3.2 Geçiş değişkeninin kodlanması	49
Çizelge 3.3 AY ağının fonksiyon yaklaşım katsayıları	58
Çizelge 3.4 AY ağının fonksiyon yaklaşım minimum ve maksimum hata değerleri.....	58
Çizelge 7.1 XOR problemi için ağa uygulanan eğitim ve test girişleri ve çıkışları	134
Çizelge 7.2 XOR problemi için MLP ağının normalize ve denormalize sonuçları.....	138
Çizelge 7.3 XOR problemi için RBF nöronunun sonuçları.....	142
Çizelge 7.4 Iris bitkisi için istatistiki dağılım değerleri.....	144



ÖNSÖZ

Biyolojik sinir ağlarının öğrenme, veri işleme, veri ilişkilendirme, sonuç çıkarma, tahminde bulunma ve genelleme yapma gibi yeteneklere sahip olması, bilimsel çalışmaları sinir hücresinin işlevlerini tanımaya yönlendirmiştir. Yapay Sinir Ağları, canlı sinir hücresi çalışma prensibini matematiksel ifade ederek, biyolojik nöronun avantajlarını yazılım ve donanım ortamında bilim ve teknolojinin hizmetine sunmaktadır. Nöronun çalışmasını ifade etmek için çok sayıda farklı matematiksel yaklaşımlar ve ağ topolojileri geliştirilmiştir. Yapay Sinir Ağları hemen her bilim dalı için eğitici veya eğitici olmayan öğrenen, çıkarımlar ve genellemeler yapabilen etkili araçlar haline gelmiştir. Yapay Sinir Ağı donanımları değişen koşullara göre isabetli kestirimleri ve yüksek performansları sayesinde günlük hayatımıza da girmiştir. Görüntü, ses işleme, akıllı veri eldesi, akıllı kontrol gibi konularda klasik uygulamaların pek çoğundan oldukça yüksek performanslar sergilemektedirler. İlerleyen teknolojinin veri işlemede artan hız ve performans ihtiyacı, yapay sinir ağı donanımlarının önemini pekiştirmektedir. Bu nedenle yeni ağ yapıları, yeni mimariler, donanıma uygun yeni öğrenme algoritmaları sürekli geliştirilmekte ve ihtiyaç duyulan uygulamalarda kullanılmaktadırlar. Ticari olarak bulunabilen genel amaçlı yapay sinir ağı kırımları, artık standart devre tasarımlarında bile akıllı işlemci olarak kullanılır hale gelmiştir.

Bu çalışmada, yazılım ortamında eğitilen yapay sinir ağının donanım üzerinde son derece esnek gerçekleştirilmesini sağlamak için, ağ topolojisi, giriş-çıkış sayısı ve aktivasyon fonksiyonu sınırlaması olmayan, analog ve sayısal tekniğin aynı anda kullanıldığı hibrit mimarili bir tümdevre tasarlanmış, SPICE yazılımı ile benzetime tabi tutulup sonuçlar incelenmiştir. Hem tasarım tekniği, hem de tasarlanan tümdevrenin orijinal olduğu bu çalışmada, AY ağı adı verilen ve aynı standart devre bloğu ile istenen aktivasyon fonksiyonunu sentezleyebilen bir ağ yapısı da tanıtılmış ve kullanılmıştır. Böylece yapay sinir ağı tümdevrelerinin problemlerinden olan giriş-çıkış sayısı, ağ tipi ve aktivasyon fonksiyonunun sabit olması gibi sınırlamaları aşmak için yeni çözümler önerilip uygulanmıştır.

Çalışmam sırasında beni destekleriyle hiç yalnız bırakmayan kendileri uzakta ama gönülleri yakın olan anne babam Aysun ve Ali Avcı ile nişanlım Meltem Hanım'a, beni yeni ufuklara doğru yönlendiren ve Yapay Sinir Ağları konusunda eğitmenim olan değerli danışmanım Doç. Dr. Tülay Yıldırım'a, mikroelektronik eğitimimin baş mimarı değerli hocam Prof. Dr. Atilla Ataman'a, tezimle ilgili desteklerini eksik etmeyen sayın hocalarım, Prof. Dr. Oruç Bilgiç, Prof. Dr. Fikret Gürgeç, Prof. Şefik Sarıkayalar, Prof. Dr. Okan K. Ersoy ve Doç. Dr. Ali Toker'e şükranlarımı sunarım.

Ayrıca Yıldız Teknik Üniversitesi Elektronik ve Haberleşme Mühendisliği Bölümü'nün bütün öğretim elemanlarına da teşekkürü bir borç biliyorum.

Ticari üretiminin ülkemize katma değer kazandıracağını düşündüğüm, yapay sinir ağı tümdevrelerinin sentezi ile ilgili bir doktora tezi hazırladığım için kendimi şanslı sayıyorum. Değerli hocalarıma bana verdikleri emekleri bilim ve üretime katkı ile gelecek kuşaklara yansıtmayı vizyon, ülkeme katma değer kazandırmak için gerekli bilimsel çalışmayı yapmayı da kendime misyon biliyorum. Bu çalışmamın yapay sinir ağı donanım gerçekleştirilmesi ile ilgili çalışan meslektaşlarıma faydalı olması ümidindeyim.

Tezimi, bilim yapmaya çalışan, ömrünü idealler peşinde geçiren, hakettiği imkanlara kavuşamadığı halde yılmayan, her biri apayrı bir cevher olan Türk bilim insanlarına ve adaylarına ithaf ediyorum.

ÖZET

Biyolojik sinir hücresinin çok karmaşık işlemleri başarıyla gerçeklemesi, bilim adamlarına nöral hesaplama alanında çalışma ve yapay sinir sistemleri geliştirmeyi ilham etmiştir. İnorganik sayısal bilgisayarlar gibi, canlı sinir hücreleri de elektriksel gerilim farkı işaretleriyle bilgi işlemektedir. Üstelik sinir ağları milisaniyelik sinir darbe işaretleriyle, nanosaniyelik zaman aralığında anahtarlama yapan sayısal bilgisayarlardan daha yüksek performanslar vermektedir. Sinir hücresinin bu avantajlarından faydalanmak için çok sayıda yapay sinir hücresi modeli, ağ topolojisi ve öğrenme algoritması geliştirilmiştir.

Yapay sinir ağlarının donanım gerçeklemeleri olan nöroişlemciler, standart mikroişlemciler için çok karmaşık uygulamalarda kullanılmaktadır. Böylece nöral hesaplamanın avantajlarından donanım olarak faydalanılmış olmaktadır. Ancak bu donanım uygulamaları giriş-çıkış sayısı, sabit aktivasyon fonksiyonu, sabit ağ tipi, sınırlı çalışma aralığı gibi bazı kısıtlamalar içermektedir.

Bu çalışmada öncelikle literatürde mevcut yapay sinir ağı donanımları incelenmiş ve kısa bilgilerle teknik özellikleri ortaya konmuştur. Daha sonra Yapay Sinir Ağı donanımlarının bazı kısıtlamalarını aşmak için yeni tasarım metodları ve AY ağı topolojisi geliştirilmiş ve gerçekleştirilmiştir. Önerilen geçiş transistör lojisi tabanlı tasarım sayesinde, tümdevrenin programlanabilir giriş-çıkış esnekliği sağlanmıştır. Tasarlanan tümdevreye ismini veren AY isimli yeni ağ yapısı ise programlanabilir aktivasyon fonksiyonu esnekliğini sağlamaktadır. Sonuç olarak ağ topolojisi, giriş-çıkış sayısı ve aktivasyon tipi sınırlı olmayan, kaskatlanabilen, hibrit mimaride bir nöral tümdevre tasarlanmış, Özel Veya sentezi ve İris bitkisi sınıflama problemleriyle test edilmiştir.

Anahtar kelimeler: AY ağı, Yapay Sinir Ağı tümdevresi, AY tümdevresi, hibrit tümdevre sentezi, çok katmanlı perseptron, radyal tabanlı fonksiyon, iris sınıflama, Özel Veya sentezi

ABSTRACT

The ability of biological neurons to perform very complex tasks successfully has inspired scientists to study the field of neural computation and try to develop neural systems. Like inorganic digital computers, living neural cells process information with electrical potential difference signals. Furthermore neural networks using nerve impulses lasting nearly a millisecond have better performance than the digital computers switching at nanosecond intervals. To utilize these advantages of neural cell, a number of artificial neuron models, network topologies and learning algorithms have been developed.

The neuroprocessors which are the hardware implementations of artificial neural networks are used in the more complex applications for the standard microprocessors. Thus, the advantages of neural computation are utilized in the hardware platform. However these hardware implementations have some limitations such as number of input-output, fixed activation function type, fixed network topology and limited operation range.

In this work, first, many of existing artificial neural network hardware implementations are examined and their technical properties are briefly explained. Later to overcome the limitations of neural hardware new design methods and AN network approaches are developed and realized. Proposed pass transistor logic design method provides programmable input-output flexibility to the integrated circuit. Designed integrated circuit called AN network provides the programmable activation function flexibility to the hardware. Finally, cascaded and mixed integrated circuit topology of realized neural network, having unlimited input-output number and type of activation function, is implemented and tested with the Exclusive Or synthesis and Iris plant classification problem.

Keywords: AN network, neural network integrated circuit, AN integrated circuit, mixed integrated circuit design, Multi Layer Perceptron, Radial Basis Function, Iris plant classification, Exclusive Or synthesis

1. GİRİŞ

Yapay Sinir Ağları (YSA), biyolojik sinir hücrelerinin çalışma prensibini matematiksel olarak ifade etmeye çalışan, bu matematiksel modellerin yardımı ile insan beyninin üstün işlem yeteneğini bilgi işlemede kullanmayı amaçlayan bir bilim dalıdır. İnsan beyninin en hızlı sayısal bilgisayarlardan daha etkili ve farklı çalışıyor olması, YSA ile etkin gerçeklemeler yapılabileceği fikrini ortaya koymaktadır. YSA'nın ulaştığı disiplinler arası uygulamalar bu yaklaşımın doğruluğunu ispat etmektedir. Günümüz sayısal bilgisayarları insan beynine göre çok yüksek işlem hızlarına ulaşmalarına rağmen, insan beyninin veri işleme performansına yaklaşamamaktadırlar. Bunun nedeni beynin karmaşık, paralel, lineer olmayan ve bağlantı yapılarını organize edebilen nöron adı verilen sinir hücrelerinden oluşması diye bilinmektedir. Enerjisini biyokimyasal reaksiyonlardan alan, canlı, milisaniyeler hızında 100 mV civarında darbeler vasıtasıyla bilgi işleyen, her gün pek çok ölümler olmasına rağmen performans düşümüne neden olmayan, ortalama 10^{-12} W güç tüketen biyolojik sinir hücreleri, elektrik enerjisinden beslenen, canlı olmayan, nanosaniyeler mertebesinde birkaç Voltluk elektrik işaretleri ile bilgi işleyen, tek bir transistör kaybının bile tüm fonksiyonalitesini iptal edebileceği veya büyük performans düşümüne neden olacağı hassaslıkta, bir lojik kapısının bile biyolojik nörondan milyonlarca kat daha fazla güç harcadığı sayısal bilgisayarlara göre çok ileri işaret işleme ve verileri ilişkilendirerek saklama yeteneğine sahiptir (Haykin, 1994). Biyolojik sinir hücresinin bu avantajlarının yapay modellenmeleri ile yazılım ve donanım ortamında kullanılması sağlanmıştır. Böylece veri ile öğrenebilen, öğrendikleri ile bilmediklerine ulaşabilen, çok etkili genellemeler yapabilen YSA yapıları oluşmuştur. (McCulloch ve Pitts, 1943). YSA, biyolojik sinir hücresinin farklı yönlerinin daha iyi tanınması sonucu her geçen gün gelişmekte olan, yeni kullanım alanları ve algoritmaları ile pek çok bilim dalına katkı sağlayan sınıflama, fonksiyon yaklaştırma, tahminde bulunma, genelleme ve sonuç çıkarma uygulamalarının en yaygın araçlarıdır.

YSA'nın, donanım olarak gerçekleştirilmesi, biyolojik nöronun üstün işlem yeteneklerini donanım ortamına da taşımaktadır (Heemskerk, 1995). Donanım gerçeklemeleri genellikle yapı birimi yapay bir nöron modeli olan, farklı ağ yapıları sentezleyen, programlanabilen veya programlanamayan devre ve tümdevre mimarileri olarak karşımıza çıkmaktadır. Bunun yanında genel amaçlı mikrodenetleyici, FPGA (Field Programmable Gate Array) gibi yapılarda da yazılım tabanlı gerçeklemeleri söz konusu olmaktadır. Tabii ki bu yazılım tabanlı yapılar pek çok uygulama için tümdevre tasarımına göre daha yavaş ve daha düşük hassasiyet ile çalışmaktadır (Aybay, 1996). Bu tür yapıların tek tercih nedeni az sayıda

kullanım için ekonomik olmaları ve tümdevre üretiminden çok daha çabuk elde edilmeleridir. Ticari olarak nöron yapı birimli tümdevreler de mevcuttur. Intel (1990) firmasının ürettiği ETANN (80C176NW) tümdevresi gibi nöral tümdevre yapıları da fazla pahalı olmayan fiyatlarla bulunmaktadır. Genel amaçlı nöral tümdevre olmalarına rağmen ETANN (İntel, 1990) gibi tümdevreler çoğu uygulamalar için yeterli hız, bellek, çalışma aralığı, çözünürlük gibi kriterleri sağlamamaktadır. Bu durumda YSA tabanlı çözüm için uygulamaya özel tümdevre yapıları karşımıza çıkmaktadır. Varolan YSA donanımlarına baktığımız zaman programlanabilirliği, analog, sayısal veya hibrit tasarlanmış olması, öğrenme yeteneğine sahip oluşu veya olmayışı, aktivasyon fonksiyonu tipi, çalışma ve veri transfer hızı, kaskatlanabilmesi, ağırlık ve biyas değerlerinin tümdevre üzerinde saklanıp saklanamaması, giriş ve çıkışlarının analog veya sayısal olması, çalışma gerilim aralığı, giriş ve çıkış sayısı, nöron sayısı, transfer fonksiyonu tipi ve tek başına veya host olarak kullanımına göre sınıflandıklarını görürüz (Aybay, 1996). Ancak tüm bu donanım gerçeklemelerinde, YSA'nın kişisel bir bilgisayar üzerindeki sentezinin yazılım ortamında gösterdiği esnekliğe ve etkinliğe ulaşamamaktadır (Beiu, 1996a). Bunun nedeni donanımların yazılım ortamındaki kadar esnek ve genel amaçlı olamayışı, kişisel bilgisayarın işlemcisinin matematiksel işlem kabiliyetinin üstünlüğü, karmaşık ağ yapılarının, bağlantı stratejilerinin istenen esneklikle sentezlenebilmesi, giriş, çıkış ve nöron sayısının bilgisayar ortamında kısıtlı olmaması gösterilebilir. Aynı zamanda yazılım ortamında geliştirilen yüzlerce YSA algoritmalarının donanım uygulamaları için uygun olmayışı, işlem karmaşıklığının yüksek oluşu gibi nedenler de vardır. YSA için en temel sayılabilecek hata geriye yayımlı MLP (Rumelhart ve McClelland, 1986), Hopfield (Hopfield, 1982a) ve kendini inşa eden SOM (Kohonen, 1989) gibi ağların tümdevre gerçeklemelerinde bile çok sayıda farklı öğrenme algoritmalarına (Beiu, 1996a), lineer veya lineer olmayan farklı sayıda eleman içeren, çalışma aralığı üretim teknolojisine bağlı olarak belirlenen, yapım tekniği, işlem yeteneği farklı donanımlar mevcuttur (Beiu, 1998).

Bu çalışmada tasarlanan tümdevrenin; günümüz YSA tümdevre uygulamalarının ihtiyaç duyduğu esnekliği sağlamak için gerekli olan; giriş ve çıkışların istendiği gibi ayarlanabilmesi, nöronların sadece tek tip aktivasyon fonksiyonunu değil pek çoğunu aynı anda aynı kırmıkta birbirlerinden bağımsız olarak gerçekleyebilmesi, tümdevrenin kaskatlanarak büyük ağların sentezine yapıtaş olması hedeflenmiştir. Hibrit mimaride olan bu tasarım benzetim ortamında 0.5µ CMOS AMIS-MOSIS tasarım kuralları ve parametreleri ile sentezlenmiş, SPICE programı benzetim testi yapılmıştır. 0.5µ CMOS AMIS-MOSIS çift poli

içeren EEPROM hafıza tasarımına uygun bir prosestir. Tasarlanan tümdevre ağırlık ve biyas değerleri ile ağ bağlantı stratejisini kendi üzerinde kalıcı sayısal EEPROM bellekte saklamaktadır. Yeni önerilen AY ağı adı verilen bir ağ topolojisi ile literatürde yaygın bir çok aktivasyon fonksiyonunu belirli bir hata yaklaşımıyla gerçeklemektedir. Bu ağ topolojisi için gerekli tüm katsayılar da, yine kalıcı sayısal bellekte saklanmaktadır. Tümdevre kendi üzerinde öğrenme özelliğine sahip değildir. Kullanımı uygulayıcının bilgisayar ortamında sentezlediği ağın bağlantı stratejisini, ağırlık ve biyas değerleri ile aktivasyon fonksiyonu katsayılarını, tümdevreyi kişisel bir bilgisayara uygun donanımla bağlayarak aktarması ile mümkündür. Programlanmasının ardından tümdevre istenen herhangi bir devre gerçeklemede kullanılabilir. Böylece çok yaygın kullanılan günümüz mikrodenetçilerinin kullanımına paralel ve onlara alternatif bir nörodenetleyici sentezi yapılmıştır.

Tümdevre sentezi sırasında geçiş transistör lojiği kapsamında yeni tasarım metodu geliştirilmiş, bu metod, tümdevrenin sayısal kısımlarının neredeyse tamamının sentezinde kullanılmıştır (Avcı ve Yıldırım, 2003a). Aynı tekniğin analog işaretlere hibrit sentezle uyarlanması da geliştirilerek tümdevrenin esnek bacak ve ağ bağlantı stratejisi ve programlanabilirlik kontrolü için kullanılmıştır. Tümdevreye ismini veren nöronun programlanarak istenen aktivasyon fonksiyonunu gerçeklemede sağlayan AY ağı adlı evrensel fonksiyon sentezleyici tümdevrenin aynı anda karma aktivasyon fonksiyonu kullanmasını sağlamaktadır (Avcı ve Yıldırım, 2004a ve 2004b). İleri yönlü veya geri beslemeli, Çok Katmanlı Perceptron (MLP) ağı, Radyal Tabanlı Fonksiyon (RBF) ağı gibi yapıları sentezleyebilen bu esnek donanım, programlanması sonucu istenen ağ topolojisini, nöron giriş, çıkış sayı ve bağlantısını, istenen aktivasyon fonksiyonu ile tek veya daha çok sayıda kullanılarak sağlamaktadır. Literatürde mevcut tümdevre yapıları incelenmiş, bu derece esnek bir yapıya sahip YSA tümdevresine rastlanmamıştır. Yaygın pek çok hibrit mimarinin tam tersine bu çalışmada giriş işaretleri için herhangi bir analogtan sayısala dönüşüm yapılmamış, işaret analog işlenmiş böylece hız kaybı azaltılmaya çalışılmış, ancak çalışma sırasında değişmeyen değerlere sahip kontrol ünitesi ve hafıza birimleri sayısal olarak sentezlenmiştir.

Literatürde mevcut en yaygın YSA donanım uygulamaları ikinci bölümde temel özelliklerinden bahsedilerek incelenmiştir. Üçüncü bölümde tümdevre tasarımında kullanılan yeni metotlara yer verilmiş, AY ağının temel teorisi ve MATLAB yazılımı tabanlı benzetim sonuçları bu bölümde yer almıştır. Dördüncü bölümde analog, sayısal ve hibrit blokların temel bileşenleri, hafıza hücresi, işlemsel yükseltici, algı yükselticisi, çarpıcılar gibi hiyerarşik

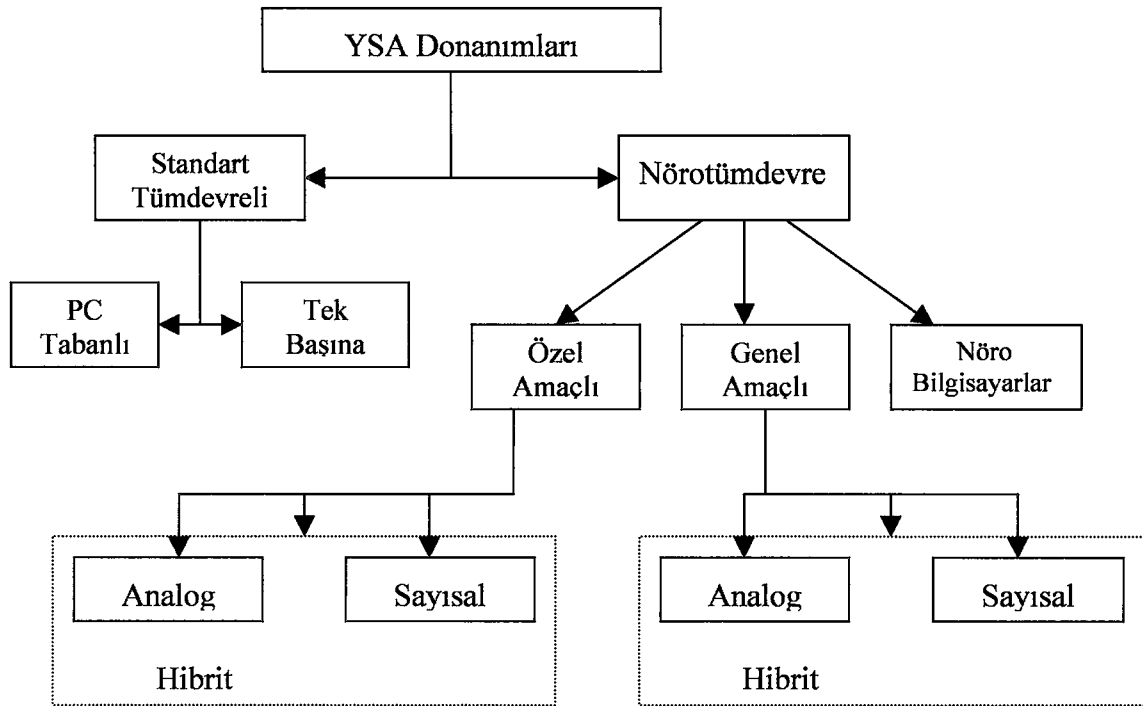
tasarım bileşenleri sentezlenmiş, ayrı ayrı benzetim sonuçları verilmiştir. Beşinci bölüm, sinaps ve nöron sentezi ile hafıza bloğunun tasarımını içermektedir. Yine bu bölümde tümdevreye ismini veren AY ağı transfer fonksiyonu yaklaşımının donanım üzerindeki benzetim sonuçları da yer almaktadır. Üçüncü bölümde MATLAB 6.5 ortamında yazılım tabanlı yaklaşımlarla kıyaslanan AY ağı, bu bölümde donanım olarak gerçekleştirilip yine ünite 3'teki gibi hedeflenen ideal fonksiyonla aynı eksen üzerinde gösterilmiş, hata dağılımları da ayrıca grafik olarak verilmiştir. Tamamlanan tümdevre, altıncı kısımda gösterilmiş, programlanma ve çalışma durumları açıklanmıştır. Yedinci bölümde ise tümdevre XOR ve İris bitkisi sınıflama problemleri için üzerinde değişik YSA gerçeklemeleri ile teste tabi tutulmuş, benzetim sonuçları ve sınıflama performansları grafik üzerinde gösterilmiştir. Sonuç kısmında ise tümdevrenin uygulanabileceği alanlar, önemi ve ileri hedeflerine değinilmiş, bilime katkıları ve başarımı tartışılmıştır.



2. YAPAY SİNİR AĞI DONANIMLARI

YSA donanımları önceleri hazırda var olan standart, genel amaçlı, yapı birimi nöron olmayan donanımlar üzerinde gerçekleşmiş ve pek çok uygulama için yeterli performansı sağlamışlardır. Standart donanımlar gelişen teknolojiye göre yetersiz kalınca ek nöral mimariler yine standart işlemciler kullanılarak ayrı kartlarda hızlandırıcılar olarak sentezlenmeye başlamıştır. Bu yapılar bilgisayarlar için nöral hesaplamaları hızlandıran ek kart mimarilerinde veya kendi başlarına çalışan sistemler olarak karşımıza çıkmaktadır (Heemskerk, 1995). Bu yapılarda tekli veya çoklu mikrodenetleyici, mikroişlemci veya FPGA gibi standart işlemciler üzerinde YSA topolojileri sentezlenmektedir. Standart tümdevre kullanarak tasarım yapmak yeni bir nöral tümdevre üretmekten daha çabuktur ve daha ucuza mal olmaktadır (Avcı ve Yıldırım, 2003a). Bu nedenle sayısal işaret işleme (DSP) tümdevrelerinin, kapı dizilerinin veya mikroişlemcili yapıların hız ve performans olarak yeterli olduğu uygulamalarda tercih edilmeleri ekonomik açıdan daha mantıklı bir çözümdür. Ancak daha yüksek hız ve performans ihtiyacının sürekli artarak arzu edilmesi, görüntü işleme, kontrol, veri madenciliği ve veri işleme gibi, yapay sinir ağlarının uygulama alanı bulduğu yüzlerce konuda zaruret olmaktadır. Bu nedenle yapı birimi yapay sinir ağlarının temel bileşeni nöronun, matematik modellerinden biri olan, öğrenme algoritması da donanıma uyarlanmış, yüzlerce tümdevre yapısı karşımıza çıkmaktadır. Bu tümdevrelerin çeşitliliğinin, literatürde bulunan nöron ve sinaps modellerinin, ağ topolojilerinin ve öğrenme algoritmalarının çeşitliliği ile lineer arttığı görülmektedir (Beiu, 1996a ve 1998). Ancak her teori donanıma uygun değildir. Donanım olarak sentezi mümkün kılmak için pek çok farklı yapıda donanıma özel öğrenme algoritmaları geliştirilmiştir (Beiu, 1996a). Tasarım tekniklerinin analog, sayısal veya hibrit oluşu da bu tümdevre yapıları için ayırt edici özelliklerdendir. Bir kısmı genel amaçlı, bir kısmı da amaca özel tasarımlar olan bu yapılar, çoklu, tekli veya bilgisayar ile birlikte, programlanabilir, eğitici veya eğiticişiz öğrenebilir şekillerde literatürde yer almaktadır.

Şekil 2.1 de yapay sinir ağlarının donanım uygulamaları, donanım özelliklerine göre görsel olarak sınıflandırılmıştır. Bu temel bir sınıflandırma yaklaşımıdır, ilerleyen konu başlıkları alt kategorilerde pek çok farklı özelliğe sahip tümdevreleri de kapsamaktadır. AY tümdevresi genel amaçlı, tek başına veya kaskatlanarak çoklu ağ sentezleyebilen, hibrit mimaride yapay sinir ağı tümdevresi olduğu için, genel amaçlı yapay sinir ağı tümdevreleri yapı birimi özellikleri konu içerisinde daha detaylı sınıflandırılarak incelenmiştir. Literatürde mevcut hemen her kategorideki devre ve tümdevreler teknik özellikleriyle kısaca tanıtılmıştır.



Şekil 2.1 Yapay sinir ağı donanım gerçeklemeleri

2.1 Standart Tümdevreli Yapay Sinir Ağı Donanımları

Bilgisayar kontrollü ek hızlandırıcı kartlar veya tek başına çalışan standart işlemcili kartlar olarak karşımıza çıkarlar. Nöral işlemleri yazılımla çözümlemektedirler. Geneli sayısal tasarım mimarisindedir. Başlangıçta bu yapılar pek çok uygulamada önceden eğitilmiş bir ağın sentezi için programlanarak kullanılmıştır. Üzerlerinde işleyen programlar sadece o önceden eğitilmiş ağ tipinin kullanımını sağlayacak nitelikte olmuştur. Daha sonraları öğrenme işlemleri de üzerlerinde gerçekleştirilmiştir (Heemskerk,1995). Örnek olarak, Connection Machine (Singer, 1990), Warp (Pomerleau ve diğerleri, 1988), MasPar (Grasjki, 1992), Hughes (Shams ve Gaudiot, 1990), GF11 (Withbrock ve Zagha, 1989), AAP-2 (Watanabe ve diğerleri, 1989), Transputer Based Machines (Vuurpijl, 1992) ve CRAY YM-P süperbilgisayar (Leung ve Setiono, 1993) sayılabilir. Ticari olarak mevcut mikroişlemciler, mikrodenetçiler, DSP ve FPGA kırmıkları günümüzde bu donanım gerçeklemelerinin temel yapıtaşlarıdır. Kişisel bilgisayarlara hızlandırıcı ek donanımlar, bilgisayara muhtaç oluşu, yer tüketimi ve pek çok uygulamada çözüm maliyeti olarak elverişsizdir. Bu nedenle tek başına yazılım yürüten bağımsız ve ucuz donanımların kullanımı daha popüler olmuştur. Akıllı veri eldesi (DAQ) gibi konularda bilgisayar tabanlı donanımla ağ sentezleme devam etmektedir (Murre, 1995). Çok işlemcili kendi başına kullanılabilir sistemler de gerekli hızı ve ağ

sentezini sağlamak için bazan Sayısal İşaret İşleme (DSP) tümdevreleri ile birlikte kullanılmıştır. Daha iyi performans için donanımsal çözümler içeren nöral tümdevrelerin, bu yapılar ile birlikte kullanılması diğer bir sınıf altında yer alan nörobilgisayarlara gelişim sağlamıştır.

2.1.1 Kişisel Bilgisayarlara Bağlı Yapay Sinir Ağı Donanımları

Standart bilgisayarların nöral işlem kabiliyetini geliştirmek için üretilen tasarımlardır. Bilgisayar kontrolünde bilgisayara bağımlı çalışırlar. Bunların en yaygın olanları şunlardır.

ANZA Plus : Hecht-Nielsen Corporation tarafından tasarlanmıştır. PC içerisine monte bir karttır. Kullanıcı ara yüzüne sahip kütüphane tabanlı yazılım kullanmaktadır. Motorola NC68020 işlemcisi ile MC68881 kayan nokta aritmetik işlemcisi içerir. 1 M işlem elemanı PE (Perceptron) ve 1.5M bağlantı da 1500 CUPS (Connection Update Per Second) ve 6 MCPS (Mega Connections Per Second) performansına sahiptir. (Treleaven, 1989)

NT6000 : Neural Technologies Limited tarafından ticari olarak geliştirilmiştir. NT6000st ve NT6000hs olmak üzere iki modeli vardır. Bu donanımlar PC için tasarlanmış akıllı veri toplama (DAQ) kartlarıdır. TMS 320 DSP tümdevresi ile NISP (Neural Instruction Set Processor) tümdevresi temel bileşenleridir. Arayüz yazılımı pek çok YSA tasarım yazılımı ile birlikte kullanılabilir. Analog ve sayısal giriş ve çıkışlara sahiptir. Her kanal için saniyede 2 MCPS hızına ulaşabilmektedir. (Murre, 1995)

Balboa 860 : Hecht-Nielsen Corporation tarafından 1993 yılında geliştirilmiştir. Intel i860 tümdevre merkezi işlemcili bir karttır. PC ve Sun iş istasyonu ile uyumludur. ExploreNet isimli bir yazılımla birlikte kullanılmaktadır. Hız performansı 25 MCPS, 9 MCUPS olarak verilmiştir. (HNC, 1993)

Ni1000 : 1992 yılında Intel Corporation tarafından geliştirilmiştir. Özellikle optik karakter tanıma uygulamaları için geliştirilmiştir. NestorACCESS yazılımı ile programlanmaktadır. Temelde bu yazılım RBF yapısını kullanarak karakter tanımaktadır. Fakat üzerinde MLP de gerçekleştirilebilir kullanıcıya bırakılmıştır. Karakter tanımada 100 ile 1000 kat arası performans artışı sağlamaktadır. (Lippman, 1991)

SAIC : SIGMA-1, Science Applications International Corporation tarafından geliştirilmiştir. Delta kayan nokta aritmetik tabanlı PC ek sistemidir. Nesneye yönelik ANSim ve ANSpec yapay sinir ağı kütüphanesi yazılımı içerir. 3.1 M PE ve aralarındaki bağlantı halinde 11 MCUPS performansına sahiptir. (Treleaven, 1989)

IBM NEP : IBM Scientific Center, Palo Alto tarafından üretilmiştir. Nöral deney ortamıdır. NEP (Network Emulation Processor) PC için tasarlanmış kaskatlanabilir bir işlemcidir. İnteraktif ağ uygulama yazılımı ve Genellenmiş Ağ Yazılımı (GNL) isimli yazılımlara sahiptir. Donanım TMS320 DSP tümdevresi ile çok sayıda dinamik ve statik hafızadan oluşur. 256 taneye kadar kaskatlanabilir yapıdadır. Her NEP 4000 sanal PE için 60000 bağlantı ve saniyede 30 ile 50 bağlantı arası ağ güncelleme performansına sahiptir. (Heemskerk, 1995)

NBS : Micro Devices Corporation tarafından 1990 yılında geliştirilmiştir. MD1220 NBS (Neural Bit Slice) kartı her biri 15 tane sinaptik sabit bağlantılı 8 sayısal düğüm içermektedir. İkili düğümler veriyi paralel işleyebilmektedir. Her düğüm için sinaps sayısı ek donanımlar ile 256 ya kadar çıkabilmektedir. Bilgisayarda eğitim gerçekleştirilmektedir, kart üzerinde öğrenme yoktur. Ağırlıklar da ekstra bellekler üzerinde saklanmaktadır. Çok sayıda NBS kartı paralel olarak kullanılabilir. 10 MCPS ve saniyede 55 M komut işleme hızına sahiptir. (Heemskerk, 1995)

Neuro Turbo I : Mitec Corporation Nagoya Institute of Technology tarafından geliştirilmiştir. Neuro Turbo (Iwata, 1989) dört adet DSP tümdevresinin yer aldığı bir PC kartıdır. Fujitsu firmasının MB 68220 tümdevresinin hiper küp bağlantısı ile iki kata yakın performans artışı sağlamaktadır. Çok sayıda kaskatlanabilmesi mümkündür. (Onuki ve diğerleri, 1993)

Neuro Turbo II (MMBB) : Mitec Corporation Nagoya Institute of Technology tarafından geliştirilmiştir. Neuro Turbo I kartının Motorola firmasının kayan nokta DSP tümdevresi DSP96002 ile tasarlanmış halidir. MMBB (Matrix Memory with Broadcast Bus) mimarisindedir. 16.5 MCUPS hızına sahiptir. (Arif ve diğerleri, 1993)

Kobold : Kobold standart hata geriye yayılma algoritmasıyla öğrenebilen, üzerinde istenilen ağ yapısının sentezlenebildiği, özel bir haberleşme birimi içeren, 128 nöronlu bir uygulamada, 20 MHz saat darbesinde, 121.9 MCUPS performans gösteren yapay sinir ağı ek işlemcisidir. Üç katman içerir şekilde tasarlanmıştır. Eğitime göre katmanlar arası bağlantı ayarlanmaktadır. Bilgisayara bir arayüz kartı ile bağlanmaktadır (Bogdan ve diğerleri, 1994).

Neurotransputters : Taganrog State University of Radio Engineering tarafından tasarlanmıştır. Üzerinde nöral hesaplamaların yapıldığı aritmetik ünitesi, temel nöron birim ünitesi, ağırlıkların saklandığı hafıza ünitesi ve seri haberleşmenin yapıldığı, haberleşme

ünitesi mevcuttur. Takıldığı bilgisayarı nöral işlem olarak hızlandırdığı bilinmektedir (Chernukhin ve diğerleri, 1995).

SPERT II : Sun iş istasyonu makinelerin, Sbus veri yolu bileşeni için tasarlanmış, çift slot işgal eden, donanımsal olarak hata geriye yama algoritması ile öğrenen ek işlem birimidir. Takıldığı iş istasyonunun öğrenmesini 15 kata kadar arttırdığı görülmüştür. 16 bit veriyolu ile çalışır, ağırlık verilerini kendi üzerinde tutar. Xilinx firmasının ürettiği bir FPGA ünitesi sayesinde haberleşme arayüzü tasarlanmıştır. İçerdiği 16-bit çarpıcılar sonuçları 32 bit olarak saklar ve işlerler (Wawrzynek ve diğerleri, 1996).

RAPTOR 2000 : FPGA tabanlı bilgisayar ek nöroişlem kartıdır. Xilinx Virtex XCV 1000 FPGA tümdevresi ile bilgisayar PCI slotu için tasarlanmıştır. Pek çok yapay sinir ağı, SOM, MLP, RBF gibi sentezleyebilir haldedir. Ağırlık değerlerini üzerinde bulunan 128 MB SDRAM modülünde saklar. 128 tane aktif edilmiş nöron yapısında 53000 vektör bağlantı performansını sergilemiştir (Porrmann ve diğerleri, 2002).

FPGA-RCE : FPGA-RCE (Reconfigurable Computing Environment) Xilinx XC6000 tümdevreleri ile tasarlanmış, üzerinde ileri yönlü ağ sentezlenebilen. DEC Alpha iş istasyonuna bağımlı çalışan bir donanımdır. SPACE 2 donanım seti üzerinde çalıştırılmıştır. 32 bit veri yolu ile 33 MHz saat frekansında çalışmaktadır (Zhu ve diğerleri, 1999).

Anlatılanlar en yaygın kullanılan tasarımlardır. Bu tasarımların literatürde pek çok uygulamaları da mevcuttur. Daha küçük çaplı pek çok donanım uygulaması da mevcuttur.

2.1.2 Kendi Başına Çalışabilen Standart Tümdevreli Donanımlar

Bu tür işlemcilerle yapılan ağlarda en bariz zorlanan noktalar sigmoid yapıdaki aktivasyon fonksiyonlarının, öğrenme gerçeklemelerinde kullanılan türevlerinin matematiksel olarak elde edilmesi olmuştur. Fonksiyonu hesaplamaktan çok LUT (Look up Table) çözümleri kullanılmıştır. Genellikle özel amaçlı sayısal işaret işleme yeteneğine sahip işlemciler olarak kullanılmışlardır. Tekrar konfigüre olabilir yapıdadırlar. Bu tür işlemcilerin en yaygın olanları şunlardır:

WISARD : 1984 yılında Londra Imperial College tarafından özellikle görüntü işlemek maksadıyla tasarlanmıştır. CRS (Computer Recognition Systems) firması tarafından WISARD/CRS1000 adıyla ticari olarak piyasaya sürülmüştür. WISARD mimarisi Rastgele Erişilebilir Bellek (RAM) dizileri içermekte ve bunlarla giriş görüntüsünü n-bitlik parçalar halinde işlemektedir. Sınırlı bir görüntü tanıma yeteneğine ulaşmıştır. Tüm adreslenen

hücrelere lojik 1 yazılır. Geri kalanlar lojik 0 değerindedir. Nesnenin tanınması o nesneye ait lojik 1 lerin sayısı ile bulunmaktadır. (Aleksander ve diğerleri, 1984)

Mark III ve Mark IV : 1990 yılında Hechter Nielsen Corporation tarafından geliştirilmişlerdir. Nöral işlemin en erken ticari olarak uygulandığı yapılardır. Sekiz adet Motorola 68010 DSP tümdevresi içerir. 8 bin düğümü 80000 bağlantı ile gerçekleyebilir. 65000 bin hayali PE ile 1000000 bağlantı için 0.45 MCPS performansı ile gerçekleyebilmektedir. Mark IV ise Motorola 68020 DSP tümdevresi ile MC68881 tümdevresinden 15 adet içermektedir. 236000 hayali PE ile 5.5 M bağlantıda 5 MCUPS performansını sergilemektedir. (Heemskerk, 1995)

Sandy-8 : 1990 yılında Japonya Fujitsu Laboratuvarlarında geliştirilmiştir. Sistolik dizi mimarisinin bir prototip yapısıdır. 256 adet TMS320C30 DSP tümdevresinin çembersel kayan yazmaç topolojisi ile bağlanmasından oluşmaktadır. Her tümdevre iki komşusuna bağlanmakta, veri barındırma ve iletme şeklinde çalışmaktadır. 135 MCUPS performansına ulaştığı görülmüştür. (Kato ve diğerleri, 1990)

GCN : 1990 yılında Japonya da Sony Corporation tarafından üretilen GCN (Giga Connection Network) intel firmasının üretimi i860 tümdevre mimarisine sahiptir. 128 adet PE içerir. Eğitme paterni paralelinde 1 GCUPS performansına sahiptir. (Hiraiwa ve diğerleri, 1990)

Topsi : 1992 yılında Texas Instruments tarafından üretilmiştir. 100 ile 1000 arası kaskatlanabilir modül içeren bir DSP ve genel amaçlı bir işlemcinin kontrol ettiği yapıdır. Modüller arası haberleşme ortak bir yol üzerinden veya tekrar konfigüre edilebilir bir donanımla sağlanabilmektedir. Tahmini performans aralığı 150 MCUPS ile 1.4 GCUPS verilmiştir. (Nordstrom ve Svensson, 1992)

BSP 400 : Leiden Üniversitesi ve Delft Teknoloji Üniversitesi tarafından Hollanda da üretilmiştir. BSP 400 16 adet mikroişlemcinin kontrol ettiği 400 adet ucuz fiyatlı mikroişlemciden oluşmaktadır. Modüller paralel olarak bağlanmıştır. Her işlemci 1 Mhz saat darbesiyle çalışmakta 2 KB EEPROM ve 128 Byte RAM içermektedir. Seri port vasıtasıyla PC ile haberleşebilmektedir. Her bir işlemciye programlanan belirli aktivasyon fonksiyonları ve bağlantı kuralları ağ sentezlenmektedir. 6.4 MCPS performansına sahiptir. (Hemskerk ve Murre, 1995)

DREAM 1992 yılında Hughes Research Laboratory tarafından geliştirilmiştir. DREAM (Dynamically Reconfigurable Extended Array Multiprocessor) de iki boyutlu kafes yapısında

dizilmiş bellek hücreleri konfigüre edilebilir anahtarlar tarafından kontrol edilmektedir. Sigmoid fonksiyonu LUT ile sentezlenmektedir. Ağ sentezi değişik uzunlukta işlemsel yolların iki boyutlu kafesten tek boyutlu 'yılansı' bağlantısı ile elde edilir. 256 düğümlü hata geriye yayma uygulamasında 517 MCPS performansına sahiptir. (Shams ve Gaudiot, 1992)

RAP : RAP (Ring Array Processor), ICSI (International Computer Science Institute) tarafından 1992 yılında geliştirilmiştir. 1990 yılından beri ses tanımda bağlantısal algoritmaların denenmesinde büyük rol oynamıştır. 4 ile 40 arası her biri 256 KB hızlı statik RAM ve 4 MB dinamik RAM içeren TMS320C30 kayan nokta aritmetikli DSP tümdevresine sahiptir. Bu işlemciler Xilinx FPGA tümdevresi tarafından kontrol edilmektedir. Bilgisayara VME yoluyla bağlanabilir. FPGA tümdevresinin izin verdiği tüm yazılım ortamlarında programlanabilir. Tek bord ileri yönlü ağ bağlantısı için 57 MCPS, hata geriye yaymalı eğitimde 13.2 MCPS performansına sahiptir (Morgan ve diğerleri, 1992).

COKOS : 1993 yılında Almanya da Tübingen Üniversitesi tarafından geliştirilmiştir. Kohonen'in SOM yapısını gerçeklemek üzere tasarlanmış genel amaçlı bir sentezdir. Kayan noktali aritmetik ünitelerle kapı dizilerinden oluşur. Bir prototipinde 8 hafıza birimi, bir kontrol ünitesi, toplama ağacı ve aritmetik işlem ünitesi mevcuttur. PC ile bağlantılı çalışabilir. Kohonen'in SOM öğrenmesinde 16 MCUPS performansına sahiptir. Bu performans SOM ağı için ortalama bir SUN iş istasyonundan 16 kat daha hızlıdır (Speckmann ve diğerleri, 1993).

REMAP : İsveç Lulea Teknoloji Üniversitesi ve Halmstad Üniversitesi tarafından 1993 yılında geliştirilmiştir. REMAP (Real time Embedded Modular Adaptive Parallel processor) bir proje dahilinde alanda programlanabilir kapı dizilerinden (FPGA) oluşacak şekilde tasarlanmıştır. Mimarisi uygulamanın özelliğine göre ayarlanabilmektedir. Seri bit aritmetik donanımsal çarpıcılarda kullanılmıştır. Uygulama tipine göre 100 MCPS ile 1 GCPS arasında performansa sahiptir. Bu aralıkta SOM ve MLP uygulamalarının performansı da söz konusudur (Bengtsson ve diğerleri, 1993).

GPPN : Finlandiya Tampere Üniversitesi tarafından geliştirilmiştir. GPPN (General Purpose Parallel Neurocomputer) nöral ek işlemci tasarımıdır. Mimarisinde çok sayıda TMS320C25 DSP tümdevresi işlem elemanı olarak kullanılır, ağaç şeklinde ağ elemanlar arası haberleşme ünitesi ile bilgisayar bağlantı ünitesi içerir. Bu ağ haberleşme ünitesi ağı evrensel hesaplama yeteneğini sağlamaktadır. İşlem ünitelerinin paralel kullanımı sinaps veya nöron düzeyinde yapılabilir. Dış dünya ile Analogtan Sayısala Dönüştürücü (ADC) ve

Sayısalan Analoga Dönüştürücü (DAC) elemanları ile analog olarakta sağlanabilmektedir. Tasarımı MLP, SOM ve Kanerva'nın SDM (Sparse Distributed Memory) ęlarını gerçekleyecek şekildedir. (Kotilainen ve dięerleri, 1993)

TI NETSIM : İngiltere de Texas Instruments ve Cambridge Üniversitesi ortak alışması ile geliştirilmiştir. Ü boyutlu bağlantıya sahip ok sayıda nöro emülatör NETSIM kartlarından oluşmaktadır. PC ye bağlanarak alışmaktadır. Her NETSIM kartı intel 80188 işlemcisi, ek işlemci, hafıza modülleri ve haberleşme modülü içerir. Ek işlemcide matematik işlemcisi, adres ve hafıza kontrolörü bulunur. 15 NETSIM kartına kadar bağlantı alanı mevcuttur. Her kart her nöron için 256 sinaps içeren 256 düğüm içerir. Deęişik ağ yapılarında ortalama performansı 450 MCPS ve 90 MCUPS civarındadır (Garth, 1987).

GeNet : 1993 yılında Münih IBM Araştırma Birimi tarafından Almanya da geliştirilmiştir. GeNet (Generic Network) yüksek ölçeklendirilebilir hiyerarşik yapıda sayısal nöron ağı kartıdır. Boruhattı mimarisinde işlem ve haberleşme bloęuna sahiptir. Sisteme ek olarak 32 bit ring kaydırmalı yazma, bir evrensel yol ve ağa yapısında evrensel toplayıcıyı besleyen bir paralel vektör yolu bulunur. 256 fiziksel düğüm için 1.7 GCPS performansına sahiptir (Soegtrop ve Klagges, 1993).

INCA : 1993 yılında NASA Jet Propulsion Laboratuvarı tarafından geliştirilmiştir. INCA (Integrated NeuroComputing Architecture) hem analog hem de sayısal girişlere sahip, içerisinde her biri 16 sinapsa sahip 8 nöronlu nöral işlem ünitesi, giriş ve ıkış ünitesi, veri saklama ünitesi ve haberleşme ünitesi bulunur. Her cihaz 32 giriş, 32 ıkışa sahiptir. Her cihazda 1024 sinaps bulunmaktadır. Genel amaçlı bir donanımdır. (Mukai ve dięerleri, 1993)

GRD : GRD (Genetic Reconfiguration of DSPs for Neural Network Processing) genel amaçlı yapay sinir ağlarının pek ok yapısını sentezleyebilecek şekilde tasarlanmıştır. 100 MHz saat hızında 32 bit azaltılmış komut setli (RISC) NEC V830 işlemci ile, 15 adet 33 MHz saat frekanslı 16 bit DSP tümdevrelerinden oluşur. 1260 nörona kadar ağ sentezleyebilir. 9 GRD mimarili bord 46 GCPS performansına ulaşabilmektedir (Murakawa ve dięerleri, 1999).

RRANN : RRANN (Run-time Reconfiguration Artificial Neural Network) Xilinx XC 3090 FPGA tümdevresi üzerinde gerçekleştirilmiştir. Hata geriye yayılımlı öğrenme yeteneęine sahiptir. Matematik işlemleri bit-seri olarak yapmakta, aktivasyon fonksiyonu ve onun türevini LUT tabanlı sentezlemektedir. Ağırlık ve hedef deęerleri RAM üzerinde tutulur. 10-14 MHz arası hızla öğrenmekte, 40 MHz ile ileri yönlü ağ sentezlemektedir. (Eldredge ve dięerleri, 1994)

FX-RBF : FX-RBF (Filtered Extra Radial Basis Function) TMS320C6701 DSP işlemci tabanlı RBF yapay sinir ağı sentezlenme devresidir. Sayısal filtrelerdeki aktif gürültüyü silme amaçlı geliştirilmiştir. On-line öğrenme yeteneğine sahiptir, ağırlıkları kendi üzerinde tutar. Uygulamalarında gürültüyü 10-30 dB arası zayıflatmış görülmüştür (Bambang, 2002).

Brain-way Micro-processor : İşlemci kendini organizasyon yeteneğine sahip, karmaşık ağları sentezleyebilen, 35 K kapı dizisinden (GA) ve 1 M-bit SDRAM den oluşmaktadır. Gerçek zamanlı öğrenme yeteneğine sahiptir. 1000 nöronu ve 1000000 bağlantıyı gerçek zamanlı sağlayabilir, hesaplayabilir ve eğitebilir. 200 tanesi 1 milyon hücre ile 200 milyon bağlantı sağlayabilir. Sayısal bir mimaride hızlandırılmış bir hata geriye yayma algoritması ile öğrenmektedir (Ichikawa ve diğerleri, 2000).

FB-MNN : FB-MNN (Frekans tabanlı çok katmanlı yapay sinir ağı) darbe modunda çalışan Xilinx XC4013 FPGA tümdevresi tabanlı yapay sinir ağı gerçekleştirmesidir. Hata geriye yayma metodu ile öğrenme yeteneğine sahip bir donanım mimarisindedir. Sigmoid aktivasyon fonksiyonları stokastik olarak sentezlenmiştir. Frekansa bağımlı ifade edilen tüm işaretler için önerilmiş genel amaçlı bir sentezdir. Sinaps üniteleri direkt dijital frekans sentezleyici (DDFS) yapısındadır. 15 nöron içermektedir. Aktivasyon fonksiyonu ve sinaptik ağırlık değerleri 0 ile 1 arasındadır. Sayısal bir tasarımıdır (Hikawa, 1999).

FPGA-POBP : FPGA tabanlı POBP (Pipelined Online Backpropagation) yapısı Virtex XCV 400 FPGA kontrolünde 30 adet Xilinx XC3000 FPGA tümdevrelerinin bağlanmasıyla oluşur. 1 giriş, 3 gizli, 1 çıkış katmanı içeren bir MLP ağı sentezler. Pipelined Backpropagation denen özel bir hata geriye yayılım algoritması ile ağ öğrenmektedir. Performansı pipelined modda 81 MCPS ve 81 MCUPS, pipelined olmayan modda 81 MCPS ile 17 MCUPS dır (Gadae ve diğerleri, 2000).

BBHNN : BBHNN (Block Based Hopfield Neural Network) Altera EP20K60EFC324-1X FPGA mimarisi üzerinde uygulanmış Hopfield ağlarının özel bir şeklidir. 83 MHz hız ile ağ işlem gerçekleyebilmektedir. 1941 lojik hücre, 1696 tane flip-flop içerir. Nöronlar 2 saat darbesinde işlem yapmaktadır. Tüm nöronlar paralel olarak çalışmakta ve bağlanabilmektedir. Çok sayıda FPGA kullanımı ile kaskatlanabilme yeteneğine sahiptir (Seow ve diğerleri, 2003).

FPGA-MFNN : FPGA tabanlı MFNN (Multilayer Feedforward Neural Network) yapısı donanım için ağ topolojisi basitleştirilmiş bir ileri yönlü ağ sentezidir. Xilinx XL4085 FPGA üzerinde, 257 girişli, 4 gizli katman, 1 çıkış nöronlu ağ sentezlenmiştir. Sigmoid yapısı yerine

hard limiting (sert geiřli) aktivasyon fonksiyonu kullanılmıřtır. 1 MHz hızında grnt iřleyen sistem donanım uygulamasında yazılıma gre ok daha hızlı alıřmıřtır (Puranik ve Garpure, 2002).

MULTIMODEL NEUROPROCESSOR : Aynı anda pek ok ađ yapısını sentezleyebilmesi dřnlerek yapılmıř FPGA tabanlı bir tasarımıdır. Xilinx XC4025 E FPGA tmdevresi zerinde, Hebb, Perceptron, Kohonen, Adaline ve Backpropagation đrenmelerini bir arada sađlayacak řekilde tasarlanmıřtır. Hopfield ađı sentezinde 27225 MCUPS performansına ulařmıřtır (Mihi ve Kaprita, 2002).

FPGA-PDNN : FPGA tabanlı PDNN (Pulse Density Neural Network) Altera EPF10K250AGC599-3 20 MHz saat darbeleri tmdevre zerinde gerekleřtirilmiřtir. Sentezlenen ađ đrenme yeteneđine sahiptir. Ađrılık deđerlerini zel bir pertrbasyon algoritmasıyla sađlamaktadır. Ađrılık deđerleri ve iřlemler -255,255 deđer aralıđında sayısal olarak yapılmaktadır. FPGA iindeki 600000 kapıdan 250000 kadarı kullanılarak sentez yapılmıřtır. 15 iterasyondan sonra ađrılık deđer đrenilmektedir. Yapılan uygulamalarda 952.4 k CUPS performansına kadar ulařılmıřtır (Maeda ve Tada, 2003).

Mikrodenetleyici Tabanlı YSA: Standart ATMEL 89C51 mikrodenetleyicisi zerinde đrenme zelliđi olmayan, kendi bařına alıřabilen, bilgisayar ile seri haberleřebilen, 16 kanal analog giriře sahip bir MLP ađı donanımı sentezlenmiřtir (Avcı ve Yıldıırım, 2003b). Mikrodenetleyici zerindeki hcre modeli (Dzgn ve diđerleri, 2003) deđiřik aktivasyon fonksiyonlarıyla kullanılmıřtır. Taylor seri aılımı ile tanjant hiperbolik sigmoid fonksiyonu sentezlenmiřtir (Avcı ve Yıldıırım, 2003c). Bu topoloji deđiřik veri gruplarıyla denenmiř, olduka iyi sınıflandırma sonuları elde edilmiřtir (Avcı ve Yıldıırım, 2003b).

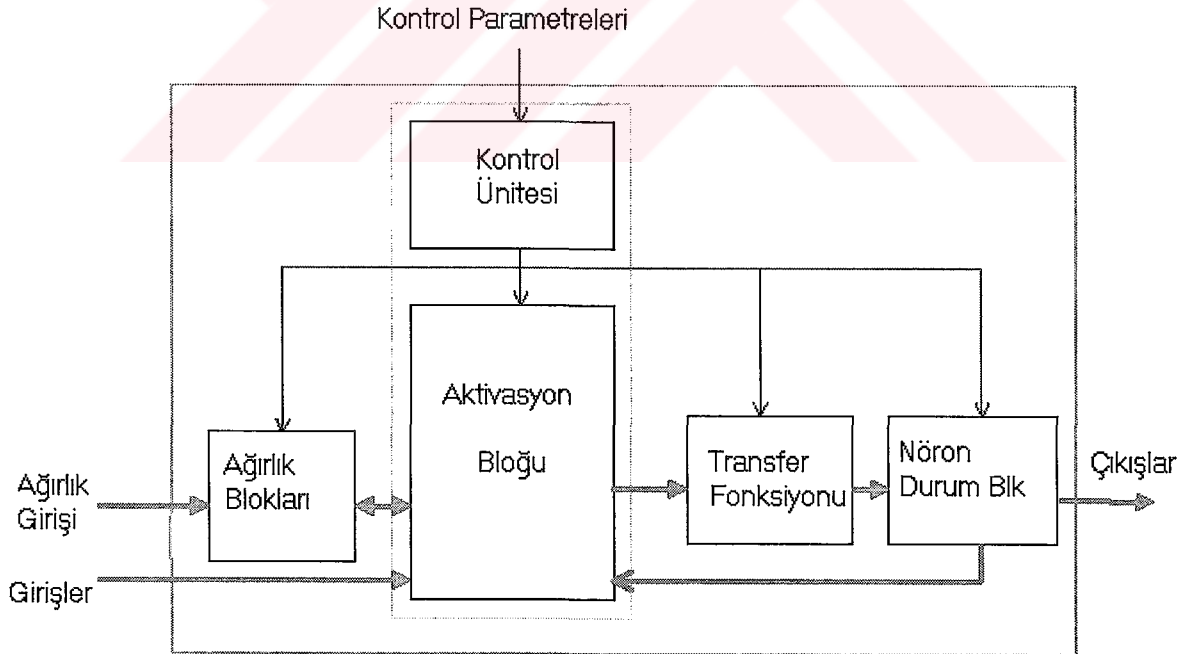
2.2 Nrotmdevreli Yapay Sinir Ađı Sentezi

Yapı birimi biyolojik nronun eřitli matematik yaklařımlarından biri olan bu topolojiler, tek bařına, oklu iřlemcili veya bir ek donanımla nral iřlem yapar halde literatrde yer alırlar. Programlanabilir ve belirli bir yazılım sırasıyla o programı takip ederek iřlem yapanlarına nrobilgisayarlar denmektedir. Bunun yanı sıra nrobilgisayarlar ok sayıda nral tmdevreden veya genel amalı bir devre mimarisi ile nral tmdevrelerin birlikte kullanılmasından oluřabilirler. Nral tmdevreler, genel amalı veya zel amalı olarak analog, sayısal veya hibrit mimaride tasarlanabilmektedirler. Genellikle ařađdaki zellikleri baz alınarak sınıflandırılmaktadırlar.

- Nöron yapısına göre,
 - Nöron sayısına,
 - Nöron değerlerinin tümdevrede veya harici saklanması,
 - Nöronun sayısal, analog veya hibrit olarak tasarımına göre
- Ağırlık durumlarına göre,
 - Sinaps sayısına,
 - Ağırlık değerlerinin tümdevrede veya harici saklanması,
 - Sayısal, Analog veya Hibrit olarak saklanması göre,
- Aktivasyon karakteristiğine göre,
 - Aktivasyon bloğu çıkışının olasılık veya deterministik tabanlı olmasına göre,
 - Sayısal, Analog veya Hibrit olarak tasarımına göre,
 - Değişik aktivasyon tipi içermesine göre,
- Transfer fonksiyon karakteristiğine göre,
 - Chip üstünde veya haricinde gerçekleştirilmesine göre,
 - Sayısal, Analog veya Hibrit olarak tasarımına göre,
 - Eşik değerinin LUT (look up table) veya hesaplanmasına göre,
- Öğrenme tipine göre,
 - Chip üstünde (on line) veya haricinde öğrenmesine göre,
 - Değişik öğrenme algoritmalarını kullanmasına göre,
- Tek başına veya host vasıtasıyla kullanımına göre,
- Hızına göre,
 - Öğrenme hızına göre,
 - İşlem hızına göre,

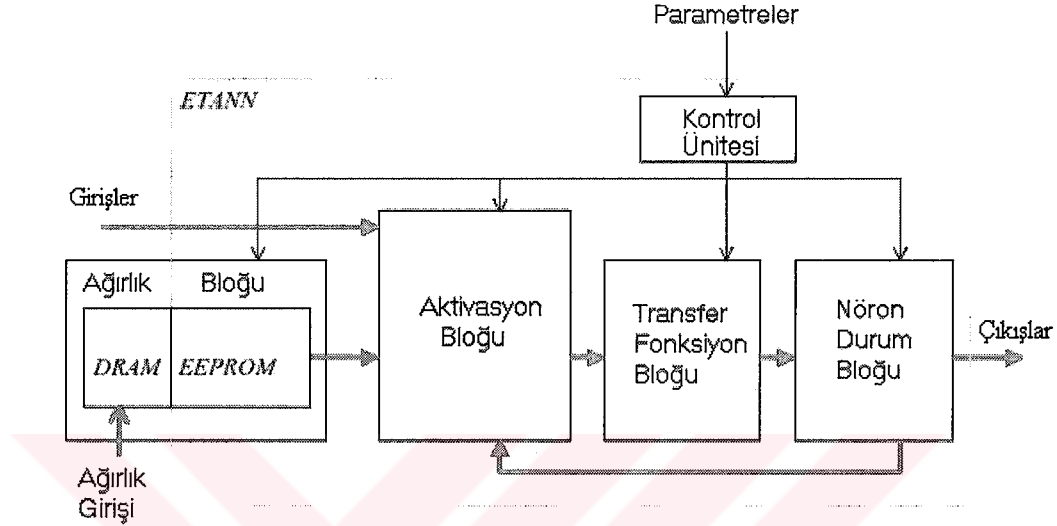
- Kaskatlanabilmesine göre,
- Teknolojisine göre,
- Saat hızına ve veri transfer hızına göre,
- Giriş ve çıkış sayısına göre,
- Giriş ve çıkışların Analog veya Sayısal olmasına göre, sınıflanabilir.

Bu kriterlerin çoğu kullanılan teknolojiye, tasarım tekniğine bağımlı kavramlardır. Bunun yanısıra hemen hemen tüm tasarımlarda Şekil 2.2 de gösterilen beş temel blok kullanımı literatürde mevcut pek çok tümdevre için standarttır. Bu temel blokların yapım özellikleri ve öğrenme karakteristikleri baz alınarak literatürdeki tümdevrelerin çoğu sınıflandırılabilir. Elbette literatürde, donanımına özel öğrenme tipine sahip, farklı ağ topolojileri için üretilmiş tümdevreler mevcuttur. AY tümdevresi MCCulloch-Pitts (McCulloch ve Pitts, 1943), nöron mimarisi tabanlı bir sentez olmasına rağmen farklı nöron modeli tabanlı diğer tümdevre yapıları da sınıflandırmaya tabii tutulmuştur. Mevcut tasarımların bu çalışmada önerilen tümdevre ile mukayesi için, önemli görülen teknik özelliklerine kısaca değinilmiştir.



Şekil 2.2 Yapay sinir ağı tümdevrelerinin temel ortak yapı blokları (Aybay, 1996)

Şekil 2.3 ETANN tümdevresi için bahs edilen ortak blokları göstermektedir. Literatürde var olan özel amaçlı ve genel amaçlı sayısal, analog ve hibrit nöral tümdevreler bu beş ortak bloğun durumlarına göre, giriş ve çıkışların, aktivasyon bloğunun, transfer fonksiyonu bloğunun ve nöron bloğunun sayısal veya analog olması ile öğrenmesinin tümdevre üzerinde olup olmamasına göre sınıflandırılmışlardır.



Şekil 2.3 ETANN tümdevresinin temel blokları (Intel, 1990)

2.2.1 Özel Amaçlı Sayısal Nöral Tümdevreler

Uygulamaya özel tasarlanan bu yapılar, uygulamanın hız ve çözünürlük ihtiyacını karşılayacak şekilde tasarlanmış, giriş, çıkış ve aktivasyon fonksiyonu üniteleri tamamen sayısal donanımlardır. Tümdevre üzerinde öğrenme yeteneğine sahip olanları da mevcuttur. Genellikle sayısal nöral işaret işleme uygulamalarında, ses, görüntü işleme ve sayısal haberleşme uygulamalarında kullanılmaktadırlar.

TİNMANN : Özellikle Kohonen SOM ağ yapısı için tasarlanmıştır. Giriş ve çıkışları, aktivasyon fonksiyonu, sinaps ve nöron bloğu ve transfer fonksiyonu bloğu sayısal olup, tümdevre üzerinde öğrenme yeteneğine sahiptir. Ağırlık değerleri tümdevre üzerinde saklanmaktadır (Melton ve diğerleri, 1992).

Hughes M1718 : MLP ağ yapısını gerçeklemek için tasarlanmıştır. Giriş ve çıkışları, aktivasyon fonksiyonu, sinaps ve nöron bloğu ve transfer fonksiyonu bloğu sayısal olup, tümdevre üzerinde öğrenme yeteneğine sahip değildir. Ağırlık değerleri tümdevre üzerinde saklanmaktadır (Shams ve Gaudiot, 1990).

EPLI France Chip : Hopfield ağı yapısını gerçeklemektedir. Giriş ve çıkışları, aktivasyon fonksiyonu, sinaps ve nöron bloğu ve transfer fonksiyonu bloğu sayısal olup, tümdevre üzerinde öğrenme yeteneğine sahiptir. Ağırlık değerleri tümdevre üzerinde saklanmaktadır (Gascuel, 1991).

VLSI HNN : Hamming yapay sinir ağlarını sentezlemek üzere, k-WTA(k-Winner Take All) ve k-LTA (k-Looser Take All) mimarisiyle çift metal 0.35 μ prosesinde görüntü işlemek amacıyla yapılmıştır. 80 giriş ve çıkışa sahiptir. Ağırlık değerlerini pertürbasyonla güncellemektedir. Tüm giriş ve çıkışlar sayısalıdır (Badel ve diğerleri, 2003).

RNIFN : RNIFN (Recurrent Networks of Integrate and Fire Neuron) sinaptik esneklik sağlamak üzere tasarlanmıştır. Tümdevre standart 0.6 μ 3 metal CMOS prosesiyle gerçekleştirilmiştir. 128 sinaps içeren 21 nörona sahiptir. Spiking yapay sinir ağlarının eğiticişiz öğrenmeli sentezi için gerçekleştirilmiştir (Chicca ve diğerleri, 2003a ve 2003b).

NeNEB : Üzerinde MLP ağıının sentezlendiğı ve hata geriye yayma alagoritmasıyla öğrenme yeteneğine sahip, sigmoid aktivasyon fonksiyonunu sayısal parçalı lineer yaklaşımla gerçekleyen nöron yapısında, ağırlık değerlerini kendi üzerinde saklayan, görüntü işlemek için geliştirilmiş tümdevredir. 60 MHz saat darbeleri olarak 26 MCPS hızında çalışmaktadır. Saniyede 3.3 M piksel veri işleyebilmektedir (Larsson ve diğerleri, 1996).

Neuromorphic Chip II : 0.35 μ CMOS teknolojisiyle tasarlanmış, üzerinde optik sensörlerde içeren, ganglion görme nöron hücre birimine sahip aydınlığa duyarlı tümdevre yapısıdır. 3600 görme hücresi (ganglion) ve 96x40 reseptör içerir. Spiking yapay sinir ağlarına benzer özel bir ağ topolojisi sentezlemektedir. Öğrenme yeteneğine sahiptir. Ağırlık değerleri tümdevre üzerinde saklanır. (Zaghloul ve Boahen, 2004)

2.2.2 Özel Amaçlı Analog Nöral Tümdevreler

Sayısal işaret işlemenin analogtan daha yavaş kaldığı uygulamalarda tercih edilirler. Analog tasarımın gürültü marjının yüksek oluşu, lineer olmayan etkiler nedeniyle pek çok uygulama için tercih edilmemelerine rağmen belirli çalışma aralığı ve şartlarında çok hızlı ve verimlidirler. Bu yapılarda ağırlık ve biyas değerlerini saklamak için farklı hafıza tasarımları geliştirilmiştir. İki yüzen geçitda (FGMOS) saklanan yükün farkının alınmasıyla çalışan analog birçok hafıza bloğu yapılmıştır (Abouchi ve diğerleri, 1999).

Synaptics I10XX : Silikon Retina olarak tasarlanmıştır. Giriş ve çıkışları analog, analog sinaps bloklarına sahip, ağırlık değerlerini üzerinde analog saklayan, tümdevre üzerinde

öğrenme yeteneğine sahip olmayan, aktivasyon ve transfer fonksiyonları da analog olan bir tasarımıdır (Roska, 1993).

Silicon Cortex : Johns Hopkins üniversitesi tarafından geliştirilmiştir. Girişleri ve çıkışları analog, Tümdevre üzerinde öğrenme yeteneğine sahip olmayan, aktivasyon ve transfer fonksiyonları da analog, ağırlık değerlerini analog bellekte saklayan nöral tümdevre gerçekleştirmesidir (Aybay, 1996).

Louvain Processor Chip : Catholic Üniversitesi tarafından gerçekleştirilen tümdevre üzerinde öğrenme yeteneğine sahip, giriş, çıkış, aktivasyon ve transfer blokları analog, ağırlıkları analog hafızada saklayan nöral tümdevredir (Verleysen, 1994).

HS-ART1 : HSART1 (High Speed Adaptive Resonance Theory) tümdevresi görüntü işleme amacıyla, çift metal 1.5μ CMOS teknolojisiyle üretilmiştir. 100 tanesi giriş olmak üzere 120 dış bağlantıya sahiptir. Piksel olarak görüntü işlemekte, öğrenme yeteneğine sahip, ağırlık değerlerini kapasitif olarak saklayan ART yapay sinir ağı donanım uygulamasıdır (Serrano ve diğerleri, 1994).

LVCNN : LVCNN (Lotka-Volterra Competitive Neural Networks) tümdevresi, 10μ nMOS prosesiyle gerçekleştirilmiş, WSA (Winner-Share-All) öğrenme yöntemine sahip, iki farklı tip nöron hücresinden 13 adet birinden 2 adet diğerinden olmak üzere 15 adet bulunduran kaskatlanarak büyük ağ yapılarını gerçekleyen tümdevre yapısıdır. WTA (Winner Take All) yapısının uyumsuzluklarını gidermek amacıyla WSA yapıda sentezlenmiştir (Asai ve diğerleri, 1999).

PR-ARBF : PR-ARBF (Phoneme Recognition Analog Radial Basis Function) tümdevresi 0.35μ çift poli üç metal prosesiyle, 16 sinapslı 16 gizli katman nöronu içerecek şekilde fonem tanıma amacıyla gerçekleştirilmiştir. Tümdevre $4.3 \times 4.3 \text{ mm}^2$ boyutunda, $[-2, +2]$ V besleme gerilimli, maksimum 2.5 mW güç harcayan bir yapıdır (Gatt ve diğerleri, 2002) .

2.2.3 Özel Amaçlı Hibrit Nöral Tümdevreler

Sayısal tümdevrelerin programlanabilirliği sayesinde ağırlık ve biyas değerlerinin daha sağlıklı saklanması avantajı ile analog tasarımın yüksek hızlı işaret işleme hibrit teknikle bir araya getirilmiştir. Uygulamanın kriterlerine ve hız ihtiyacına göre özel amaçlı, hibrit nöral tümdevreler mevcuttur.

CLNN 32K : BELLCORE firması tarafından Boltzman Machine gerçeklemek üzere üretilmiştir. Girişleri ve aktivasyon fonksiyonları analog, ağırlıkları sayısal olup kırkık üzerinde saklanmaktadır. Kırkık üzerinde öğrenme yeteneğine sahiptir (Alspector, 1991).

NET 32K Template Matching: BELL Laboratuvarları tarafından gerçekleştirilmiştir. Sayısal girişlere, analog aktivasyon ünitesine, sayısal ağırlık değerlerine sahip olup, kırkık üzerinde öğrenme yeteneğine sahip değildir (Aybay, 1996).

JPLC : JPLC (Jet Propulsion Laboratory Chip) Hopfield ağını gerçeklemek üzere girişleri ve çıkışları analog, aktivasyon fonksiyonları ve diğer tüm işlem blokları analog, ağırlıkları kırkık üstünde sayısal olarak saklayan tümdevredir. Kırkık üzerinde öğrenme yeteneğine sahip değildir (Eberhardt, 1992).

CNM : National Microelectronic Center tarafından, ART1 ağını gerçekleştirmek üzere geliştirilmiştir. Girişleri sayısal, aktivasyon bloğu, ağırlık ve biyas değerleri ve diğer tüm işlem blokları analog olup ağırlıklar tümdevre üzerinde saklanmaktadır. Kırkık üzerinde öğrenme yeteneğine sahiptir (Aybay, 1996).

PDE-DPCNN : Analog olarak RD (Reaction-Diffusion) denklemlerini gerçekleyebilmek amacıyla tasarlanmıştır. Her tümdevresinde 25 hücre içermekte, bağlantı stratejisi sayısal olarak programlanabilmektedir. Hücresel yapay sinir ağlarının özel bir tipi için gerçekleştirilmiştir (Salerno, 2002a).

SCIRNN: SCIRNN (Single Chip Image Recognition Neural Net) sayısal kontrol ünitesine sahip, eğitilebilir, gerçek zamanlı analog işaret işleyen bir gerçeklemedir. 100 giriş, 60 gizli, 10 çıkış nöronuna sahiptir. 0.6 μ CMOS teknolojisiyle üretilmiş olup, MLP ağını ve hata geriye yayma algoritmasını gerçekler. Görüntü derinliklerini yüksek başarıyla ayırt edebilmektedir (Stüpmann ve diğerleri, 2002).

APAP-Chip : APAP (Analog Programmable Array Processor) 0.5 μ CMOS teknolojisi ile, hücresel yapay sinir ağı (CNN) sentezleyen ve görüntü tanıma amacı ile üretilmiş bir tümdevredir. İki boyutlu CNN sentezleyebilmektedir. 32 analog giriş veya çıkış ünitesine sahiptir. Programlanması sayısaldır. Tüm nöral işlemler analog olarak yapılmaktadır (Galan ve diğerleri, 2003).

ACE400-ACE1K-ACE16K : Bu aile CNN yapay sinir ağını görüntü işlemek üzere donanımsal gerçekleştirmek amacıyla üretilmiştir. ACE400 ailenin ilk üyesidir. 1996 yılında 2 metal 1 poly 0.8 μ teknolojisiyle, 5V çalışma gerilimi, 2V işaret girişi ve ağırlık değer

aralığında, 22x20 hücre içeren, 22 bit sayısal giriş çıkış yapısına sahip, 8 analog komut setine sahip siyah beyaz görüntü işleyen tümdevredir. ACE1K 2000 yılında 0.5 μ 3 metal 1 poly teknolojisiyle üretilmiştir. 3.3V besleme gerilimine, 0.6V ile 1.4V arası giriş, 2.15V ile 2.95V arası ağırlık gerilimine sahiptir. 64x64 hücre içerir. Gri tonları da işleyebilmektedir. 32 analog, 64 sayısal komut seti içerir. 16 analog, 16 bit sayısal girişi mevcuttur. ACE16K 0.35 μ 5 metal 1 poly teknolojisiyle 2002 yılında üretilmiş olup 3.3 V besleme gerilimiyle çalışmaktadır. Giriş ve ağırlık gerilim aralığı ACE4K ile aynı olup, 4096 sayısal, 32 analog komut setine sahiptir. 128x128 hücre içermektedir. 32 bit sayısal veri yolu mimarisine sahiptir. 32 bit sayısal giriş içermektedir (Rodriguez-Vazquez ve diğerleri, 2004).

2.2.4 Genel Amaçlı Analog Nöral Tümdevreler

Bu tür tümdevreler genellikle akım modlu yada gerilim modlu olarak, değişik öğrenme algoritmalarıyla farklı ağ topolojilerinde tasarlanmaktadır. Programlanabilir olanları mevcuttur. Bu tür tümdevrelerin çoğu ağırlık ve biyas değerlerini analog olarak iki FGMOS transistorlerde saklayacak ve aradaki farkla ağırlık değeri elde edilecek şekilde, çift poly prosesi ile tasarlanmış yapılardır. Analog yapılar diğer tasarımlara göre gürültüye daha duyarlı yapılardır. Genellikle belirli aralıklarında doğrusal çalışmaktadırlar.

Analog Hamming Net : Hamming yapay sinir ağı 0.8 μ çift poly, çift metal n-well CMOS prosesi ile, outstar topolojisinde, ağırlık değerlerini tümdevre üzerinde saklayan, WTA öğrenme yeteneğine sahip bir mimari ile üretilmiştir. Tümdevre üzerindeki ağırlık değerleri tazelenerek kaybolmaları engellenmektedir (Lan ve Wu, 1995).

CSFN-NN : CSFN-NN (Conic Section Function Neural Network), temel teorisi Dorffner (1994) tarafından ortaya konan, MLP ve RBF topolojilerinin birlikte kullanıldığı ağ yapısıdır. Mietec 2.4 μ Mietec proses parametreleriyle çift poly mimarisinde üretilmiştir. Ağırlık değerleri içerdiği analog EEPROM hafızada saklanmaktadır, kaskatlanabilir yapıdadır (Yıldırım, 1997).

NESP : NESP (Neural Signal Processor) tümdevresi girişi, çıkışı analog, ağırlık değerlerini tümdevre üstünde analog olarak saklayan, SGS Thomson 0.7 μ çift poly prosesi ile üretilmiş, kaskatlanabilen, her birinde 16 giriş ve 16 nörona sahip, analog sigmoid aktivasyon fonksiyonlu genel amaçlı öğrenme özelliği olmayan programlanabilir işaret işleme tümdevresidir (Costa ve diğerleri, 1995).

Perturbation Learning Chip : Tümdevre üzerinde gradient descent pertürbasyon algoritması ile öğrenme yeteneğine sahip. 8 nöron, 64 sinaps içeren, Orbit 2 μ çift poly, çift metal teknolojisiyle üretilmiş 2.2x2.2 mm² alanında tümdevre yapısıdır. Ağırlıklar analog EEPROM yapısında saklanmaktadır (Montalvo ve diğerleri, 1997a ve 1997b).

GPBP : GPBP (General-Purpose Back Propagation) tümdevresi 0.5 μ CMOS çift poli çift metal prosesiyle, 4 nöron ve 16 sinapsa sahip olacak bir mimariyle üretilmiştir. Bütün blokları analogtur ve tümdevre üzerinde hata geriye yayılım algoritmasıyla öğrenmektedir. 48 pinli pakette, 1.5 mm X 0.7 mm yarıiletken alanında üretilmiş, kaskatlanabilir yapıdadır. 16 MCPS performansına sahiptir (Lu ve diğerleri, 2002a).

EOCL : EOCL (Expandable on Chip Learning) tümdevresi, 0.6 μ çift poli prosesiyle, tümdevre üzerinde 8 nöron, 64 sinapsa sahip, sigmoid aktivasyon fonksiyonlu, [-1,1] V giriş gerilim aralığına, [-20,20] mikroA akım çıkışı verebilme özelliğine sahiptir. Kaskatlanarak istenen ağ sentezinde kullanılabilir. -2.5 V ve 2.5 V besleme gerilimleri ile çalışmaktadır (Lu ve diğerleri, 2002b).

RWC : RWC (Random Weight Change) tümdevresi, Orbit 2 μ çift poli CMOS prosesiyle, iteratif öğrenme özelliğine sahip, 10 giriş, 10 çıkış, 100 ağırlık değeri içeren analog giriş ve çıkışa sahip, ağırlık değerlerini EEPROM da analog olarak saklar halde tasarlanmıştır, tamamen paralel öğrenme yeteneğine sahiptir (Liu, 1999).

2.2.5 Genel Amaçlı Sayısal Nöral Tümdevreler

En yaygın üretilen Yapay Sinir Ağı tümdevreleridir. Sayısal tasarımın getirisi olan yüksek gürültü marjı avantajı, sayısal işlemlerin doğruluğunu arttırmaktadır. Analog tasarıma göre doğrusal olmayan etkiler sonuca daha az etkimektedir. En yaygınları şunlardır.

Ni1000 : Nestor firması tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmaktadır ve kırmık üzerinde öğrenme yeteneğine sahiptir (Nestor, 1994).

Hirai's Chip : Hirai firması tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmaktadır ve kırmık üzerinde öğrenme yeteneğine sahiptir (Glesner ve Pöchmüller, 1994, Aybay, 1996).

Digital Chip : Hitachi firması tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmaktadır ve kırmık üzerinde öğrenme yeteneğine sahiptir (Watanabe, 1993).

MA16 : Siemens tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar ve transfer fonksiyonu değerleri kırmık üzerinde saklanmamaktadır. Kırmık üzerinde öğrenme yeteneğine sahip değildir (Hohler, 1990 ve Ramacher, 1994).

GENES IV : EPFL tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmaktadır ve kırmık üzerinde öğrenme yeteneğine sahiptir (Ienne ve diğerleri, 1993a ve 1993c).

ZISCO36 : Fransa da IBM Mikroelektronik tarafından üretilmiş sayısal nörotümdevre serisinin ilk elemanıdır. 1989 yılında RBF ağ yapısı sentezi için (1989, Moody ve Darken), 1991 (1991, Lippmann) ve 1994 (1994, Eide ve diğerleri) yılında RBF benzeri ağ yapıları gerçekleştirilmesinde kullanılmıştır. Tanıma ve gerçek zamanlı sınıflandırma için geliştirilmiş bir tümdevredir. 36 tane RBF ağı nöronu içerir. Ağırlıkları tümdevre üzerinde sayısal olarak saklar. Bütün yapı blokları sayısal mimaride tasarlanmıştır. Tümdevre üzerinde öğrenmektedir. (Eide ve diğerleri, 1994)

MT19003 : Micro Circuit Engineering tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar ve transfer fonksiyonu değerleri kırmık üzerinde saklanmamaktadır. Kırmık üzerinde öğrenme yeteneğine sahip değildir (Heemskerck, 1995).

MD – 1220 : Micro Devices firması tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar ve transfer fonksiyonu değerleri kırmık üzerinde saklanmaktadır. Kırmık üzerinde öğrenme yeteneğine sahip değildir (Micro Devices, 1990).

OBL : Oxford Computer firması tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmaktadır ve kırmık üzerinde öğrenme yeteneğine sahiptir (Aybay, 1996).

pRAM 256 : UCLi firması tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmamaktadır. Kırmık üzerinde öğrenme yeteneğine sahiptir. (uCLi, 1994).

LNeuro 1 : Philips tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmaktadır. Transfer fonksiyonu değerleri kırmık üzerinde saklanmamaktadır. Kırmık üzerinde öğrenme yeteneğine sahip değildir (Theeten, 1990).

NLX – 420 : Neura Logic firması tarafından geliştirilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmamaktadır. Transfer fonksiyonu değerleri kırmık üzerinde saklanmaktadır. Kırmık üzerinde öğrenme yeteneğine sahip değildir (Aybay, 1996).

100 NAP : Heicht-Nielssen Corporation tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmaktadır ve kırmık üzerinde öğrenme yeteneğine sahiptir (HNC, 1993).

N64000 : Inova firması tarafından üretilmiştir. Girişleri, aktivasyon fonksiyonu bloğu, ağırlık değerleri ve diğer tüm işlem blokları sayısaldır. Ağırlıklar kırmık üzerinde saklanmaktadır ve kırmık üzerinde öğrenme yeteneğine sahiptir (Aybay, 1996).

ASQA : ASQA (Adaptive Segmentation using Quantizer neurons Architecture) tümdevresi 0.5μ tek poli çift metal CMOS prosesi ile çok sayıda ağı adresleyebilecek şekilde tasarlanmıştır. 64 adet kuantizör nörona, 128 adet çıkış nöronuna sahiptir. 16384 kategoriye ayırt edebilir. 3.3 V besleme geriliminde 40 MHz saat darbesiyle, 280 mW güç tüketimiyle çalışmaktadır. Yaklaşık 250000 transistör içerir (Maruyama ve diğerleri, 1996).

ART1 : ART1(Adaptive Resonance Theory) 1μ ES-2 CMOS teknolojisiyle tasarlanmış, üzerinde ART ağının sentezlendiği genel amaçlı, $2.5 \times 2.5 \text{ mm}^2$ silikon alanında, $10 \times 10 \mu\text{m}^2$ birim hücrelere sahip, her hücre için $20\mu\text{A}$ akım çeken mimaride bir nöral tümdevredir. Donanımına uyarlanmış özel bir algoritmayla, ART ağının sentezlemekte, tümdevre üstünde öğrenmektedir (Serrano ve diğerleri, 1997).

Neurapse : Hata geriye yayma algoritmasıyla tümdevre üzerinde öğrenme yeteneğine sahip, Mietec 0.35μ teknolojisiyle üretilmiş, 46420 kapı için 2.5 mm^2 , hafıza için 8.64 mm^2 silikon alanında sentezlenmiş, 111 MHz saat darbeli, 8 nöron içeren, 11 GCPS ve 6 GCUPS performansında genel amaçlı sayısal nöral tümdevredir (Ayala ve diğerleri, 2002).

DIANNE : DIANNE (Digital Implementation of Artificial Neural Network) tümdevresi, asenkron, 600 MCPS performansında, $3.1 \times 2.8 \text{ mm}^2$ silikon alanında, 16000 den biraz fazla transistörle, European Silicon Structures 1.2μ CMOS proses teknolojisiyle üretilmiş, 60 nöron

içeren, her nöronunda 2 sinapsa sahip, 16 giriş, 33 çıkışlı yapıdır. Üzerinde GSN (Goal Seeking Neural Network) ağı sentezlenmektedir (Uebel ve Barone, 1993).

2.2.6 Genel Amaçlı Hibrit Nöral Tümdevreler

Genellikle ağırlık ve biyas değerleri sayısal olarak saklanan, işlemleri analog olarak akım veya gerilim modlu gerçekleştiren tümdevre yapılarıdır. Bu tarzın dışında giriş ve çıkışları analog olup işlemlerin sayısal olarak yapıldığı mimariler de mevcuttur. Ancak analog işlem bloğunun hızından bu şekilde istifade edilmemiş olmaktadır. En yaygın kullanılan mimari hibrittir. Çünkü sayısal olarak programlanabilen analog bloklar oldukça yüksek hızlı nöral işlem yapabilmektedir.

EPSILON : Edinburgh Üniversitesi tarafından geliştirilmiştir. 30 düğüme ve 3600 sinaptik ağırlığa sahiptir. Otonom olarak çalıştığı gibi bilgisayara bağlı da çalıştırılabilir. Tümdevre kaskatlanabilir tek katmanlı bir ağ yapısından oluşmaktadır. Sinapslar transkondüktans çarpıcıları ile giriş gerilimlerinin çarpımı ile ilişkili bir akım değeri verirler. Senkronize ve asenkronize nöron gerçekleyebilmektedir. Darbe akış ağ sistemi ile tasarıma uygun bir tümdevredir (Churcher ve diğerleri, 1992). Girişleri, aktivasyon fonksiyonu, ağırlık değerleri analogtur. Ağırlık değerleri tümdevre üzerinde saklanmakta, tümdevre üzerinde öğrenme yeteneği bulunmamaktadır. 360 MCPS performansına sahiptir (Baxter, 1992 ve Murray, 1994).

ANNA : ANNA (Analog Neural Network and Arithmetic logic unit) tümdevresi AT ve T Bell Laboratuvarlarında gerçekleştirilmiştir. Çok geniş ağ yapıları için kullanılabilir (1992, Sackinger ve diğerleri). Yerel bağlantılı ağırlık paylaşımlı ağlar ile zaman gecikmeli yapay sinir ağları yapıları için optimumdurlar. Sinaptik ağırlık değerleri tümdevre harici öğretilip, tümdevrenin dahili belleğine sayısala dönüştürülerek kaydedilmektedir. 6 bit çözünürlük değeri ile bu ağırlık değerleri saklanmaktadır. Tüm işlemler gerilim modlu olarak analog gerçekleşmekte saklanan sayısal ağırlık değerleri tümdevre üzerindeki iki adet sayısaldan analoga dönüştürücü vasıtasıyla dönüştürülmektedir. 4096 sinapsa ve 8 doğrusal nörona sahip ANNA tümdevresi en yüksek 5000 MCPS, başarımına ortalama olarak 1000-2000 MCPS, performansına sahiptir (Sackinger, 1992).

ETANN : ETANN (Electrically Trainable Analog Neural Network) Intel firması tarafından 80170NX seri numarasıyla 1989 yılında üretilmiştir (Holler, 1989). Kırmık üzerinde öğrenmeye yeteneğine sahip değildir. Ağırlık ve biyas değerleri iki yüzen geçit MOS transistörde saklanan yüklerin farkıyla sağlanmaktadır. Girişleri, aktivasyon ünitesi ve

çıkışları analogtur. 64 nöronu 10240 sinapsı mevcuttur. 2 GCPS performansına sahiptir (Intel, 1990).

Neuro Classifier : Mesa Research firması tarafından üretilmiştir. Giriş, çıkışları ve diğer tüm işlem blokları analogtur. Ağırlık ve biyas değerleri tümdevre üzerinde sayısal olarak saklanmaktadır. Tümdevre öğrenme özelliğine sahip değildir (Aybay, 1996).

Neuroprocessor CCD Chip : Massachussets Institutes of Technology tarafından CCD (Charge Coupled Device) olarak üretilmiştir. Giriş, çıkışları ve tüm işlem blokları analog olan tümdevre ağırlık ve biyas değerlerini sayısal olarak saklamaktadır. Çalışma sırasında öğrenme özelliğine sahip değildir (Newcomb, 1995).

Kakadu : MLP yapay sinir ağını sentezleyen, tümdevre üstünde öğrenme yeteneğine sahip olmayan, giriş, çıkış, aktivasyon fonksiyonu ve sinapsı analog, ağırlık değerlerini tümdevre üzerinde sayısal olarak saklayan, Orbit 1.2 μ CMOS prosesiyle üretilmiş, 10 giriş, 6 gizli ve 4 çıkış nöronuna sahip 3 V besleme gerilimli 25 mW güç tüketimli tümdevre yapısıdır (Leong, 1993 ve Leong ve Jabri, 1995).

DANN : DANN (Dendro-dentridic Artificial Neural Network) tümdevresi, 50 nörona sahip, sayısal bir öğrenme algoritmasının analog olarak üzerinde sentezlendiği analog giriş ve çıkışa sahip 2 μ CMOS teknolojisi ile, 63025 transistor ve 1325 sinaptik ağırlık hafızası içeren bir yapıdır. 6.8x4.6mm² boyutlarında üretilmiştir. Tümdevre üzerinde sayısal hafıza ile öğrenilen paternler saklanmaktadır (Salam ve diğerleri, 1999).

BP Learning Chip : 1.2 μ çift poly, çift metal prosesiyle üretilmiş, parametreleri programlanabilen 4 nörona sahip, tümdevre üzerinde öğrenme yeteneğine sahip, sigmoid aktivasyon fonksiyonlu, lineer olmayan Gilbert çarpıcıları içeren, [-2, 2] V gerilim aralığında işaret işleyen, sayısal programlanabilen, 3.6x2.4mm² silikon alanında, hata geriye yayma metodu ile öğrenen ileri yönde MLP ağ yapısını özel bir halde lineer olmayan çarpıcılara göre sentezleyen tümdevredir (Lu ve diğerleri, 2001).

SPN-SoC : SPN-SoC (Self Programming Neural System on Chip) tümdevresi, 0.18 μ 6 metal tek poly CMOS prosesi ile, 4x6 mm² silikon alanına, 1.5 V besleme gerilimli, 1 mW güç tüketimli, tüm devre üzerinde hata geriye yayılım algoritmasıyla öğrenen, lineer olmayan çarpıcılarla tasarlandığı için, BP algoritmasını lineer olmayan halde uygulayan bir tümdevredir. Giriş gerilimi maksimum 0.85 V olmaktadır. Tüm işlem birimleri sayısaldır, analog girişler ADC vasıtasıyla sayısallaştırılıp işlenmektedir (Waheed ve Salam, 2001a).

CNN-UM : CNN-UM (Cellular Neural Network-Universal Machine) tümdevresi hücresel sinir ağlarının iki boyutlu olarak 0.5μ tek poly üç metal prosesi ile, $9.27 \times 8.45 \text{ mm}^2$ silikon alanına, 32×32 hücreli, tümdevre üzerinde öğrenilen ağ topolojisini analog bellekte saklayan, sayısal programlanabilir mimarili, işaret işlemleri analog yapan donanımdır (Roska 1993, Carmona ve diğerleri, 2002).

Micro-Learner : Düşük voltajlı yüksek hızlı uygulamalar için, 0.18μ CMOS teknolojisi ile geliştirilmiştir. Ağırlık değerleri sayısal olarak saklanmakta, tümdevre üzerindeki işaret işleme prosedürleri analog gerçekleştirilmektedir. 1.5 V besleme geriliminde, 1.5 mW maksimum güç tüketiminde, 16×17 işlem hücresiyle genel amaçlı hibrit bir nörotümdevredir. Ağırlıklar 5 bitlik sayısal hafızalarda depolanmaktadır (Waheed ve Salam, 2001b).

DPANN Chip: DPANN (Digitally Programmable Analog Neural Network) tümdevresi 1.2μ çift poly, çift metal CMOS prosesiyle üretilmiş, ağırlık değerlerinin sayısal saklandığı, lineer olmayan sinaps yapısında, nöronlarının ayarlanabilir kazanç değerlerine sahip olduğu, 0 ile 1.5 V giriş işaretine, 5 V besleme gerilimine, ağırlık değerlerinin 6 bit saklandığı, sayısal olarak bağlantı yapısı programlanabilen, $0.75 \times 0.5 \text{ mm}^2$ silikon alanında tasarlanmış bir nöro işlemcidir, öğrenme yeteneğine sahip değildir (Almeida ve Franca, 1996).

NeuChip : NeuChip (Neural Chip) tümdevresi, hata geriye yayma öğrenme yeteneğine sahip, 32 nöron içeren, 128 sinapslı, kaskatlanabilir yapıda, program hafızası sayısal diğer tüm işlem blokları analog olan, 128 bağlantı ucuna sahip, sigmoid aktivasyon fonksiyonlu yapıdır (Alhalabi ve diğerleri, 1995).

CNNUC3 : CNN yapay sinir ağı sentezlemektedir. 4096 hücre içerip, her hücresinde 172 transistor, tümdevresinde yaklaşık 1000000 transistor bulunmaktadır. 10 MHz sayısal, 1MHz analog giriş çıkış hızına sahiptir. 3.3 V besleme geriliminde en kötü halde 1.2 W güç tüketmektedir. Giriş gerilim aralığı 0.6V ile 1.4V, ağırlık gerilim aralığı 2.5V ile 2.95V arasında değer alabilmektedir. Ağırlık değerleri sayısal olarak 8 bit çözünürlükle saklanmaktadır (Arena ve diğerleri, 2003).

UTAK1 : Catalunya Üniversitesinde geliştirilmiş, tek nörondan oluşan tümdevredir. Pek çoğu bağlanarak bir ağ sentezi mümkün olmaktadır. Ek bir kontrol ünitesine ihtiyaç duymaktadır. PC ye bir kontrol ünitesi aracılığıyla bağlanmaktadır (Castillo ve diğerleri, 1992)..

2.2.7 Nörobilgisayarlar

Belirli bir program ile çalışırlar, genellikle sistem halindedirler. Tümdevre olarakta sıralı komut işleyen nörobilgisayarlar mevcuttur. Ancak geneli nörotümdevreler ve onları kontrol edip, işlevleri yöneten sayısal işlemcilerden oluşur. Bu yapılar genellikle nörotümdevrelerin yetersiz kalacağı uygulamalarda, ağ yapısı ve öğrenme algoritmasında esneklik gerektiren problemlerde kullanılırlar. En popülerleri şunlardır.

CNAPS : CNAPS (Connectionist Network of Adaptive Solutions) Adaptive Solutions firması tarafından üretilmiştir. Her tümdevresinde 64 işlem elemanı bulunmaktadır. Standart sistemi bir kart üzerinde, dört adet tümdevre ile mikro kod sıralayıcı bir tümdevreden oluşmaktadır. Bütün tümdevreler duruma göre uygulanmak üzere aynı kodu alırlar. Kart üzerinde ağırlık değerlerini saklamak üzere 16 bit 128 K SRAM belleği bulunmaktadır. Kohonen, BP (Back Propagation), LVQ (Linear Vector Quantization) ve konvolüsyon yapılarını yüksek hızda desteklemektedir. Bir CNAPS tümdevresi, 1.6 GCPS ve 256 MCUPS performanslarına sahiptir. Girişleri, aktivasyon ünitesi sayısaldır. Tümdevre üzerinde ağırlık değerleri sayısal olarak saklanmakta, kırkık üzerinde öğrenme yeteneği bulunmaktadır (Hammerstorm, 1993 ve Cromenco, 1993).

HANNIBAL : British Telecom tarafından üretilmiş karttır. Tamamen sayısal olan bu kart bütün ağırlık ve biyas değerlerini kendi üzerinde saklamaktadır. Tümdevre üzerinde öğrenme yeteneğine sahiptir ve transfer fonksiyonu için gerekli değerler de yine kart üzerinde saklanmaktadır (Aybay,1996).

WSI : WSI (Wafer Scale Integration) Hitachi firması tarafından 1990 yılında üretilmiştir. Yine Hitachi firmasına ait 144 adet 0.8 μ teknolojisiyle üretilen Digital Chip'lerin kullanımı ile tasarlanmış karttır. Ağırlık ve biyas değerleri bord üzerinde saklanırken, transfer fonksiyonu için ek donanım gerekmektedir. Bütün işlem blokları, giriş ve çıkışları sayısaldır. Sistem öğrenme yeteneğine sahiptir, 1152 düğüm için 2.3 GCUPS performansına sahiptir (Yasunaga ve diğerleri, 1991).

SNAP : HNC firması tarafından üretilen, dört adet 100 NAP (Neural Array Processor) tümdevleriyle sentezlenmiş tek boyutlu dizidir. Her NAP tümdevresi 80 tane hücre içermektedir. İki adet SNAP bordu 500 MCPS, 128 MCUPS performansına sahiptir. Girişler ve çıkışlar sayısaldır. Ağırlık ve biyas değerleri bord üzerinde ek donanımla saklanır. Öğrenme yeteneğine sahiptir. Balboa 860 ile birlikte çalışabilir (HNC, 1993).

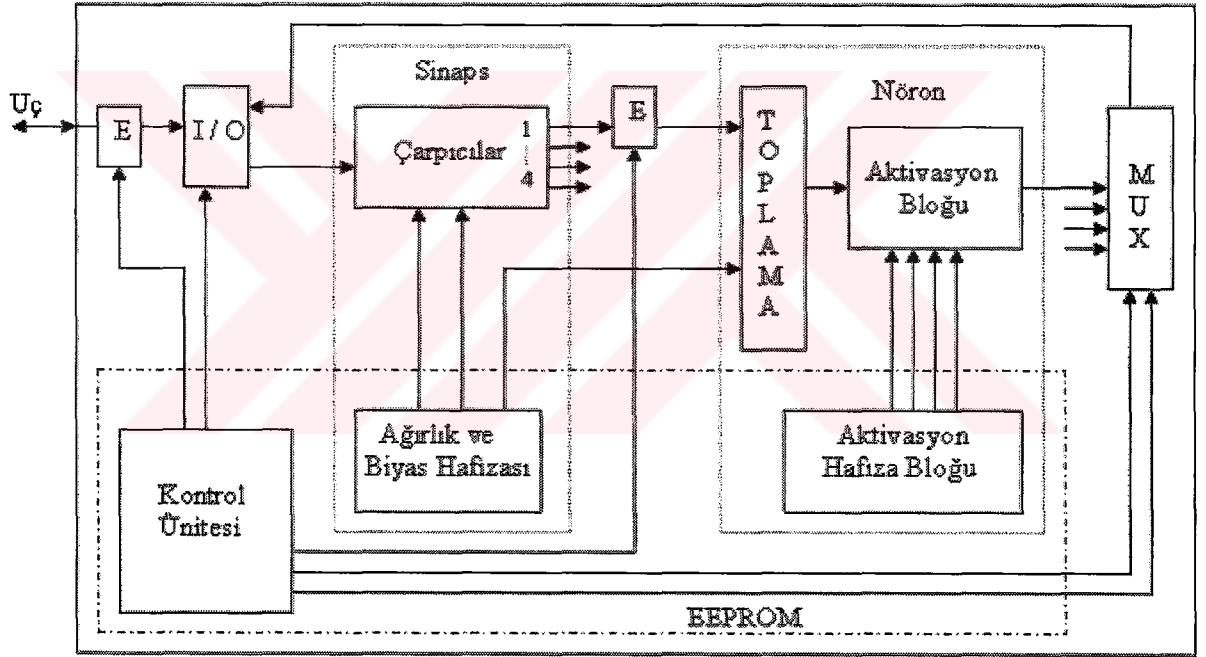
MANTRA : Swiss Federal Institute of Technology tarafından, çeşitli ağ yapılarını gerçekleyebilecek şekilde tasarlanmıştır. İki boyutlu olarak 40x40 GENES IV sistolik işlemciler içerir. Ek olarak GACDI (Ienne, 1992) işlemcisine sahiptir. GENES tümdevreleri matris çarpım işlemlerini seri olarak yapmaktadırlar. Yapı öğrenme yeteneğine sahiptir, ağırlık değerleri dışarıda saklanmaktadır. Tüm işlem blokları, giriş ve çıkışları sayısaldır. 400 MCPS ve 133 MCUPS performanslarına sahiptir (Ienne ve Viradaz, 1993).

SYNAPSE : SYNAPSE (Synthesis of Neural Algorithms on a Parallel Systolic Engine) Siemens firması tarafından üretilmiştir. MA16 tümdevrelerinin 16x16 lık bir dizi oluşturacak şekilde birleşiminden oluşur. Ağırlık ve transfer fonksiyonu değerleri her bir MA16 tümdevresi için 4 Mbit DRAM belleklerde saklanır. Öğrenme yeteneğine sahip bu bord için, 40 MHz çalışma frekansında 8 MA16 tümdevresi içerir halde 5.1 MCPS performansı elde edilmiştir (Ramacher, 1994).

Bu kısımda yer alan nöral donanımların yanı sıra, güncelliğini kaybetmiş veya yeterince performans gösterememiş pek çok nöron ağı donanım gerçekleştirilmesi de mevcuttur. Ayrıca yine bu bölümde tanıtılan nöral donanımların bir kısmı da, ETANN tümdevresi gibi, üretimden kaldırılmış durumdadır. Tanıtılan hibrit yapılar, bu çalışmada tasarlanacak tümdevre ile en çok ortak özelliğe sahip olan yapılardır. Tasarlanan yapı, özellikle analog işlem blokları ile sayısal ağırlık ve biyas hafızasının aynı anda kullanıldığı, tümdevre üzerinde öğrenme özelliği olmayan ETANN, EPSILON, ANNA, Kakadu gibi nöroişlemcilerden, üzerinde sentezlenebilen ağ tipinin, kaskatlanarak kullanılabilecek nöron sayısının, aktivasyon fonksiyonu tipinin, bacak bağlantı keyfiyetinin sınırsız olmasıyla ayrılır. Tasarlanan tümdevre sadece kaskat değil, daha farklı bağlantılara izin vererek nöron giriş sayısı sınırlamasını da aşmaktadır. UTAK1 yapısından en bariz farkları ise dört adet nöron içermesi, kontrol ünitesini kendi içerisinde bulundurup ek bir kontrolcüye ihtiyaç duymaması, uç bağlantı yapısının esnek olup programlanabilir olması, aktivasyon fonksiyonu tipinin programlanabilir olması sayılabilir.

3. AY-TÜMDEVRESİ VE TASARIM TEKNİKLERİ

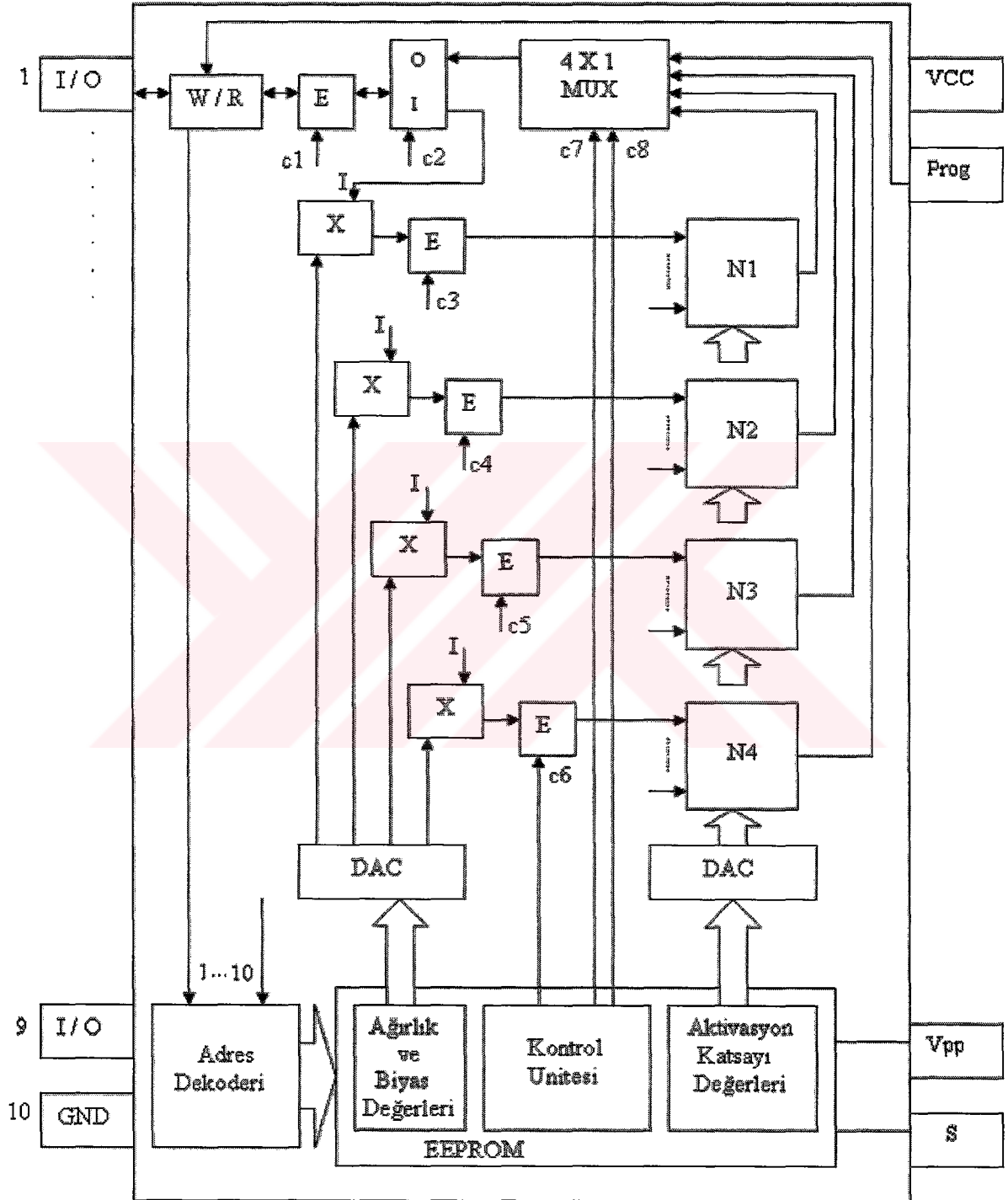
AY-Tümdevresi hem ileri yönlü hem de geri beslemeli yapay sinir ağı donanım uygulamalarının, istenen boyutta, giriş-çıkış sayısında ve bağlantısında, nöronlar için birbirinden bağımsız programlanabilir aktivasyon fonksiyonuna sahip olacak şekilde gerçekleştirilmesini mümkün kılan analog, sayısal ve hibrit bloklardan oluşan yapıdır. Programlanabilir aktivasyon fonksiyonu tümdevrenin evrensel ve yerel sınıflandırma eğrilerini birarada kullanabilmesini sağlayacaktır. Yani tek tümdevre üzerinde hem çok katmanlı algılayıcı hem de radyal tabanlı fonksiyon nöronları birlikte kullanılabilir. Şekil 3.1 de verilen temel blok diyagramı ile tümdevrenin sadece çalışma modu için iç blok yapısı gösterilmekte, Şekil 3.2 deki detaylı blok diyagram ile programlanma modu ve giriş/çıkış uçlarının bağlantıları daha belirgin olmaktadır.



Şekil 3.1 AY Tümdevresinin temel blok diyagramı

AY-Tümdevresi ismini nöronlarının içerisinde bulunan Şekil 3.1’de görülen aktivasyon fonksiyonu bloğunun AY-ağı (Avcı ve Yıldırım, 2004a) ile gerçekleştirilmesinden almıştır. Şekil 3.1 de sinir hücresinin temel bileşenleri sinaps ve nöron yapıları tek giriş için gösterilmiştir. Tümdevre on iki adet giriş-çıkış ucuna, dört nörona, her girişle her bir nöron arasında bir adet olmak üzere toplam kırk sekiz adet sinaptik çarpıcıya sahiptir. Şekil 3.2 tek bir giriş-çıkış ucu için sinaptik çarpıcıları ve programlanma durumlarını daha detaylı göstermektedir. Nöron iç

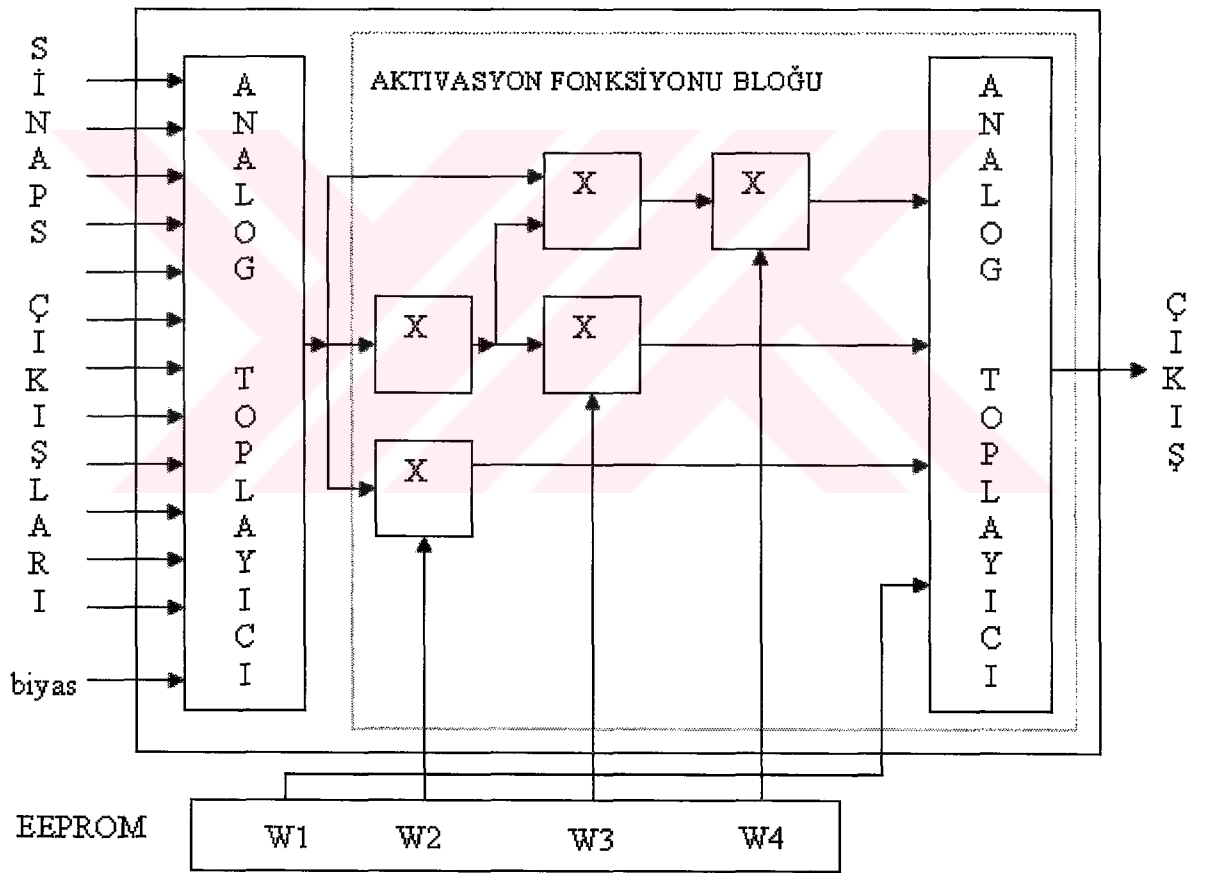
yapısı ise Şekil 3.3 te blok diyagram olarak gösterilmektedir. Şekilde görüldüğü gibi her nöron on iki adet sinaptik çarpıcılardan, bir tanesi de biyas hafızasından gelmek üzere toplam on üç adet girişe, bir adet çıkışa sahiptir.



Şekil 3.2. AY Tümdevresinin detaylı blok diyagramı

Tümdevrenin hafıza ünitesi tamamen sayısal olduğu için, ağırlık, biyas ve aktivasyon fonksiyonu değerlerini işlem bloklarına iletmek için sayısalan analoğa dönüştürücüler kullanılmıştır.

Tümdevrenin bağlantı ve uç kontrol bilgisinin saklandığı kontrol ünitesi ise yol seçme işlevini yapan çoğullayıcı veya tekilleyici devre bloklarını kontrol etmektedir. Programlanma aşamasından sonra tümdevre, giriş ve çıkış işaretleri arasında tamamen analog işlemler yapmaktadır. Gerilim modlu tasarlanan tümdevrenin temel işlem elemanları işlemsel yükselticiler, çoğullayıcılar, tekilleyiciler, çarpıcılar, kare alıcı ve seviye kaydırıcılardır. Nöron ağı sentezi için gereken sinaps ve nöron blokları bu yapıların kullanımı ile tasarlanmıştır.



Şekil 3.3 AY tümdevresi nöronunun blok diyagramı

Şekil 3.3 te görülen nöron blok diyagramında aktivasyon fonksiyonunu gerçeklemek için yeni tanıtilan AY-ağı (Avcı ve Yıldırım, 2004a) gerçeklemesi kullanılmıştır. Bu ağ belirli bir aralık için istenen yaygın pek çok aktivasyon fonksiyonunu sentezleyebilmektedir. Bu sentezleme donanım gerçeklemesinde kabul edilebilir bir hata ile fonksiyon yaklaşımı şeklinde

olmaktadır. Şekil 3.3 teki nöron yapısının içinde, aktivasyon fonksiyonunun elde edilişi için gerekli, detaylı blok diyagram da gösterilmiştir. Bu şekildeki çarpıcı blokları analog olup sayısal hafızadan gelen bilgileri sayısalan analoga dönüştürücülerden geçtikten sonra kullanmaktadır. Tümdevrenin sentezinde nöron içinde kullanılan AY ağı programlanarak aynı yapıda farklı pek çok aktivasyon fonksiyonu sentezlenebilmesi kavramını mümkün kılmaktadır. Literatürde böyle bir yapıya rastlanmamıştır, bu nedenle bu özel ağ yapısı adını tümdevreye AY tümdevresi olarak vermiştir. Aynı zamanda tümdevre sentezi sırasında yeni tanıtılmış olan CMOS geçiş transistor lojiği tekniği (Avcı ve Yıldırım, 2003a) hem analog hem de sayısal işaretlerin kontrolünde kullanılmış böylece giriş, çıkış uçları programlanabilen, tek tümdevre üzerinde çok katmanlı ağ sentezleyebilen, giriş tamponları sayesinde akım çekmediği için sınırsız kaskatlanabilme özelliği olan, yeni bir tümdevre ortaya çıkmıştır. Tümdevrenin bağlantı esnekliği sadece ileri yönlü değil geri beslemeli ağların da sentezini mümkün kılmaktadır.

Tümdevrenin tasarımı metodolojik olarak yapılmıştır. Sayısal blokların neredeyse tümünün tasarımında kullanılan CMOS Geçiş Transistör Lojiği (GTL) tekniği (Avcı ve Yıldırım, 2003a), geliştirilerek analog işaret girişi, çıkışı ve yönlendirilmesi için kullanılan yol seçici işlevli blokların hibrit sentezine adapte edilmiştir. Öncelikle metod tanıtılmış, sayısal tasarıma uygulanışı gösterilmiş, daha sonra analog işaret için kullanımı da yeni bir bölüm olarak verilmiştir. Sayısal bloklarda başarıyla çalıştığı bilinen GTL tekniğinin (Avcı ve Yıldırım, 2003f), hibrit sentezdeki başarımı sayısalan analoga dönüştürücü devresi ile test edilmiş, benzetim sonuçları gösterilmiştir.

Tasarım Ek1 de yer alan AMIS 0.5 μ proses parametrelerine göre, MOSIS Submicron [1] serim kurallarında bu proses için belirtildiği üzere, transistor kanal uzunluğu ve genişliği seçimi sırasında $\lambda=0.3\mu$ çözünürlükle en az 2λ olarak kullanılmıştır. Tüm kanal uzunluk ve genişlikleri $\lambda/2$ 'nin katları şeklinde seçilmiştir.

3.1 CMOS Geçiş Transistor Lojiği Tasarım Metodu

Sayısal blokların neredeyse tümünün tasarımında, yeni tanımlanan CMOS geçiş transistor lojiği tasarım tekniği kullanılmıştır.

Geçiş transistör lojiği (GTL) standart CMOS tasarıma göre serim (layout) yoğunluğu, devre gecikmesi ve güç harcama konularında oldukça avantajlıdır ve boru hattı (pipelined) yapısında devrelerin tasarımına oldukça uygundur. GTL tasarımında istenen fonksiyon MOS transistör ağı ile gerçekleştirilmektedir. GTL ile devre tasarımları genellikle temel lojik blok

elemanların oluşturulması ve daha sonra bu blokların birleştirilmesi ile gerçekleştirilmektedir. Bu bloklar genellikle ikinci düzeye kadar gerçekleştirilen temel lojik kapılarıdır. GTL devreleri temelde iki gruba ayrılabilir; bunlar CMOS geçiş transistörlü yapılar ve NMOS geçiş transistörlü CMOS restore tamponlu yapılardır. Baştan aşağı GTL devre tasarımı gerçekleştirmek için geliştirilmiş, fonksiyonu sofistike bir tasarımla uygulayan pek fazla tasarım yöntemi mevcut değildir (Avcı ve Yıldırım, 2002a).

Metod kodlama, gerçekleştirme ve basitleştirme adımlarına sahiptir. Kodlama adımı karar diyagramı ile lojik fonksiyon arasında bir dönüşümdür, gerçekleştirme adımı karar diyagramından devreye dönüşü göstermektedir, basitleştirme adımı tekrarlanan blokların birleştirilmesi ile indirgemeyi sağlamaktadır (Avcı ve Yıldırım, 2003a).

3.1.1 Kodlama

Kodlamadan önce bir değişken geçiş, diğerleri kontrol değişkeni olarak seçilmelidir. Üç adet a, b, c değişkenine sahip bir fonksiyonumuz olsun. Burada c değişkeni geçiş değişkeni olarak alınırsa, denklem (3.1) deki k_i değişkeninin yerini alır. Burada k_i 0, 1, c ve $\bar{c}$ değerlerini alabilir. Bu üç değişkenle her F fonksiyonu denklem (3.1) deki formulla ifade edilebilir.

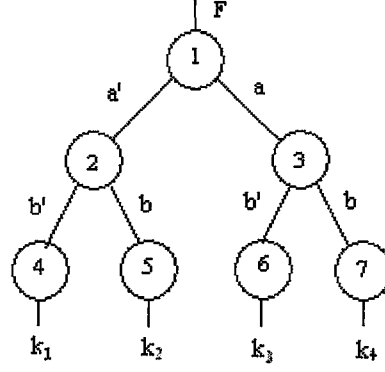
$$F = a'.b'.k_1 + a'.b.k_2 + a.b'.k_3 + a.b.k_4 \quad (3.1)$$

F fonksiyonu için değer tablosu Çizelge 3.1'de yer almaktadır.

Çizelge 3.1 Fonksiyon için değer tablosu

A	B	F
0	0	k_1
0	1	k_2
1	0	k_3
1	1	k_4

Şekil 3.4'de denklem (3.1) için karar diyagramı görülmektedir.



Şekil 3.4 Karar Diyagramı

Şekil 3.4'te görülen k_i değişkenlerinin iliştilmesi ile F fonksiyonu kodlanmaktadır. Denklem (3.2) de F fonksiyonunun kodlanmış hali görülmektedir.

$$F = k_1 k_2 k_3 k_4 \quad (3.2)$$

Her k değişkeni için iki bitlik kodlama Çizelge 3.2 de görülmektedir.

Çizelge 3.2 Geçiş değişkeninin kodlanması

Kod	00	01	10	11
F	0	c'	c	1

Örnek olarak,

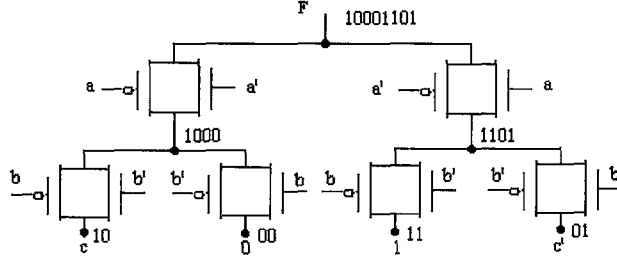
$$F = a'.b'.c + a.b' + a.b.c' \quad (3.3)$$

olsun. F için denklem (3.3)'ün kodlanmış hali denklem (3.4)'te görülmektedir.

$$F = 10001101 \quad (3.4)$$

Daha çok değişken için Şekil 3.4 te görülen karar diyagramı daha çok sayıda bileşen içerecektir ve değişkenleri uygun şekilde değişecektir. Fakat iki bitlik kodlama aynı şekilde yeni geçiş değişkenine göre adapte edilecektir ve aynı şekilde geçerli olacaktır.

Bu kodlama, NMOS geçiş transistör lojigi ve restorasyon tamponları içeren 123 karar diyagramı tasarım metodu için de kullanılabilmektedir (Avcı ve Yıldırım, 2003d). Eğer



Şekil 3.7 Basitleştirme için kodlanmış devre

İliştirme işlemi ters uygulanarak her düğümün kodu elde edilebilir. Sonra en alt düzeyden en üste doğru aynı koda sahip düğümler birleştirilip birinin alt kısmındaki devre silinir. İki indirgenme konumu mevcuttur. Bunlar:

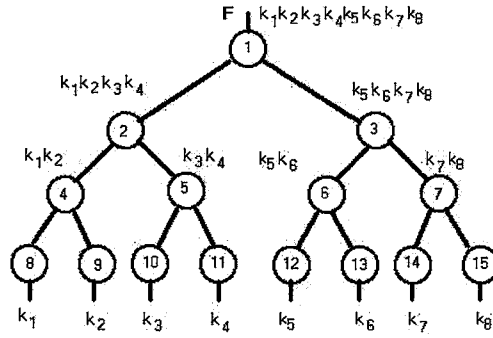
- 1) Eğer iki düğüm aynı koda sahipse birleştirilebilir ve bir yol iptal edilir.
- 2) Eğer bir düğüm 11111111, 00000000, 1111, 0000, 1111111111111111 veya 0000000000000000 gibi tek tip koda sahipse bu kodlar sadece 11 veya 00 olarak sadeleştirilebilir (Avcı ve Yıldırım, 2003a).

3.2 CMOS Geçiş Transistör Tasarım Metodunun Hibrit Senteze Uyarlanması

Bölüm 3.1 de tanıtılan Geçiş Transistör Lojigi (GTL) tasarım tekniği hibrit işaret tümdevre tasarımına adapte edilmiş ve bu yöntemle bu çalışmanın ilerleyen kısımlarındaki tümdevre sentezi için gerekli hibrit bloklar tasarlanmıştır. Önerilen metodolojik yaklaşım yeni tanıtıldığı için işlevsel geçerliliği de 3-bitlik bir sayısalanaloğa dönüştürücü (DAC) benzetim sonuçlarıyla test edilmiştir. Yöntem yine kodlama, gerçekleştirme ve basitleştirme adımlarını içermektedir, fakat geçiş değişkeni analog olmakta ve kodlama bu analog değişkene göre yapılmaktadır. Sentez adımları GTL ile aynı basamaklardan oluşmaktadır.

3.2.1 Kodlama

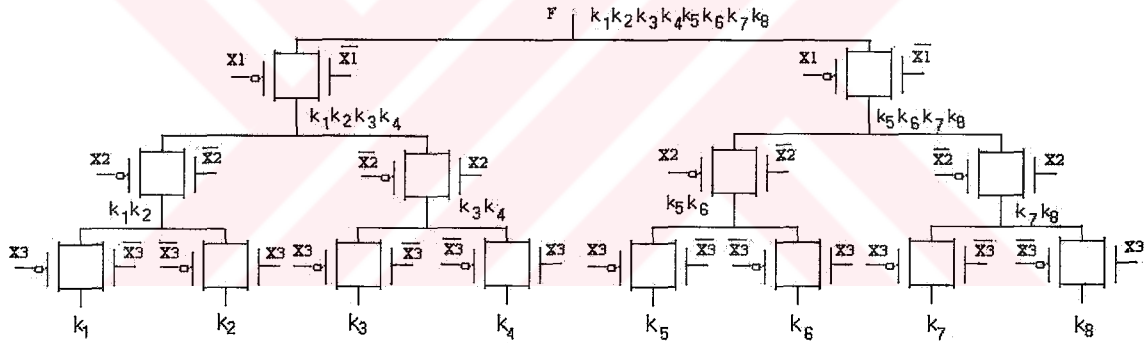
Sayısal tümdevre tasarımı için gösterilen metoddan biraz farklı kodlama yapılmaktadır. Geçiş değişkeni analog, kontrol değişkenleri sayısal olmaktadır. Sayısal metoda göre bir düzey fazla transistör kullanılması dezavantajına sahiptir. Burada kodlama analog değişkene verilen k_i isminin tekrarlanması durumunun saptanmasıyla mümkün olmaktadır. Şekil 3.8 de kodlama ikili karar diyagramı üzerinde gösterilmiştir. Şekil 3.8 deki k_i değişkenleri analog değerler yerine aynı analog değerlere verilen aynı numaralı k değişkenleriyle gösterilmiş, böylece tekrarlanan blokları saptamak mümkün olmuştur.



Şekil 3.8 Kodlama ağacı karar diyagramı ve düğümlerin kodlanması

3.2.2 Gerçekleme

Kodlamadan sonraki CMOS devresine dönüştürme adımıdır. Şekil 3.8 deki devrenin gerçekleştirilmiş hali Şekil 3.9 da görülmektedir. Şekil 3.8 de numaralanmış yuvarlaklar düğümlere, çizgiler ise transistör geçiş kapılarına karşılık gelmektedir.



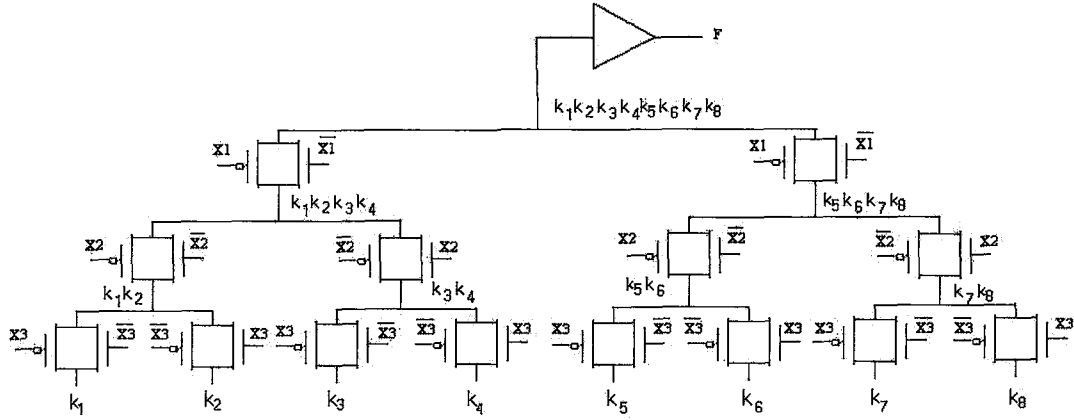
Şekil 3.9 Karar diyagramının MOS devre dönüşümü

3.2.3 Basitleştirme

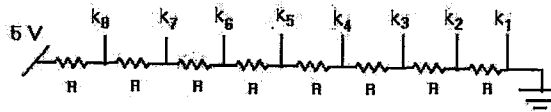
Temel fikir tekrarlanan eş blokların birleştirilmesi ve serim alanından kazanılması ilkesine dayanır. Kodlama bu işlemi kolaylaştırmak için yapılır. Sayısal tasarım metodunda olduğundan biraz farklıdır. Ancak aynı geçiş değişkeni k_i ye sahip iki blok birleştirilebilir.

3.2.4 Sayısalan Analoga Dönüştürücü Uygulaması

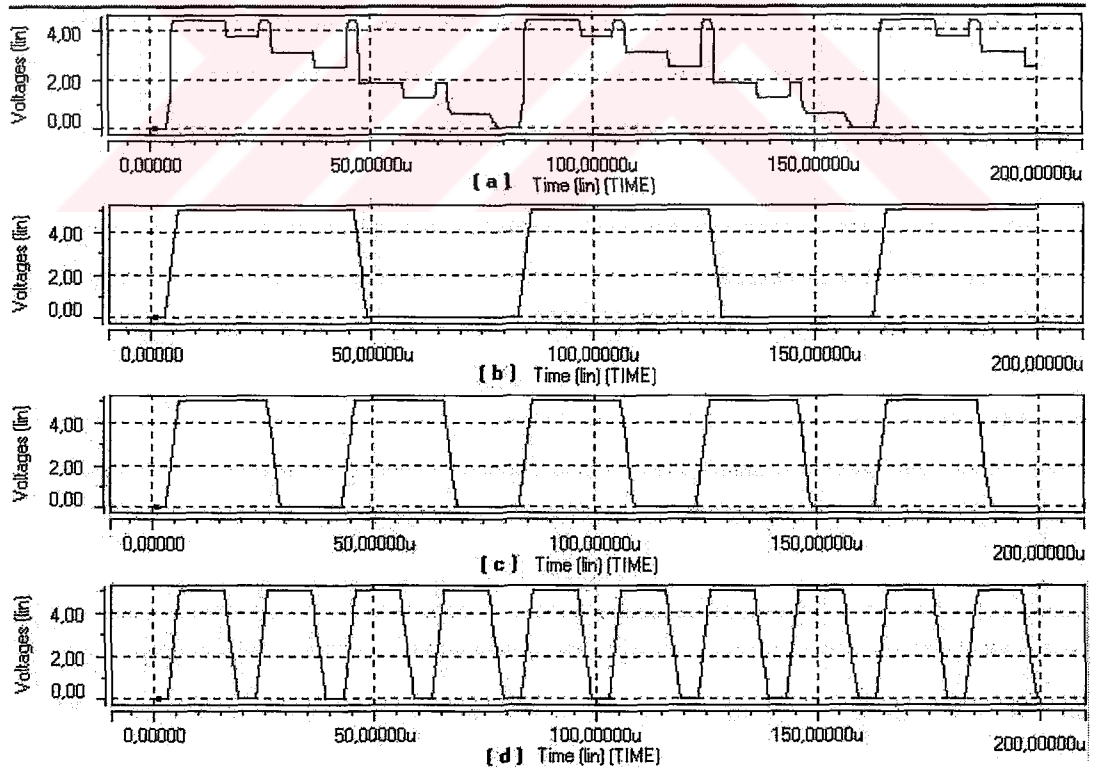
Şekil 3.10 da görülen devre şeması ile Şekil 3.11 de gösterilen analog girişler kullanılarak ve devrenin çıkışına Şekil 3.10 da görüldüğü gibi analog bir tampon eklenerek 3-bit sayısalan analoga dönüştürücü tasarlanmış ve SPICE benzetim sonuçları Şekil 3.12 de verilmiştir. Bu sonuçlara göre metod gayet sağlıklı bir şekilde çalışmaktadır.



Şekil 3.10 3-Bit Sayısalan Analoga Dönüştürücü uygulaması



Şekil 3.11 Analog girişlerin elde edilişi



Şekil 3.12 Sayısalan Analoga Dönüştürücü benzetim sonuçları

Ancak girilen analog işaretlerin negatif olması durumunda n-tipi transistörlerin gövde uçlarının negatif beslemeye bağlanması ve anahtarlamalarının negatif besleme ile kapatılması gerekmektedir. Bu uygulamada sadece pozitif analog işaretler iletilmiştir.

3.3 AY Ağı

Yapay sinir ağları insan beyninin çalışmasını temel alarak biyolojik nöronun çalışmasını matematik olarak modellemeye çalışan yapılardır. Bu sayede insan beyninin işlem yeteneğinin avantajlarını günümüz teknolojisine taşımak hedeflenmiştir. Bu amaçla pek çok matematiksel nöron modeli ortaya konmuştur. En genel kullanım denklem (3.5) de görülen üzeredir (McCulloch ve Pitts, 1943). Bu denklemde w ağırlık değerlerini, x girişleri, b de biyas değerlerini matris olarak simgelemekte, ağırlık ve girişlerin çarpımı ile biyas değerlerin toplamı aktivasyon fonksiyonu denilen $f(.)$ ile gösterilen fonksiyondan geçirilmekte böylece bir nöronun çıkışı olan y değeri elde edilmektedir.

$$y = f(wx + b) \quad (3.5)$$

Değişik beyin hücrelerinden gözlemlenen işaret karakteristiğine göre $f(x)$ aktivasyon fonksiyonu tanjant hiperbolik sigmoid, logaritmik sigmoid, doğrusal, doymalı lineer ve sert geçişli gibi formlar almıştır. Bu aktivasyon fonksiyon ifadeleri değişik nöron karakteristiklerinden gözlemlenen çıkışların matematiksel ifadesini ortaya koymayı amaçlayan yaklaşımlardır.

Diğer bazı çalışmalar ise değişik nöron modelleri ortaya koyarak biyolojik nöronun çalışmasını farklı bir şekilde ifade etmiştir. Kohonen'in kendini inşa eden SOM ağında olduğu gibi girişlerle ağırlıklar arası mesafenin ve nöronların komşuluk ilişkilendirmesinin hesaba katılması gibi yaklaşımlar söz konusudur (Kohonen, 1989).

AY ağı, sinir hücresi yapı birimi nöronun çalışma prensibini yeniden tanımlayarak kendine özgü aktivasyon fonksiyonu kullanmaksızın, yaygın aktivasyon fonksiyonlarını ifade etmeyi belli bir aralıkta donanım uygulamaları için yeterli bir performansla başaran, eğitici bir ağ yapısı olmasına rağmen uzaklık hesabı da aynı nöron modeli içinde yer almaktadır (Avcı ve Yıldırım, 2004a).

AY ağının temel yaklaşımları, bir sonraki nöronun bir öncekinden yararlanarak daha ileri hesaplama yaptığını kabul eder. Beyin hücresinin çalışma gerilim aralığı negatif ve milivoltlar düzeyindedir, AY nöronu ise $[-1, +1]$ aralığında çalışır. AY ağında i .nöron kavramı vardır. Bir işlem için gerekli nöron numarası " i " saptanır. Buna göre i .nöron kendinden önceki tüm

nöronların çıkışını değerlendirmiş ve onlardan bir matematiksel seri ifadesine ulaşmıştır. Tek girişli AY ağı tanım aralığında evrensel bir fonksiyon yaklaşıtıdır ve delta öğrenme kuralı bu işlev için yeterlidir (Avcı ve Yıldırım 2004a ve 2004b). AY nöronu aktivasyon fonksiyonu içermemekte fakat literatürdeki neredeyse tüm aktivasyon fonksiyonlarını sentezleyebilmektedir. Her aktivasyon fonksiyonunu gerçekleştirebilen i. bir AY nöronu mevcuttur. Çok girişli AY nöronu girişlerin uzaklıklarını hesaba katar. Ancak bu çalışmada tek girişli AY nöron hücresi kullanılmıştır.

Ay nöron modeli denklem (3.6) da görüldüğü gibi, girişin ağırlıkla çarpımının integrali olarak ifade edilmektedir.

$$y = \int w.x.dx \quad (3.6)$$

O halde tek giriş için bir hesaplama yapacak olursak, ilk nöronun çıkışı denklem (3.7) deki

$$y_1 = w_1.x^2 + c \quad (3.7)$$

şekilde olacaktır. Burada integralden gelen $\frac{1}{2}$ terimi w_1 değişkeninin içine dağıtılmıştır. Bundan sonraki işlemlerde de integralden gelen katsayılar ağırlığın içine atılmış olarak kabul edilecektir. İkinci nöronun girişi ilk nöronun çıkışı olacaktır. O halde ikinci nöronun çıkışı denklem (3.8)'deki gibidir. Denklem (3.8)'i denklem (3.9)'da açıkça yazarsak, sonucu denklem (3.10)'da gösterilen şekilde buluruz.

$$y_2 = \int w.y_1.dx \quad (3.8)$$

$$y_2 = \int (w_1.x^2 + c).dx \quad (3.9)$$

$$y_2 = w_1.x^3 + c.x + d \quad (3.10)$$

Üçüncü nöronun çıkışını hesaplayacak olursak denklem (3.11) ve (3.12)'nin ardından, (3.13)'teki çıkış elde edilecektir.

$$y_3 = \int w.y_2.dx \quad (3.11)$$

$$y_3 = \int (w_1.x^3 + c.x + d).dx \quad (3.12)$$

$$y_3 = w_1.x^4 + w_2.x^2 + d.x + e \quad (3.13)$$

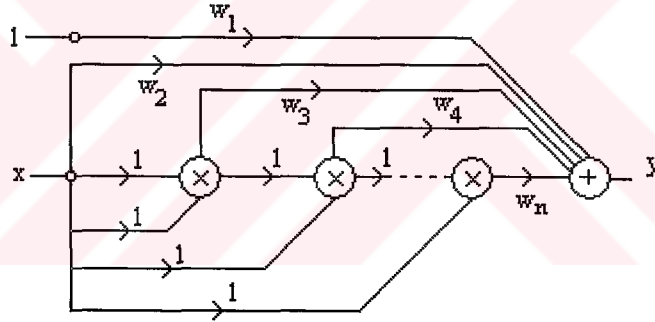
O halde i.nöron için denklem bir Taylor Serisi açılımına dönecektir. Burada nörona bir tek giriş olduğu kabul edilmiştir. Aslında i. nörona farklı nöronlardan gelen aynı girişin farklı üstelleri olduğu da bir gerçektir. Fakat bu yaklaşım da i.nöron için denklem (3.14)'te verilen genel forma ulaşmayı sağlamaktadır.

$$y_i = w_n \cdot x^{n-1} + \dots + w_5 \cdot x^4 + w_4 \cdot x^3 + w_3 \cdot x^2 + w_2 \cdot x + w_1 \quad (3.14)$$

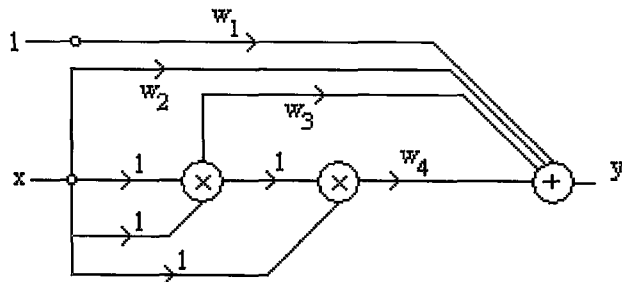
Gösterilen w ağırlık değerleri ayarlanabilir değişkenler olduğu, integrallerin katsayılarının onların içine dağıldığı ve seçimleri keyfi olduğu için yukarıdaki şekilde numaralandırılmışlardır. Yani i.nöronun çıkışı denklem (3.15)'de gösterilen genel ifadeyle hesaplanmaktadır.

$$y = \sum_i w_i \cdot x^{i-1} \quad (3.15)$$

Denklem (3.14) ve (3.15)'deki ifadeleri ağ topolojisini işaret akış diyagramı olarak çizecek olursak Şekil 3.8'de görülen işaret akış diyagramını elde ederiz.



Şekil 3.8 AY ağının genel topolojisinin işaret akış diyagramı

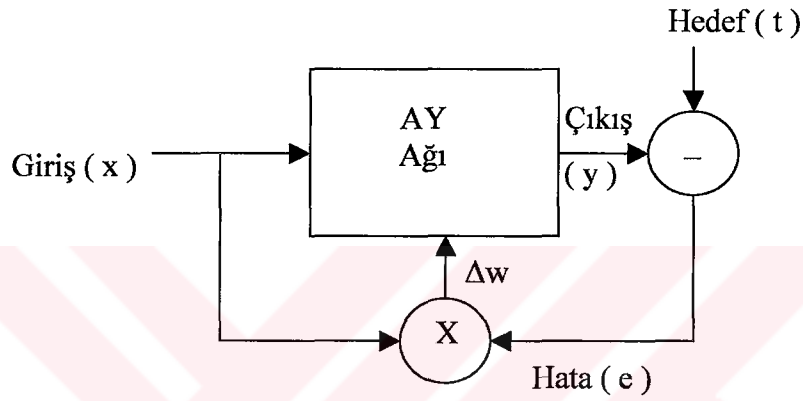


Şekil 3.9 İlk dört terim için AY ağı topolojisinin işaret akış diyagramı

Önerilen ağ tek gizli katmana sahiptir ve bu ağ topolojisi hiçbir uygulamaya göre değişmez. Sadece istenildiği kadar terim kullanılır. Artan sayıda terim kullanılması yaklaşımın hassasiyetini ve maliyetini arttırır. Bu çalışmadaki bütün gerçeklemelerde tek girişli AY ağı için Şekil 3.9 da görülen işaret akış diyagramındaki ilk dört terimli ağ topolojisi kullanılmıştır.

$$y = w_3 \cdot x^3 + w_2 \cdot x^2 + w_1 \cdot x + w_0 \quad (3.16)$$

Şekil 3.10 da tek girişli bir AY ağının Delta öğrenme kuralı kullanılarak eğitime ilişkin blok diyagram verilmiştir.



Şekil 3.10 AY ağının öğrenmesi

Blok diyagramı formül olarak ifade edecek olursak, genel formu denklem (3.15)'te verilen AY ağı için, x giriş, y çıkış, t hedef değer, e hata değeri, w ağırlık değerleri ve Δw da ağırlık değerlerindeki değişme olmak üzere:

$$e = t - y \quad (3.17)$$

$$\Delta w_i = e \cdot x^i \quad (3.18)$$

$$w_i^{yeni} = w_i^{eski} + \Delta w_i \quad (3.19)$$

olur. Bu eğitime AY ağının tek girişli fonksiyon sentezini rahatlıkla gerçeklemesini mümkün kılmaktadır. Daha farklı öğrenme algoritmalarını kullanmakta mümkündür. Ancak tek girişli AY ağı için $[-1,1]$ değer aralığında delta öğrenme kuralı yakınsamakta ve istenen hata minimizasyonunu sağlamaktadır.

Literatürde mevcut aktivasyon fonksiyonlarını ve bazı lineer olmayan fonksiyonları Şekil 3.9 da gösterilen ve genel formu denklem (3.16) ile verilen ilk dört terimli AY ağı için

sentezlersek ağın başarımı daha iyi gösterilmiş olur. Gerekli ağırlık değerleri MATLAB 6.5 programı ile ağın eğitilmesi sonucu elde edilmiş ve Çizelge 3.3 de verilmiştir. Bütün ağırlık değerlerine başlangıç olarak 0.05 değeri verilmiştir. Ağırlık değerlerinin yanısıra Çizelge 3.4 te fonksiyonlara yaklaşım hata aralıkları da verilmiştir. En yaygın altı fonksiyon, iki adet tanjant hiperbolik sigmoid, logaritmik sigmoid, sinüs, kosinüs ve radyal tabanlı fonksiyonlar ağ ile sentezlenmiştir. Ağın katsayı veya ağırlık değerleri 100 defa öğrenmeden sonra Çizelge 3.3'deki değerlere ulaşmıştır. Eğitim için 20 tane veri, test için ise 200 tane veri kullanılmıştır. Bu verilerin hepsi $[-1,1]$ aralığındadır. Şekil 3.11, 3.12, 3.13, 3.14, 3.15 ve 3.16 da ideal fonksiyonla ağın yaklaşımı aynı grafik üzerinde gösterilmiştir. Noktalı siyah çizgiler istenen ideal fonksiyonu, düz çizgiler ise AY ağı yaklaşımını göstermektedir.

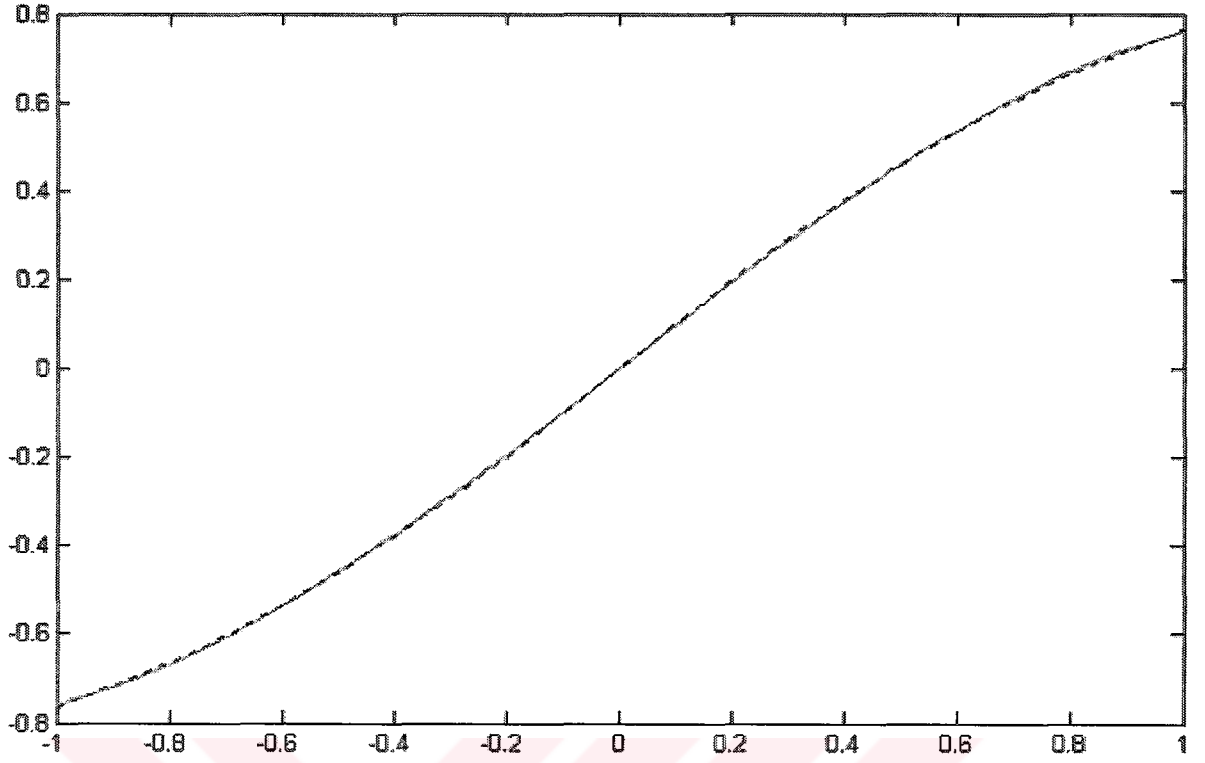
Çizelge 3.3 AY ağına fonksiyon yaklaşım katsayıları

Ağırlık	Tanh(x)	Logsig(x)	Cos(x)	Sin(x)	Tanh(2x)	Radbas(x)
W1	-0.00027	0.5	0.9971	-0.00002	-0.00046	0.9774
W2	0.97634	0.2495	-0.076	0.9977	1.6767	-0.0248
W3	0.00085	0.000018	-0.467	0.000079	0.018	-0.6986
W4	-0.21813	-0.0185	0.0164	-0.1567	-0.7095	0.0309

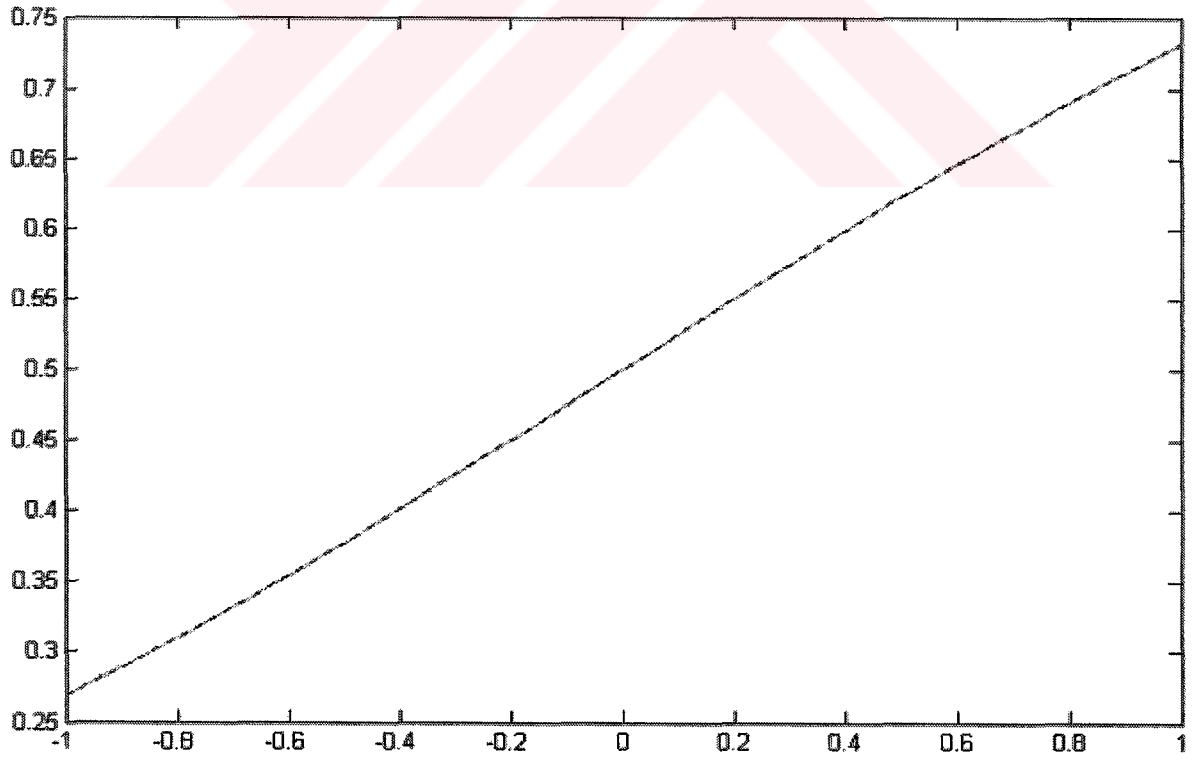
Çizelge 3.3'te yer alan sinüs ve kosinüs fonksiyonları radyan olarak hesaba katılmıştır. Çizelge 3.4'te görülen hata değerlerinin oldukça küçük değerler alması AY-ağı yaklaşımını pek çok fonksiyonun donanım sentezi için yeterli kılmıştır. Çizelge 3.4'e göre i.bir AY nöronu tanım aralığı içinde, literatürde yaygın olarak kullanılan aktivasyon fonksiyonlarını kabul edilebilir hata yaklaşımlarıyla sentezleyebilmektedir.

Çizelge 3.4 AY ağına fonksiyon yaklaşım minimum ve maksimum hata değerleri

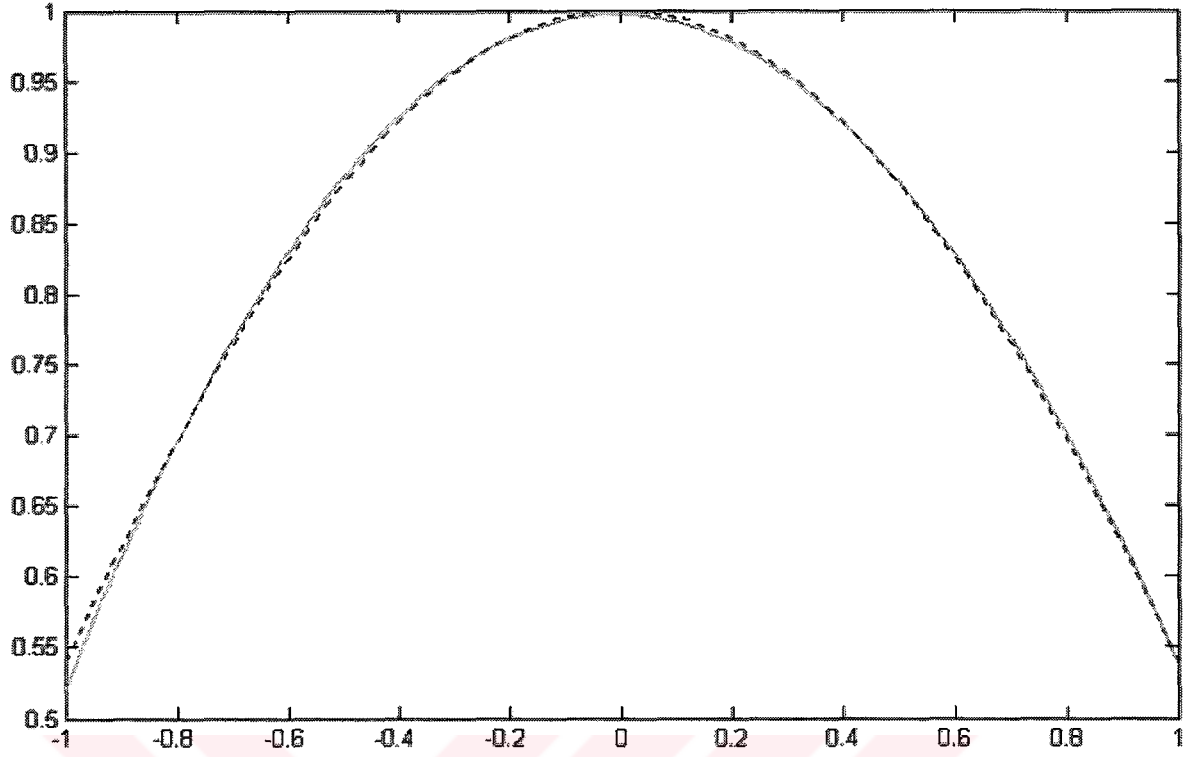
Sapma	Tanh(x)	Logsig(x)	Cos(x)	Sin(x)	Tanh(2x)	Radbas(x)
Min	-0.0056	-0.000137	-0.004	-0.00062	-0.0572	-0.0952
Mak	0.0051	0.000126	0.019	0.00057	0.0557	0.0364



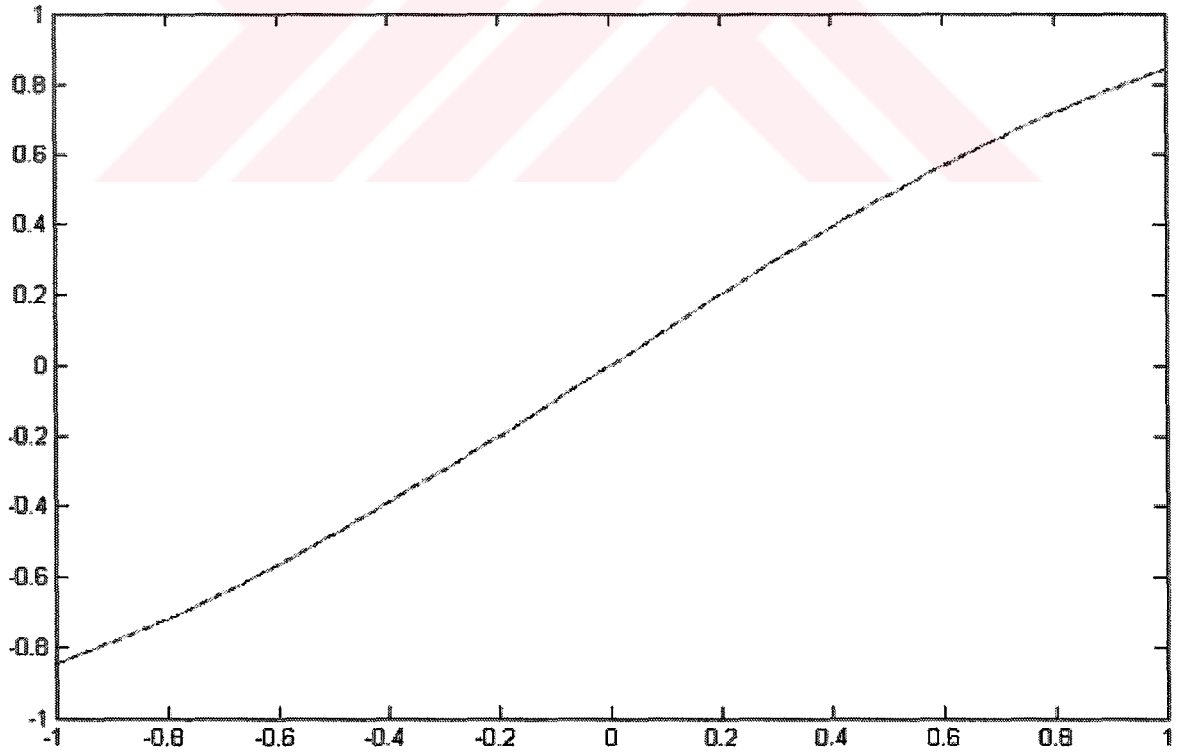
Şekil 3.11 Tanjant hiperbolik sigmoid fonksiyonu için AY ağı yaklaşımı



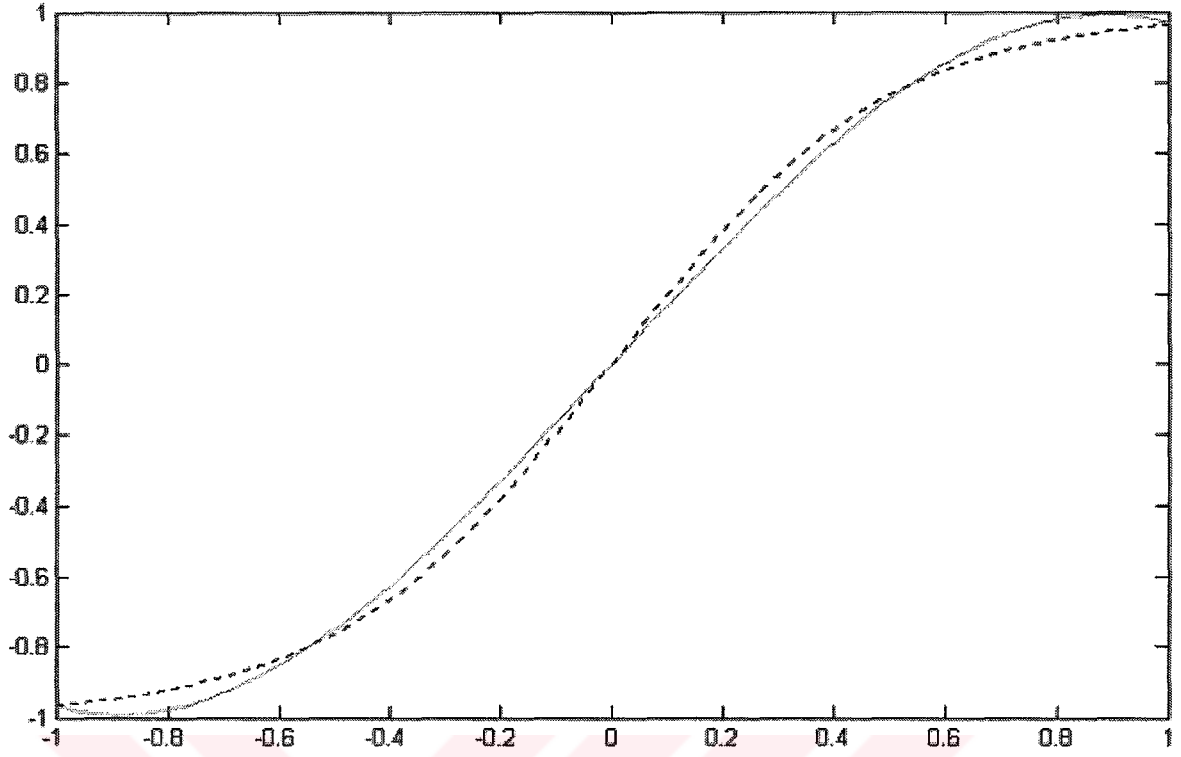
Şekil 3.12 Logaritmik sigmoid fonksiyonu için AY ağı yaklaşımı



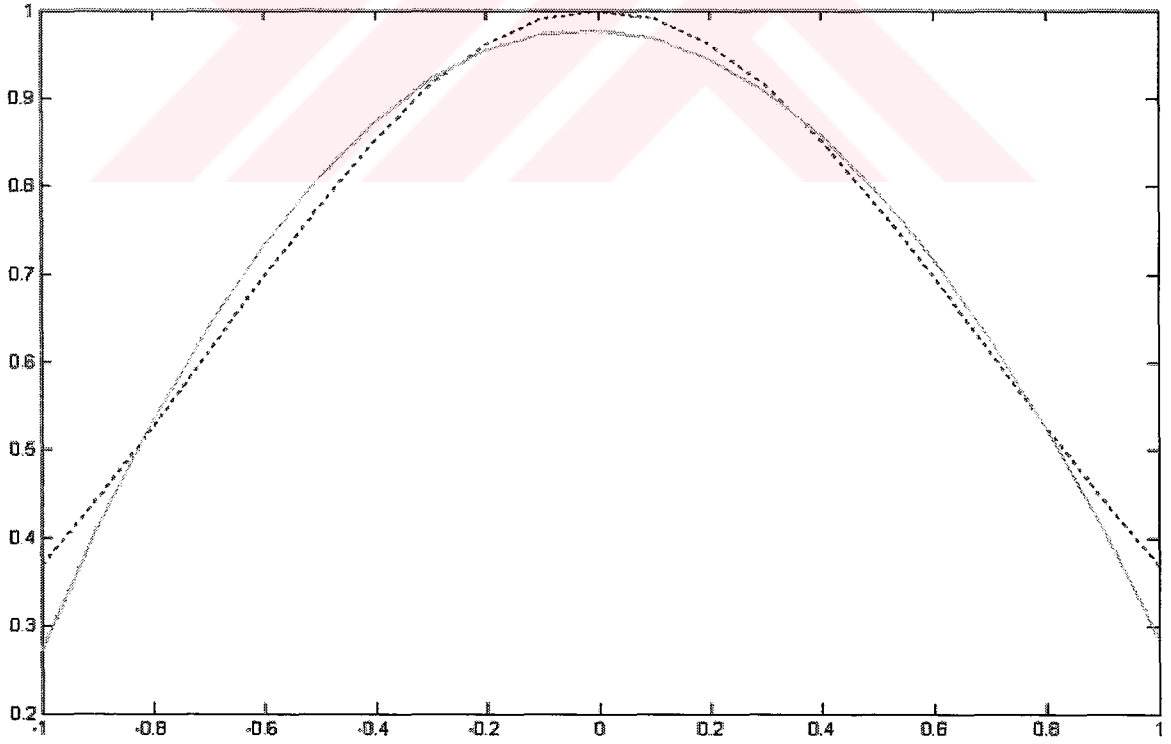
Şekil 3.13 Kosinüs fonksiyonu için AY ağı yaklaşımı



Şekil 3.14 Sinüs fonksiyonu için AY ağı yaklaşımı



Şekil 3.15 Tanh(2x) fonksiyonu için AY ağı yaklaşımı

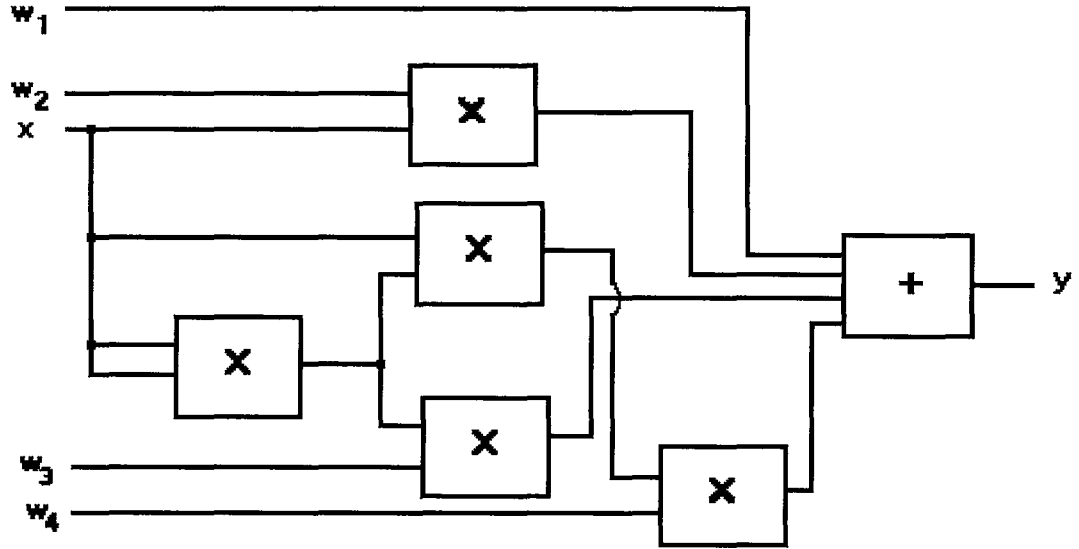


Şekil 3.16 Radbas fonksiyonu için AY ağı yaklaşımı

AY ağı özellikle donanım sentezi için geliştirilmiş, teknolojiye ve tasarım metoduna bağımlı olmaksızın lineer olmayan fonksiyon sentezinde tek blok tipiyle evrensel fonksiyon sentezleyebilen çok kullanışlı bir fonksiyon sentezleyicisidir. Şekil 3.11 ve 3.12’de görülen en yaygın iki aktivasyon fonksiyonu tipi $[-1,1]$ aralığında oldukça başarılı bir şekilde modellenmiştir. Aktivasyon fonksiyonu olmamasına karşın literatürde bulunan pek çok evrensel fonksiyon yaklaşımcılarının (Abuelmeatti, 2002, Beiu, 1996b ve Barron, 1993) testinde kullanılan sinüs ve kosinüs fonksiyonları ağı başarımını değerlendirmek üzere yine literatürdeki gibi radyan olarak modellenmiştir. Kosinüs ve sinüs fonksiyonları Şekil 3.13 ve 3.14’te görüldüğü gibi ağı ilk dört terimi ile oldukça iyi modellenmiştir.

Ancak çizelgeye göre en iyi başarımlar logaritmik sigmoid fonksiyonunun sentezlenmesinde elde edilmiştir. Tanjant hiperbolik fonksiyonunun ikinci uygulama tipi olan $\tanh(2.x)$, yaklaşımının zorluğuna rağmen ağ tarafından kabul edilebilir bir hata aralığında sentezlenmiştir.

Ancak ağı en önemli yeteneklerinden biri olan radyal tabanlı Gauss fonksiyonunu sentezleyebilmesi, ileri yönlü bir yapay sinir ağı donanım gerçekleştirilmesinde programlanabilir bir yapıda hem tanjant hiperbolik hem logaritmik hem de radyal tabanlı aktivasyon fonksiyonlarının farklı nöronlarda kullanılabilmesini sağlamaktadır. Şekil 3.16’da radyal tabanlı fonksiyona AY-ağının yaklaşımı gösterilmiştir. Şekil 3.16’daki yaklaşım hassasiyetini arttırmak ağı terim eklenmesi ile mümkündür (Avcı ve Yıldırım, 2004a). Ancak Şekil 3.17’de görülen blok yapısıyla sentezlenmiş olan bu fonksiyonların, tek bir tümdevre üzerinde aynı anda programlanarak oluşturulabilmesi oldukça yeni bir yaklaşımdır. Bu kavram ikinci bölümde tanıtılan literatürdeki tümdevrelerin hiç birinde mevcut değildir. Mevcut analog, sayısal veya hibrit evrensel fonksiyon yaklaşımcı tasarımları genellikle teknoloji bağımlısı, kullanılan elemanların matematiksel karakteristikleri baz alınarak uygulanan yöntemlerdir (Abuelmeatti, 2002). AY ağı aynı tasarım bloğu kullanılarak analog, sayısal veya hibrit olarak istenen herhangi bir fonksiyonun sentezlenmesi için geliştirilmiş bir yapıdır. AY ağı ile Abuelmeatti (2002) tarafından tanıtılan akım modlu evrensel fonksiyon yaklaşımcıdan daha başarılı sonuçlar elde edilmiştir. AY ağına ilk dört terim topolojisine göre Şekil 3.17 deki toplama ve çarpma blokları kullanımı ile herhangi bir prosesle üretimi veya herhangi bir standart donanım üzerinde yazılımla gerçekleştirilmesi mümkün olmaktadır. Tasarım metoduna göre ağı eş zamanlı hesaplama yapması için gerekli gecikmeler tasarımcı tarafından kullandığı teknolojiye göre ağı eklenebilir. Ancak temel blok diyagram her teknoloji için geçerlidir.



Şekil 3.17 AY ağı devre dönüşümü blok diyagramı

Şekil 3.17'deki devre bloğu beş çarpıcı ve bir toplayıcı devresinden oluşmaktadır. Çarpıcılardan biri kare almak için kullanılmıştır. Analog uygulamalar için çarpıcıların gecikmeleri eşitlenecek şekilde çarpıcıların faz diyagramları baz alınarak gecikme eşleyici devreler eklenebilir. Ancak bu çalışma için yüksek frekanslar hedeflenmediğinden herhangi bir gecikme eşleyici devreye ihtiyaç olmamaktadır (Avcı ve Yıldırım, 2004b).

AY ağı topolojisinin ilk dört teriminin sentezlediği, şekillerde yer alan farklı tipteki aktivasyon fonksiyonları çok katmanlı algılayıcı ve radyal tabanlı fonksiyon nöronlarının aynı tümdevre üzerinde gerçekleşmesini mümkün kılmaktadır. Böylece iki farklı nöron tipinin birbirine göre avantajlı olduğu yanların aynı yapay sinir ağı gerçeklemede birlikte kullanımı söz konusu olmaktadır. Yani çok katmanlı algılayıcının evrensel, radyal tabanlı fonksiyonun yerel, sınıflama eğrileri birleşerek kullanılabilir.

4. AY-TÜMDEVRESİNİN TEMEL YAPI BLOKLARI

Tümdevre hibrit yapıda olduğu için analog, sayısal ve hibrit işaret işleyen elemanlardan oluşmaktadır. Bunlardan analog olanlar, işlemsel yükseltici, tampon, seviye kaydırıcı, ön gerilimleme durumuna göre üç tip çarpıcı, kare alıcı ve iki tip toplayıcı bloklardır. Sayısal olanlar tamamen hafıza ünitesinde kullanılmıştır. Bu bloklardan EEPROM hafıza bloğu ve algı yükselticileri hariç diğer bloklar sadece programlama aşamasında işlevsel olmaktadır. Tümdevre programlandıktan sonra tüm hafıza blokları aynı anda okunur halde çalıştırılmaktadır. Sayısal bloklar 3x8 ve 4x16 kod çözücüler, EEPROM hafıza hücreleri, algı yükselticileridir. Tümdevrede hibrit olarak sayısalardan analoga dönüştürücüler, 2x1, 4x1 ve 1x2 çoğullayıcı ve tekilleyici blokları yer alır. Sayısalardan analoga dönüştürücü modülü akım modlu bir tasarımıdır, diğer yapılar ise bölüm 3.3 te tanıtılan geçiş transistör lojigi hibrit tasarım metodu ile tasarlanmışlardır.

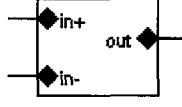
4.1 Analog Bloklar

CMOS yapıda Ek 1'de verilen proses parametreleri ve MOSIS [1] mikron altı tasarım kurallarına uyularak tasarlanmışlardır. Tümdevrenin giriş ve çıkışları arasındaki bütün işaret işleme blokları analogtur. Dolayısıyla aritmetik işlemlerin tümü analog olarak, gerilim modlu gerçekleştirilmiştir. Giriş ve çıkış işaretini yol seçerek yönlendiren çoğullayıcı ve tekilleyici blokları geçiş transistorlerinin analog işaretleri yönlendirmesi esasına dayalı anahtarlama yapılarıdır. Gerilim modlu tasarım elemanı olan işlemsel yükseltici devresi, karmaşık bloklar için temel bileşen olarak kullanılmıştır. Özellikle çarpıcı ve toplayıcı bloklarında, analog tampon gerçeklemelerinde temel bileşendir. Bu nedenle ilerleyen kısımda öncelikle tasarlanan işlemsel yükseltici ve onun temel uygulamaları olan diğer bloklar tampon ve toplayıcı gösterilmiş, seviye kaydırıcıların ardından çarpıcı blokları ve kare alıcı bloğu ile analog tasarım blokları bitirilmiştir. Kullanılan proses p-taban üzerinde çok sayıda n ve p-kuyularına izin verdiği için seviye kaydırıcılar gövde etkisi kullanılarak gerçekleştirilebilmiştir.

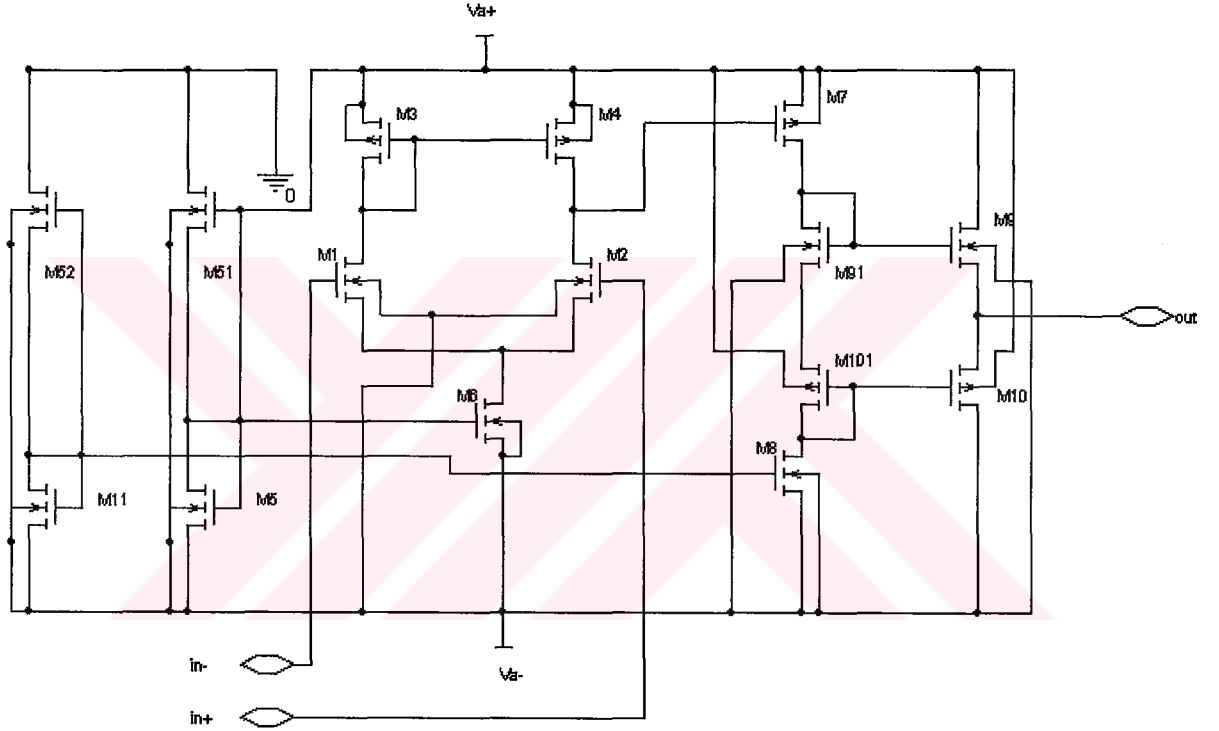
4.1.1 İşlemsel Yükselteç

Şekil 4.1 işlemsel yükseltecin blok diyagramı olarak gösterimi olup, Şekil 4.2 de görülen MOS tümdevre yapısıyla tasarlanmıştır. Farksal yükseltici, ortak kaynak AB sınıfı yükseltici ve tampon kısımlarından oluşmaktadır. Farksal yükseltici ve tamponun ön gerilimlemeleri iki farklı MOS gerilim bölücü devresi ile verilmiştir. Şekil 4.2'de gösterilen devre $V_{a+} = +2.5V$, $V_{a-} = -2.5V$ besleme gerilimleriyle, $[-1V, 1V]$ aralığında çalışmak üzere tasarlanmıştır. Şekil 4.3 devrenin evrilen olarak $[-1V, 1V]$ aralığında verdiği cevabın doğrusallığını göstermektedir,

yine aynı şekil devre girişine besleme gerilimleri $[-2.5V, 2.5V]$ aralığında değişen girişler uygulanınca, evirici olarak verdiği cevabı, lineer çalışma aralığının alt ve üst sınır değerlerini $[1.14V, -1.12V]$ olarak göstermektedir.



Şekil 4.1 İşlemsel Yükseltici blok diyagramı

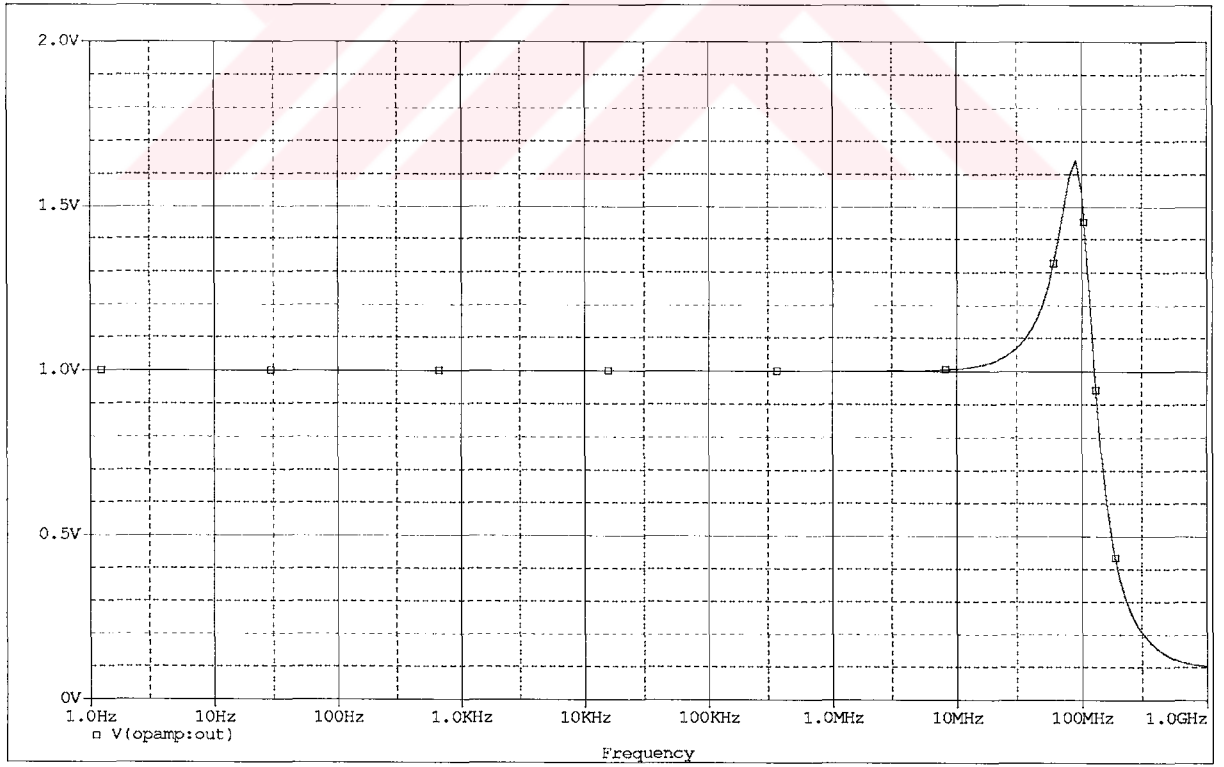


Şekil 4.2. İşlemsel Yükselticinin iç yapısı

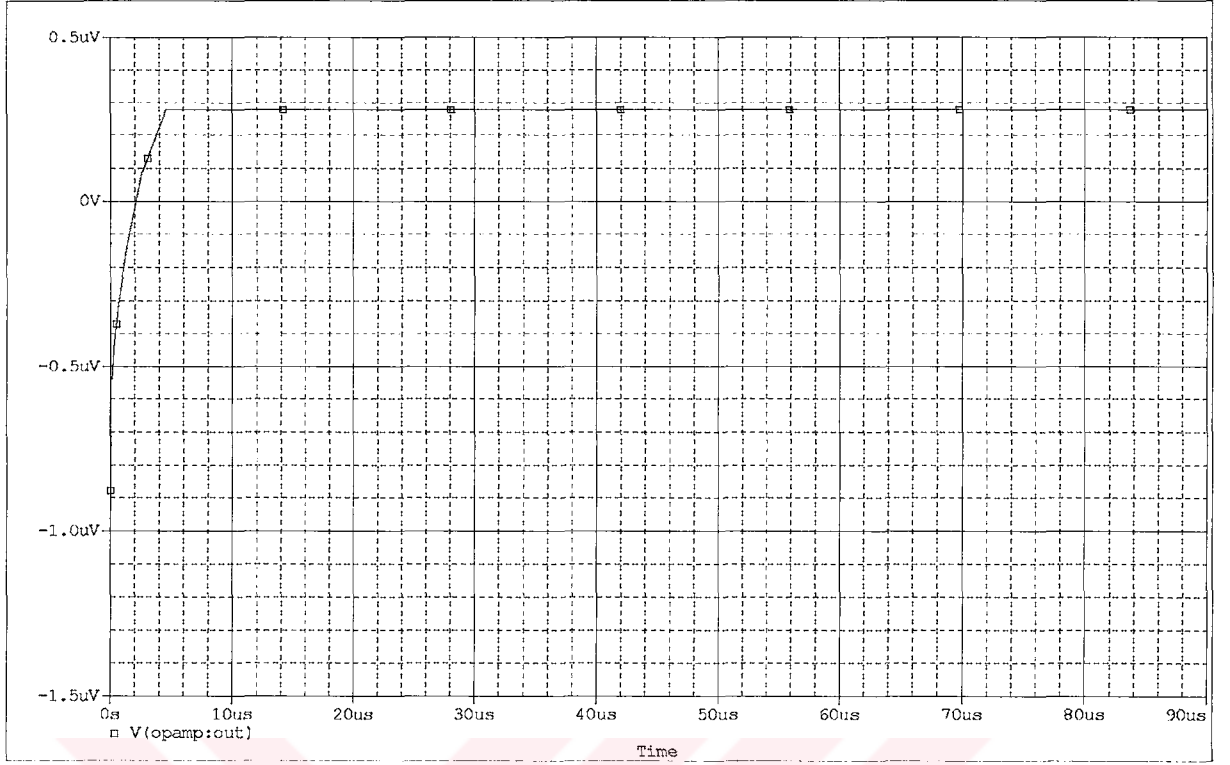
18.3 MHz frekansına kadar % 3 ten küçük hata ile çalışmaktadır. Band genişliği kazanç sabiti 200×10^6 değerindedir. Devrenin frekans cevabı Şekil 4.4'te görülmektedir. Ortak Mod Bastırma Oranı (CMRR) 104dB'dir. Şekil 4.5'de devrenin ofset gerilim değeri, Şekil 4.6'da ise evirici için faz diyagramı görülmektedir. 9 adedi NMOS, 6 adedi PMOS olmak üzere toplam 15 adet MOS transistörle tasarlanan devre tampon, toplayıcı ve çarpıcı devrelerinin temel bileşeni olarak tümdevre içinde kullanılmıştır. Çıkış akımı sınırları $[-849\mu, 1.03m]A$ değerleri arasındadır. Farksal kısım için M6 transistörünün geçit ucu -1.558 V, çıkış katında ise M8 transistörünün geçit ucu -1.553V gerilimlemeye tabi tutulmuştur. Parametrik saçılımları tampon bağlantısında Şekil 4.11'de görülmektedir.



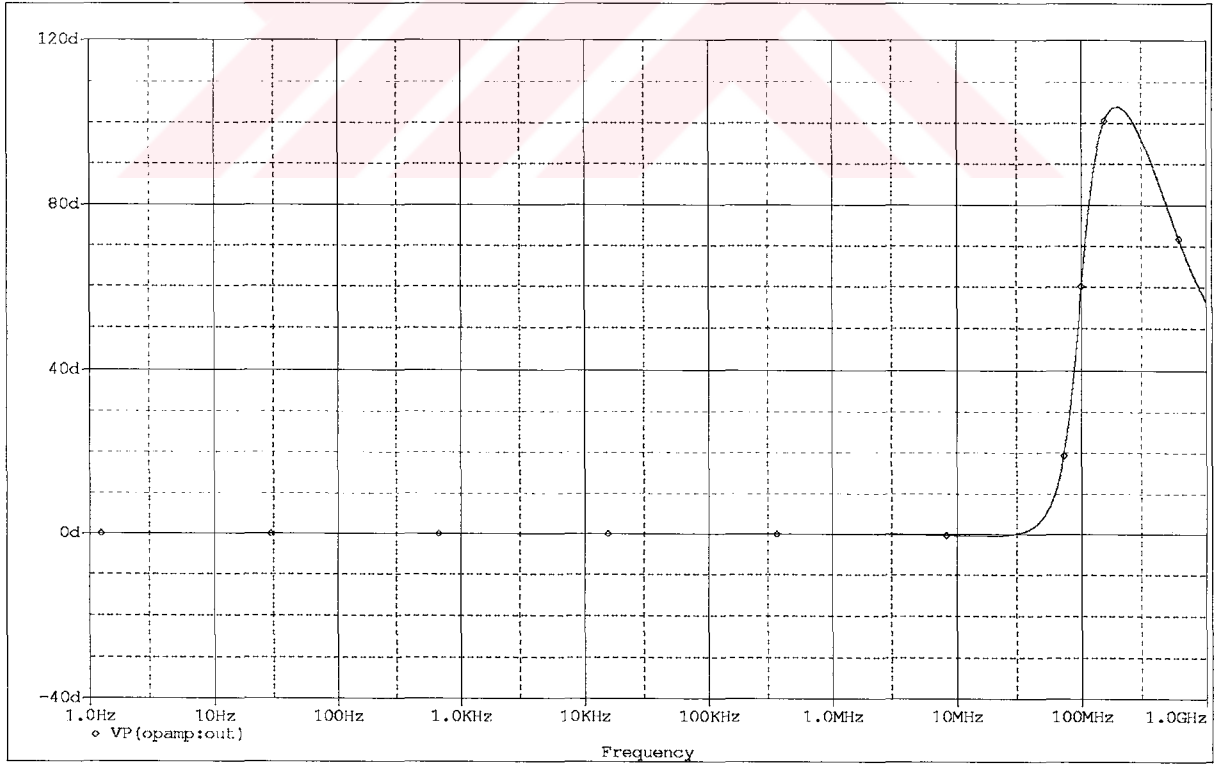
Şekil 4.3 İşlemsel Yükseltici devresinin çalışma gerilim aralığında eviren cevabı



Şekil 4.4 İşlemsel Yükseltici evirici devresinin frekans cevabı



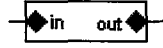
Şekil 4.5 İşlemsel Yükseltici evirici devresinin ofset gerilimi



Şekil 4.6 İşlemsel Yükseltici evirici devresinin faz diyagramı

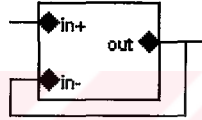
4.1.2 Tampon

Şekil 4.7’de tümdevre içerisinde kullanılan tampon blok yapısı görülmektedir.

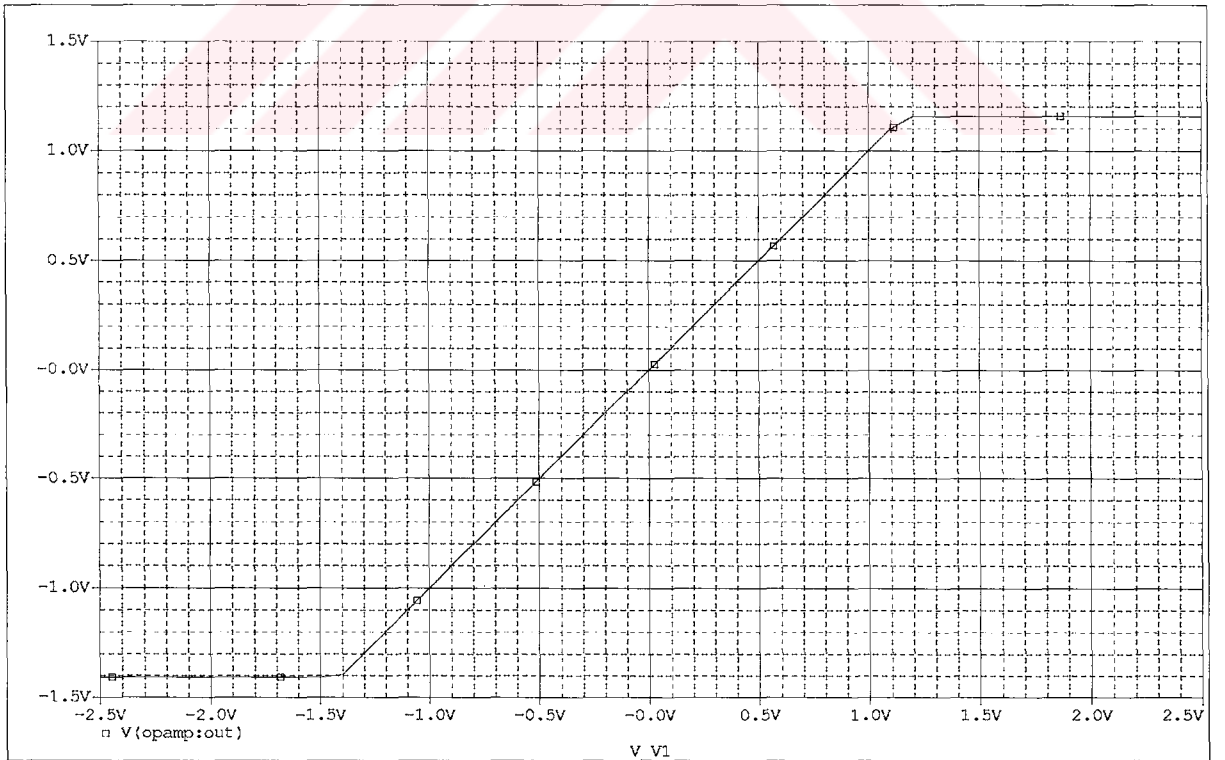


Şekil 4.7 Tampon blok gösterimi

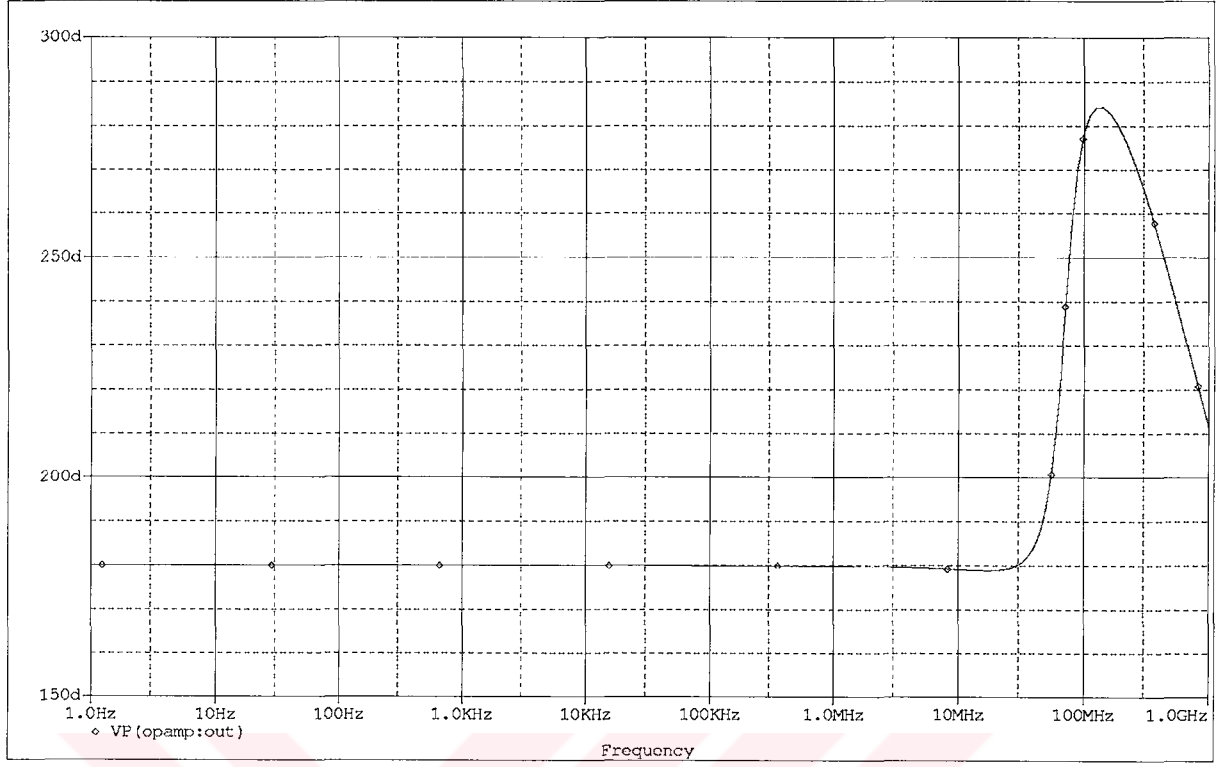
Tampon devresi Şekil 4.2 de yer alan İşlemsel yükseltici devresinin Şekil 4.8’deki gibi bağlanmasıyla oluşturulan negatif geri beslemeli yapıdır. Frekans cevabı, kazanç bant genişliği gibi temel karakteristikleri işlemsel yükseltici ile aynıdır. Tümdevrenin akım çekmeyerek kaskatlanabilir olması için giriş uçlarında gerilim düşümünü engellemek ve çıkış uçlarında yeterince akım vererek yük sürebilmek amacıyla kullanılmıştır.



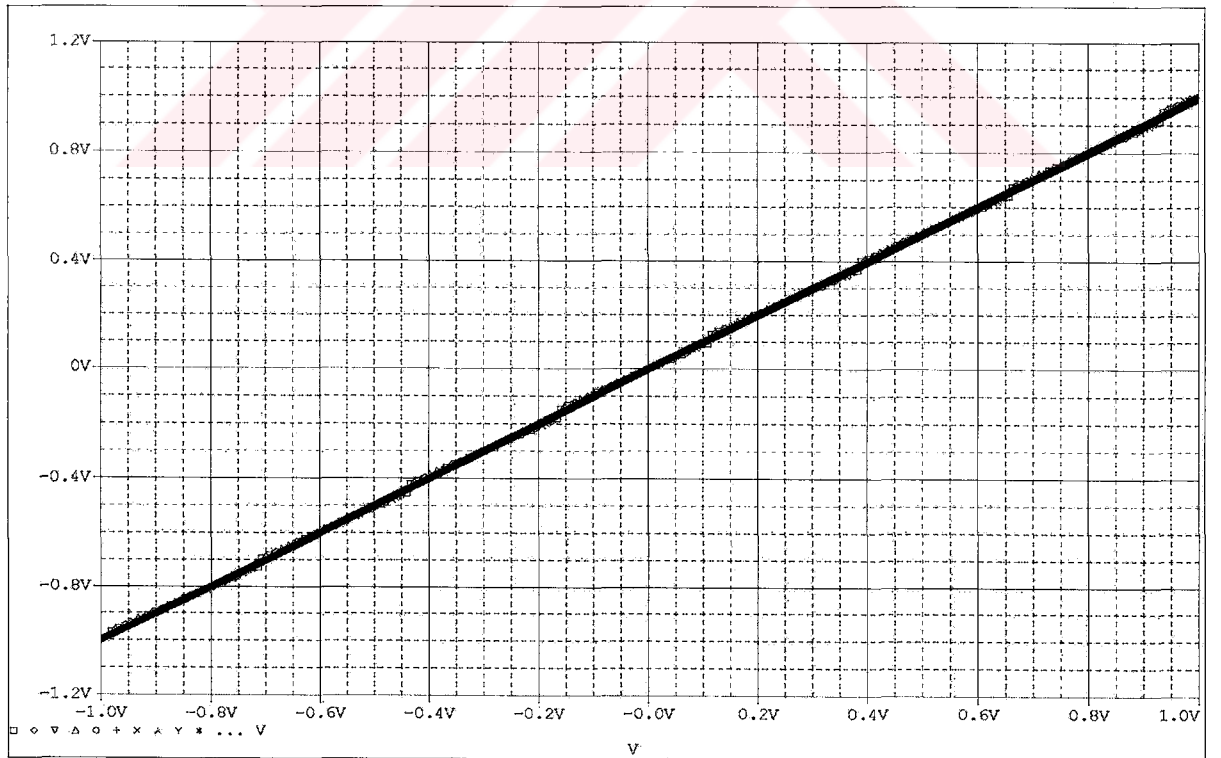
Şekil 4.8 İşlemsel Yükselteç tampon bağlantısı



Şekil 4.9 Tampon devresinin giriş-çıkış gerilim cevabı



Şekil 4.10 Tampon devresinin faz diyagramı

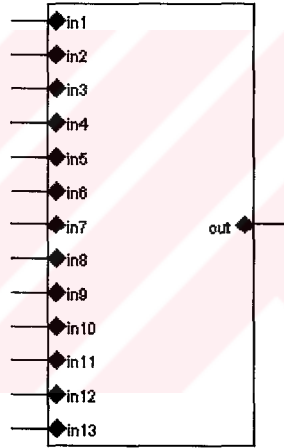


Şekil 4.11 İşlemsel yükseltici tampon devresinin parametrik saçılımı

Şekil 4.9’da tampona uygulanan giriş gerilimine karşı çıkış gerilim eğrisi, Şekil 4.10’da ise faz diyagramı gösterilmektedir. $[-1V, 1V]$ gerilim aralığında devre oldukça doğrusal çalışmaktadır. Şekil 4.11’de ise parametrik saçılımlar % 10’luk bir aralık için verilmiştir.

4.1.3 Toplayıcı Blokları

Nöronların girişinde ve AY-ağı çıkışında yer alan biri 13 diğeri 4 girişe sahip iki adet toplayıcı bloğu mevcuttur. İşlemsel yükseltici tabanlı olarak tasarlanan toplayıcı blok diyagramları Şekil 4.12 ve Şekil 4.14’de gösterilmiştir. Şekil 4.13 nöron giriş toplayıcısının iç yapısını göstermektedir. Şekil 4.12’de gösterilen toplayıcının ilk oniki girişi tümdevrenin sinaps çıkışlarından, onüçüncü ise biyas değerini nörona girmek için biyas hafızasından sayısalardan analoğa dönüştürücü vasıtasıyla gelmektedir.

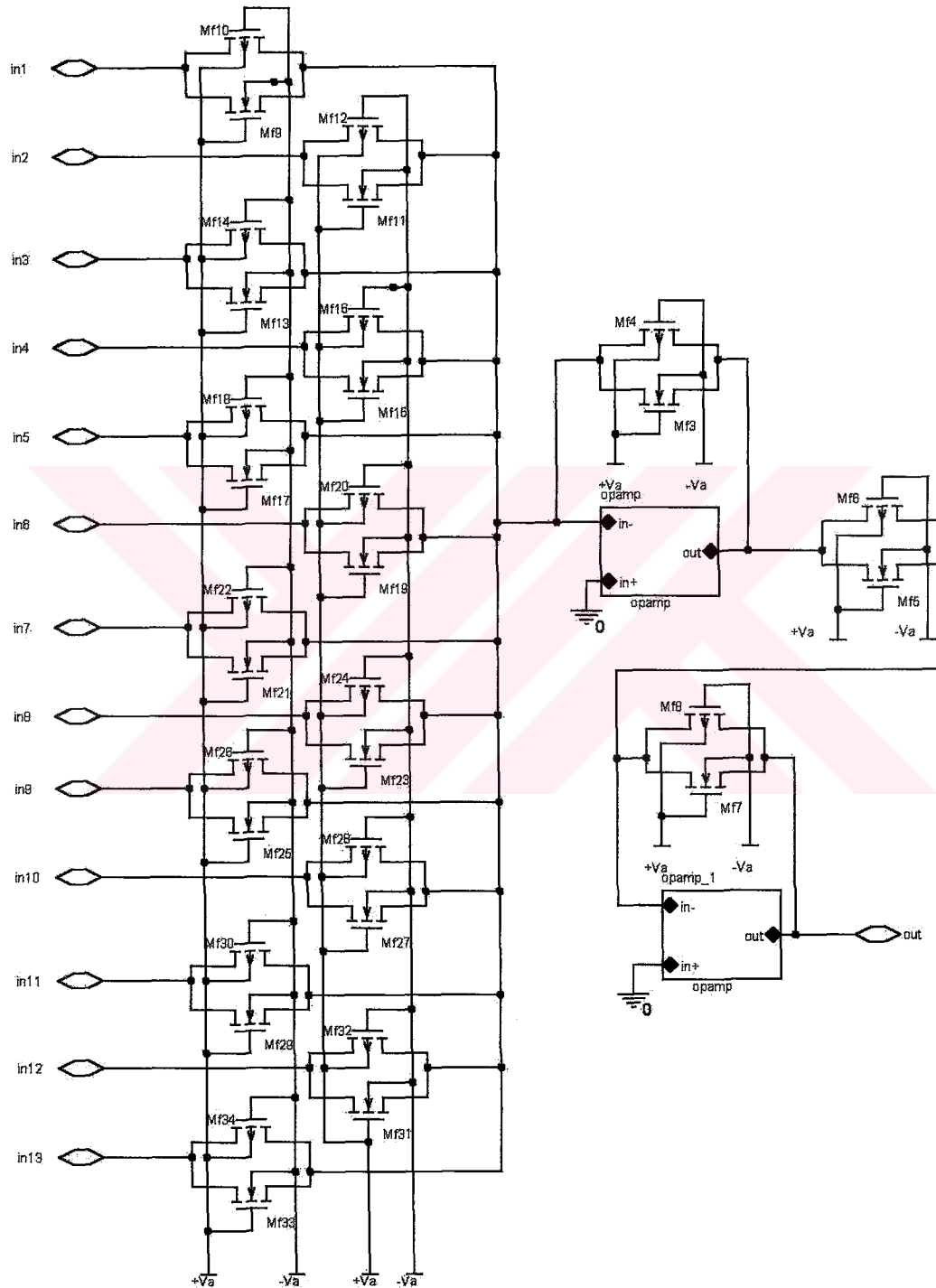


Şekil 4.12 Nöron girişi toplayıcısının blok diyagramı

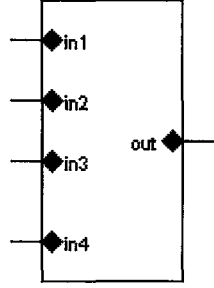
Toplayıcıların her ikisi de CMOS transmisyon kapılarının lineere yakın direnç gösterme özellikleri kullanılarak, eşit kanal uzunluğu ve genişliği değerlerine sahip transistörlerin giriş ve geri besleme dirençlerini gerçeklemeleri ile Opamp tabanlı oluşturulmuştur. DC süpürme cevabı, çok girişli süpürme cevabı, AC frekans cevabı ve faz eğrisi her iki toplayıcı için ortak olarak Şekil 4.16, 4.17, 4.18 ve 4.19’da verilmiştir.

Şekil 4.15 dört girişli toplayıcının iç yapısını göstermektedir. Bu toplayıcı nöronun içerisindeki aktivasyon fonksiyonu sentezi bloğu olan AY ağının bir elemanıdır. Şekil 4.15, Şekil 4.13’teki on üç girişli yapının dört girişli halidir. Her iki toplayıcı tasarımında da transistorlerin gövde uçları sırasıyla p-tipi ve n-tipi için analog besleme gerilimleri olan 2.5V

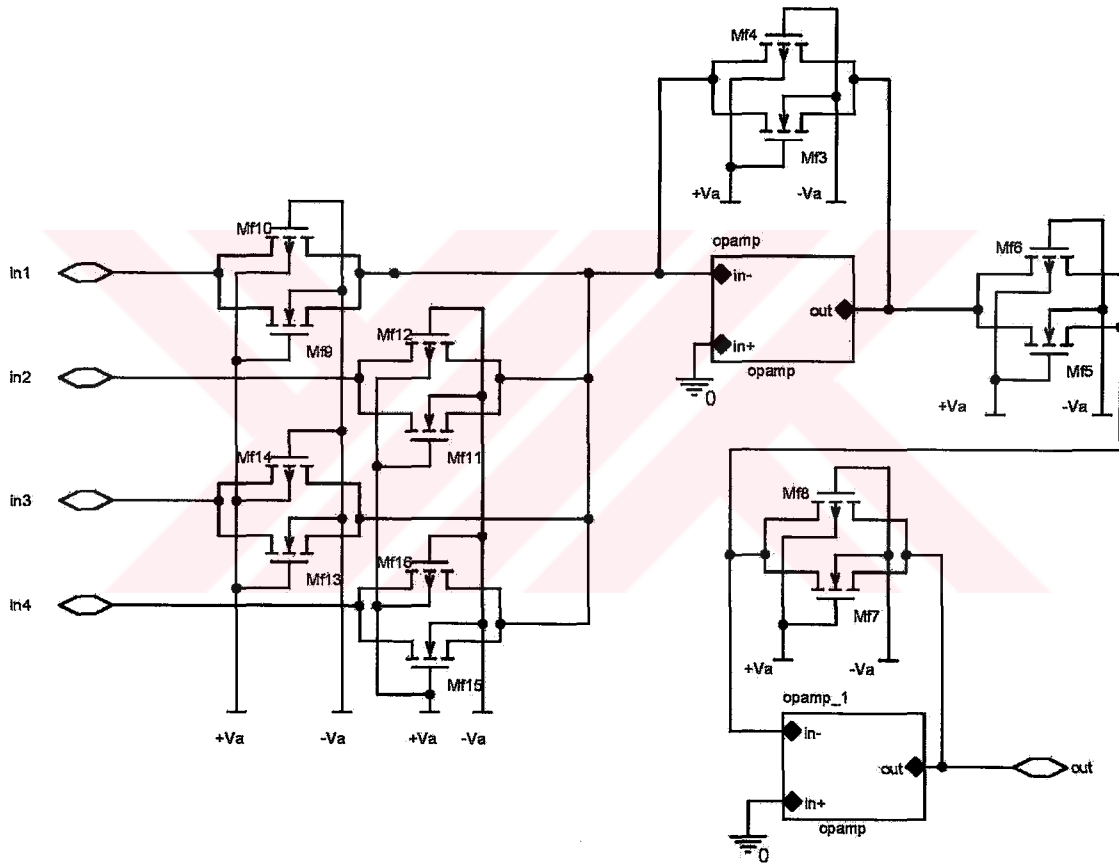
ve -2.5V'a bağlanmıştır. Yine transistorlerin geçit uçları da transistörleri iletimde tutacak şekilde analog besleme gerilimlerine bağlıdır.



Şekil 4.13 Nöron girişi toplayıcısının iç yapısı

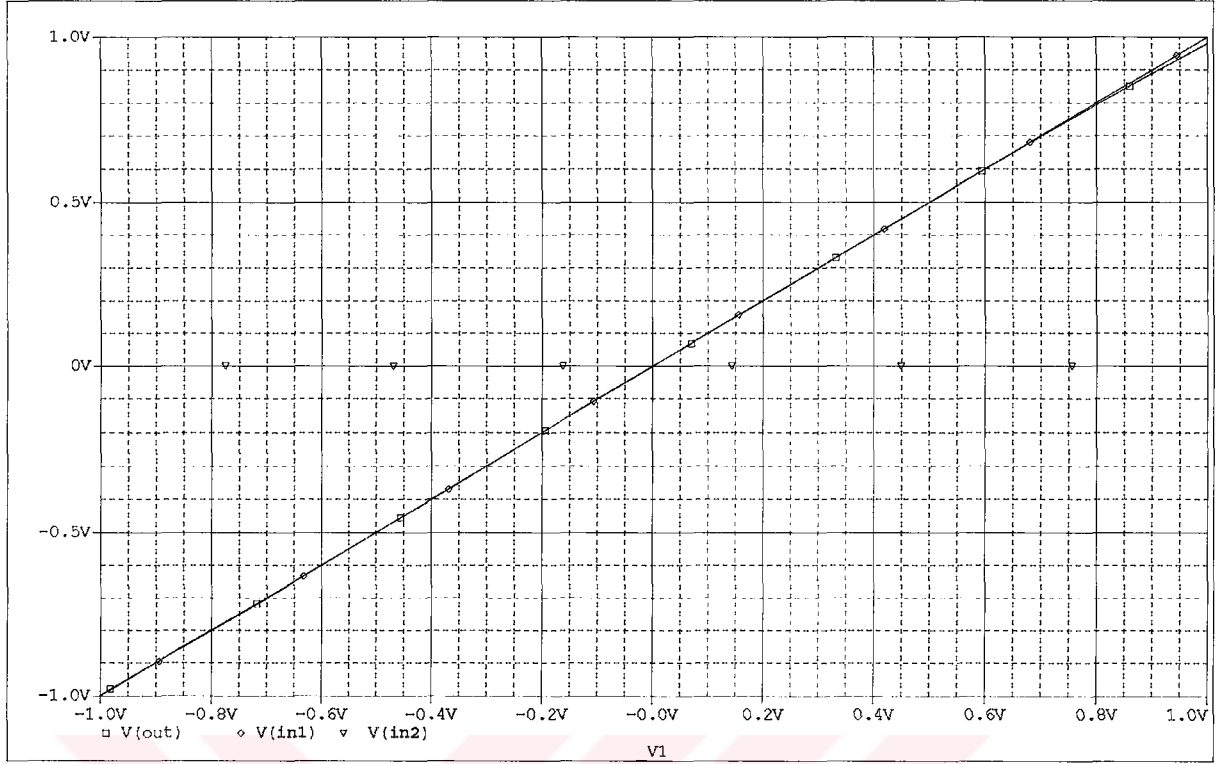


Şekil 4.14 AY ağı toplayıcısının blok diyagramı

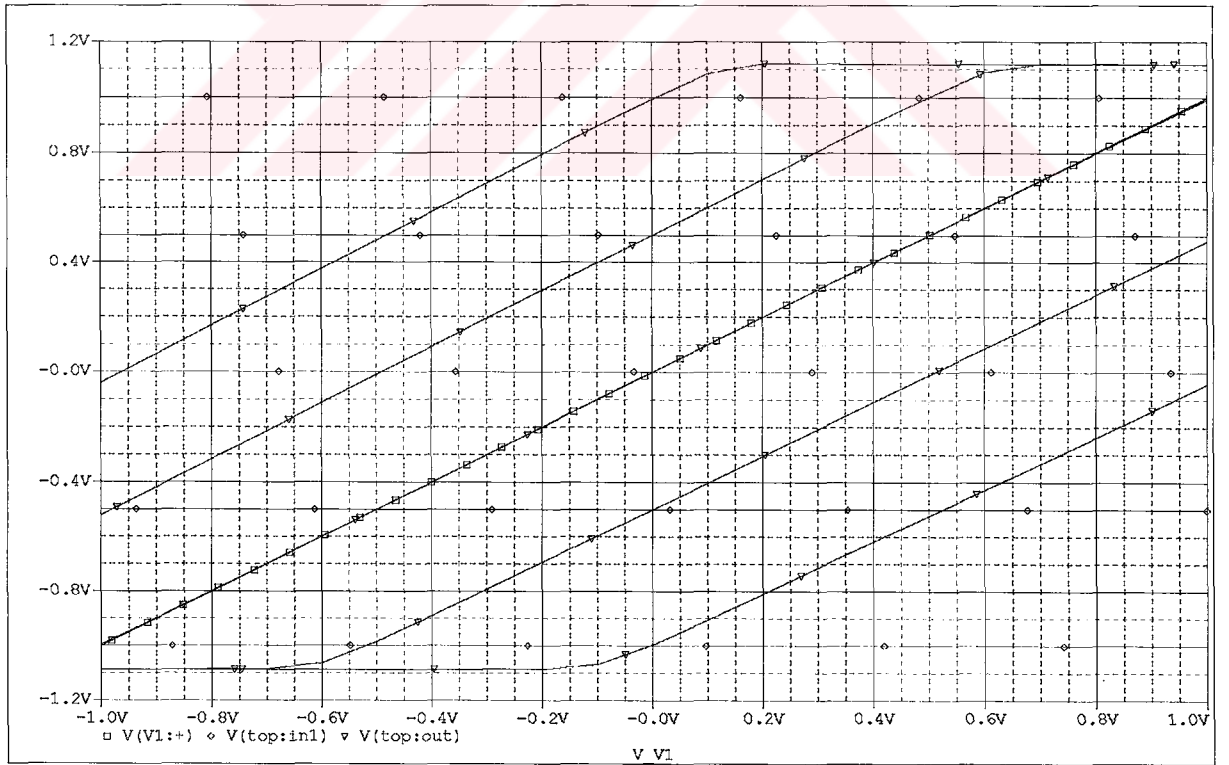


Şekil 4.15 AY ağı toplayıcısının iç yapısı

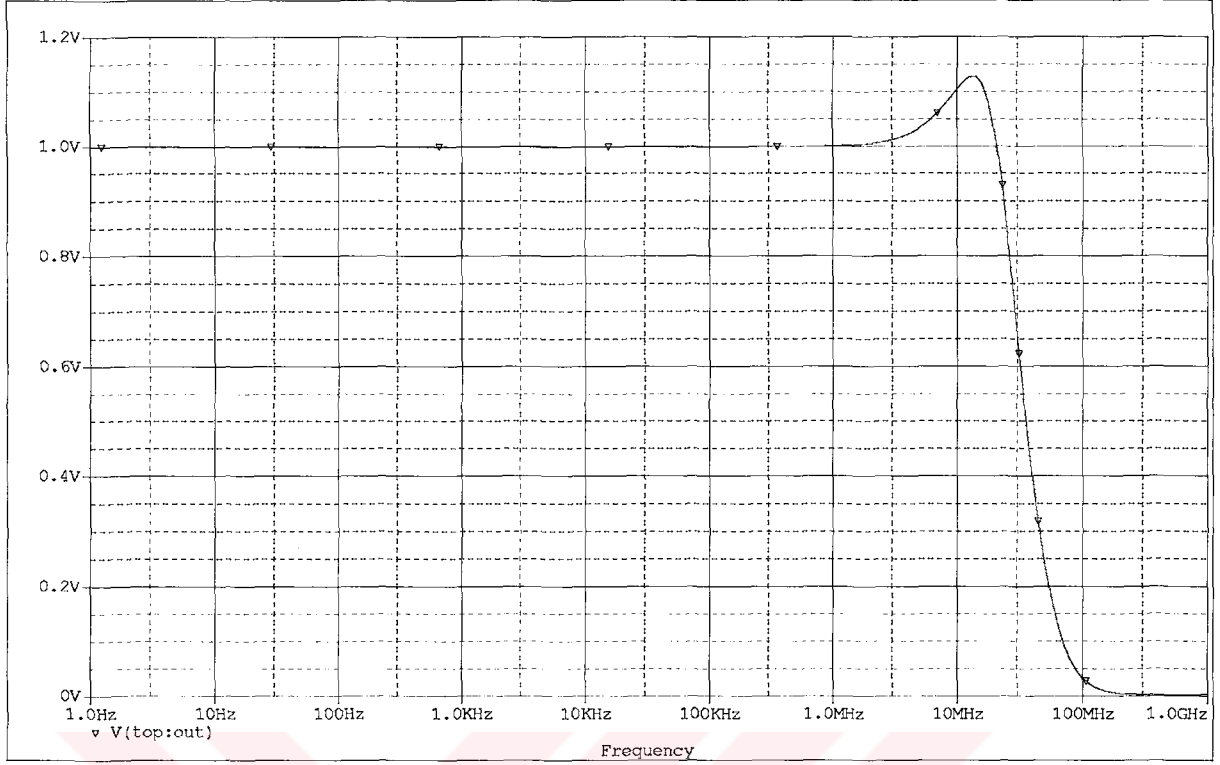
Şekil 4.16'da giriş gerilimlerinin bir tanesi hariç diğerleri 0V değerinde tutulmuş, girişin gerilim değeri $[-1,1]$ V arasında değiştirilerek çıkış gözlemlenmiştir. Şekil 4.17'de ise iki giriş değiştirilerek toplamın alacağı değerler incelenmiştir. Girişlerden biri $[-1, 1]$ V gerilim aralığında 0.1V adımlarla diğeri ise $[-1, 1]$ V aralığında 0.5V adımlarla değiştirilmiş ve hepsi aynı şekil üzerinde gösterilmiştir.



Şekil 4.16 Toplayıcı için değişken tek girişe karşılık çıkış gerilimleri

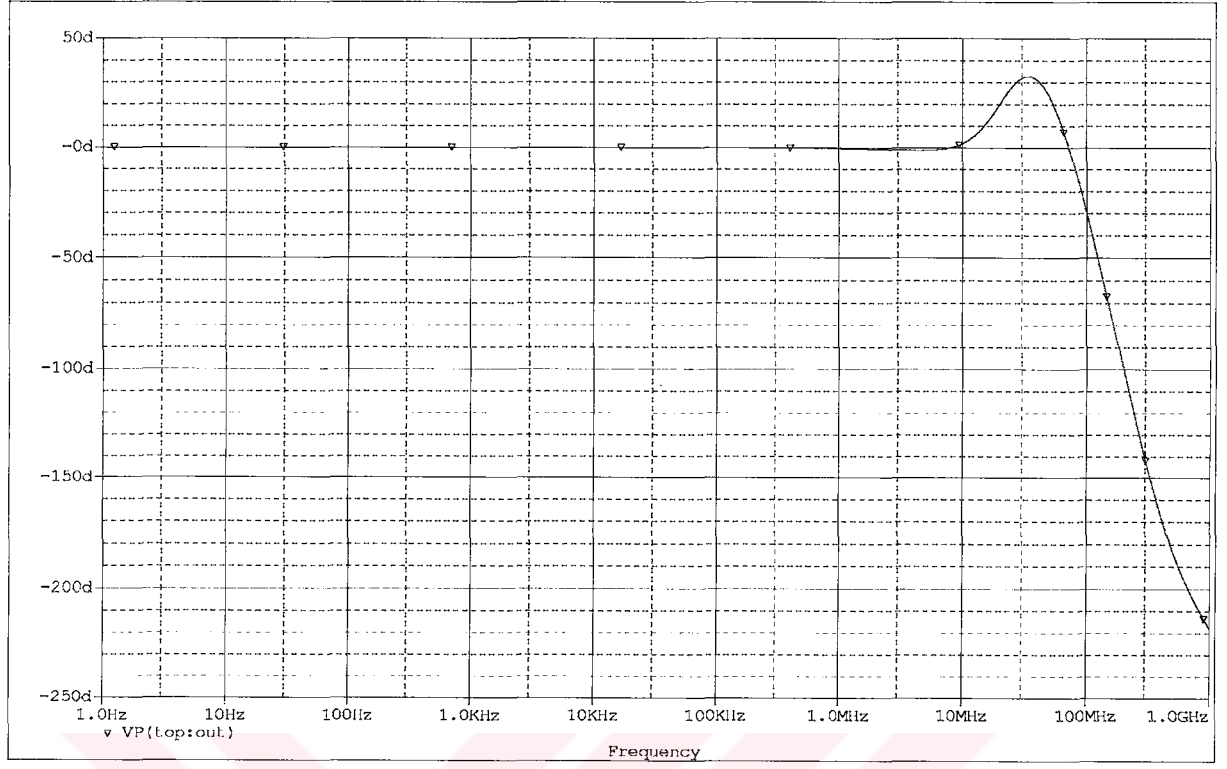


Şekil 4.17 İki giriş değişimi için toplayıcı gerilim giriş-çıkış eğrisi

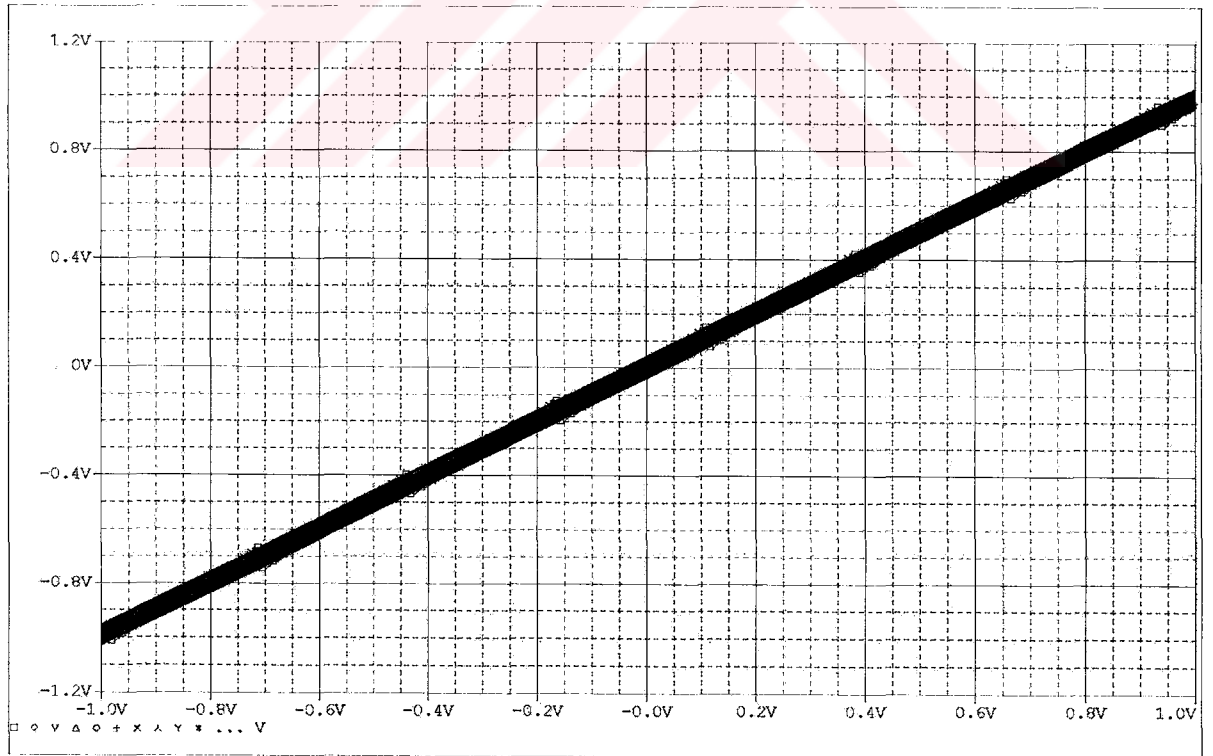


Şekil 4.18 Toplayıcı AC frekans cevabı

Şekil 4.17’de görüldüğü gibi alt ve üst doyum noktalarında toplam gerilim değeri sabit kalmakta fakat daha alt bölgelerde lineere oldukça yakın bir karakteristik sergilenmektedir. Özellikle geri besleme ve yük direnci seçilen transistorlerin kanal uzunluğu ve genişliği değerleri bu doğrusallığa çok etkimektedir. Toplayıcıların tüm transmisyon kapısı transistorleri p ve n kanal sırasıyla, 7.2μ ve 2.4μ kanal genişliklerine, 21.6μ kanal uzunluğuna sahiptir. Şekil 4.18 toplayıcı blokları için ortak AC frekans cevabını göstermektedir. Devre 26 MHz kesim frekansına sahiptir. Şekil 4.19’daki toplayıcı faz eğrisi, devrenin 10 MHz frekanslara kadar pek gecikmediğini göstermektedir. Şekil 4.20’de ise toplayıcı devresinin parametrik saçılımı verilmiştir.



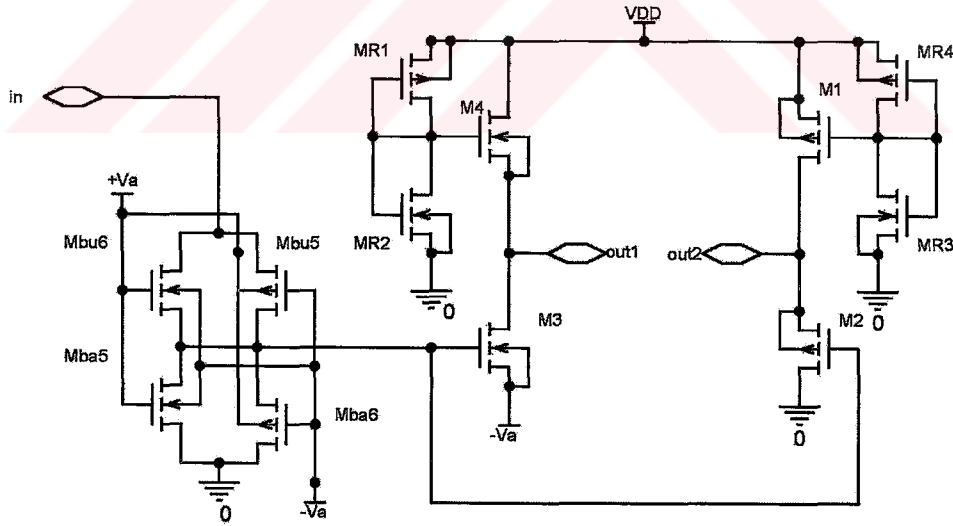
Şekil 4.19 Toplayıcı faz eğrisi



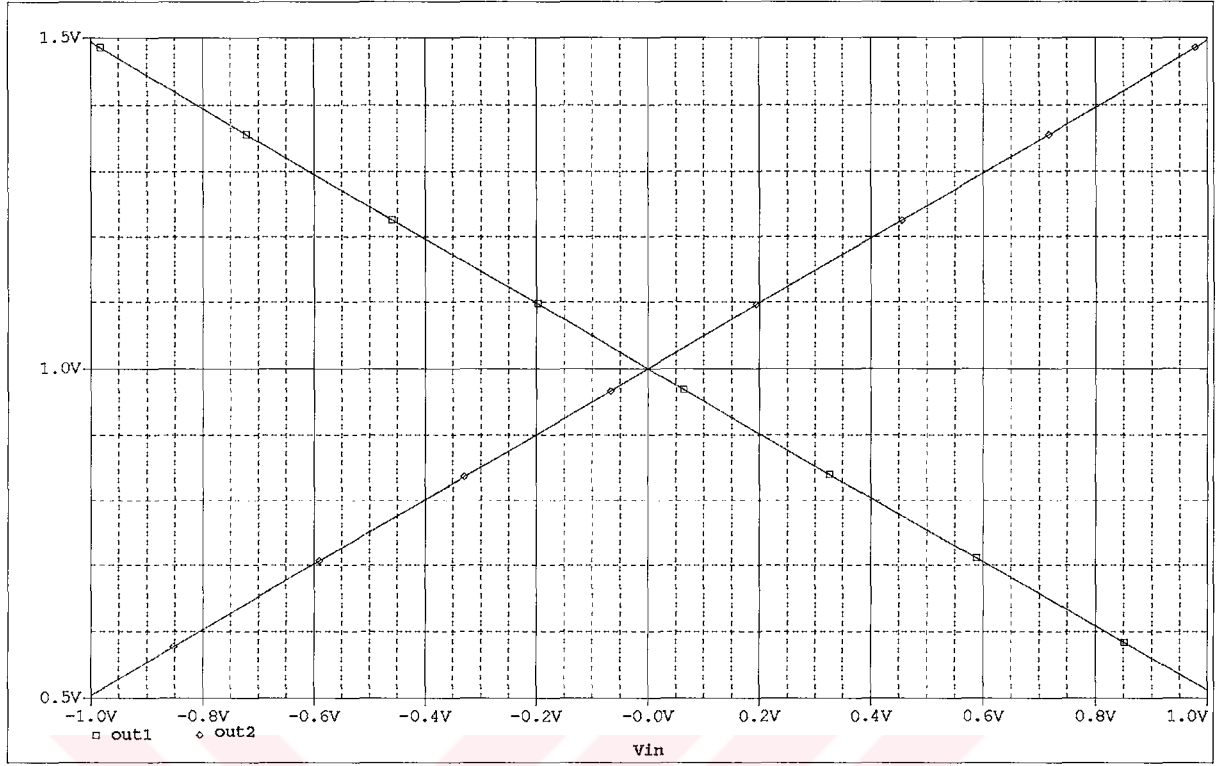
Şekil 4.20 Toplayıcı parametrik saçılım eğrisi

4.1.4 Seviye Kaydırıcılar

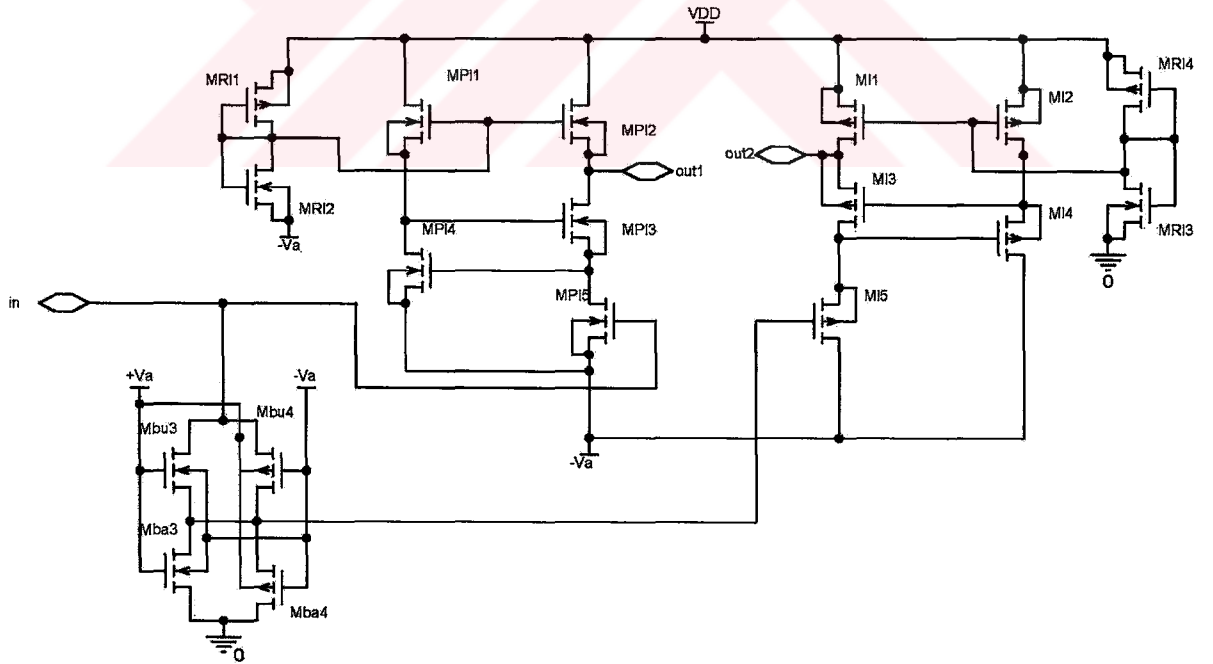
Çarpma işlemi dört transistörle gerçekleştirilmektedir. Ancak çarpıcı dört transistörün çalışma noktasına getirilebilmesi için, savak uçlarına DC 1V, geçit uçlarına da DC 3.6V ön gerilimleme uygulanması gerekmektedir. Bu işlem Şekil 4.21’de görülen devre ile sağlanmaktadır. Aynı zamanda çarpıcı devresi iki savak ve iki geçit arasına uygulanan gerilimlerin farkını çarptığı için, giriş işaretinin yarısına bu öngerilimleme eklenmeli, diğer yarısı ise bu ön gerilimleme değerinden çıkarılmalıdır. Yani çarpıcıya uygulanan savak giriş işaretinin genliği V_x ise, çarpma işleminin doğrusal yapılabilmesi için çarpıcının savaklarına $(1+V_x/2)$ ve $(1-V_x/2)$ gerilimleri simetrik uygulanmalıdır. Böylece hem transistörler ön gerilimlenmiş hem de iki giriş arası fark V_x işaretini vermiş olur. Şekil 4.21’deki devre kullanılan prosesin fazla sayıda n- ve p-kuyuya izin vermesi sayesinde transistörlerin gövde etkileri kullanılarak işaretin seviyesinde istenen kaymayı elde etmeyi mümkün kılmaktadır. Devrenin giriş işareti geçiş transistörleri tarafından ikiye bölünmekte, daha sonra seviye kaydırıcılar tarafından DC 1V değerine eklenmekte ve çıkarılmaktadır. Giriş gerilimi $[-1, 1]V$ arasında değiştirilerek Şekil 4.22’de görülen çıkış karakteristiği elde edilmiştir. Bu karakteristiğe göre DC 1V’a giriş değerinin yarısının eklenip çıkarılması oldukça lineer bir şekilde gerçekleştirilmiştir.



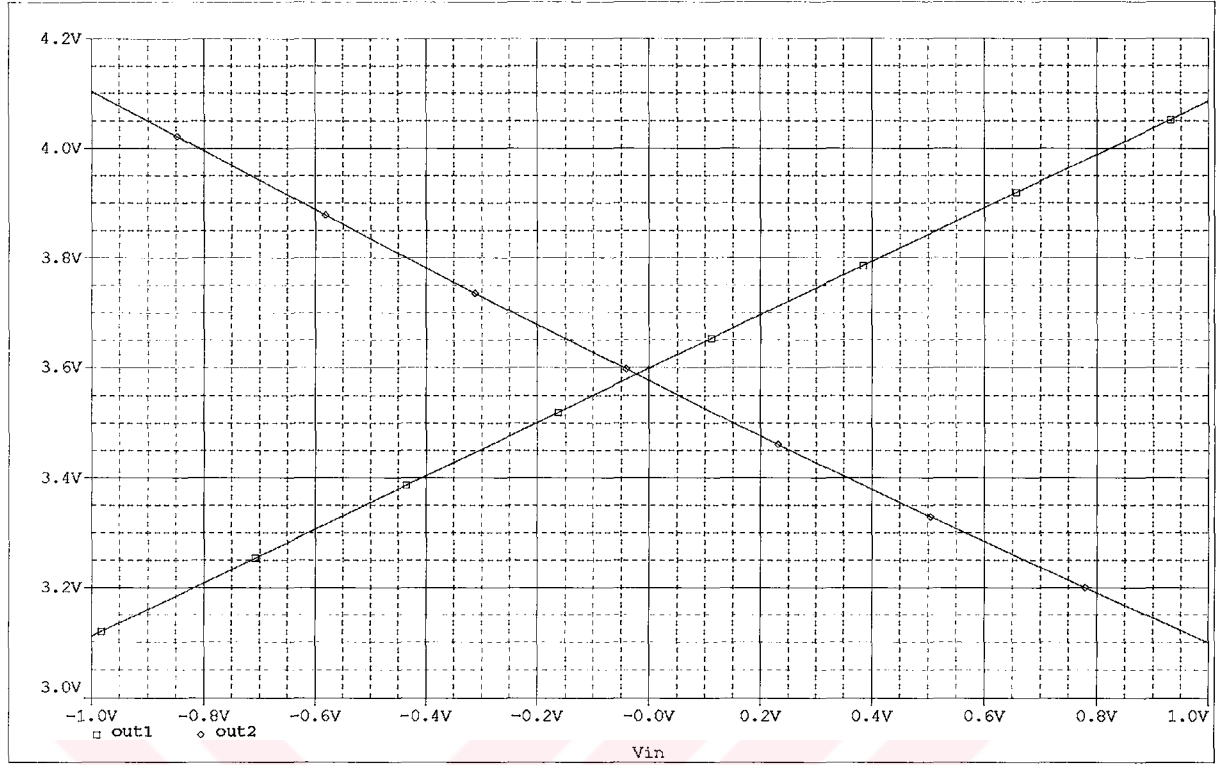
Şekil 4.21 Çarpıcı savak ucu seviye kaydırıcı devresi



Şekil 4.22 Çarpıcı savağına uygulanacak giriş işaretinin benzetim sonuçları



Şekil 4.23 Çarpıcı geçit ucu seviye kaydırıcı devresi



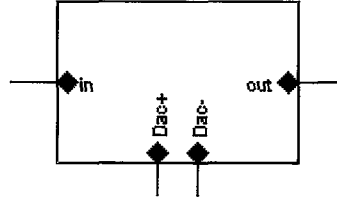
Şekil 4.24 Çarpıcı geçitine uygulanacak işaretin benzetim sonuçları

Şekil 4.23 ise çarpıcının geçit ucuna uygulanması gereken DC 3.6V ön gerilimleme voltajı ile V_x girişinin $(3.6 + V_x/2)$ ve $(3.6 - V_x/2)$ değerlerini vermesi için tasarlanan devreyi göstermektedir. Bu devrede çok sayıda transistörün gövde etkisi kullanıldığı için Şekil 4.21 deki kadar doğrusal bir seviye kaydırma elde edilememiştir. Fakat yine de oldukça başarılı bir yaklaşım görülmektedir. Şekil 4.24 devrenin $[-1, 1]$ V aralığındaki giriş değerleri için verdiği çıkışları göstermektedir. Bu seviye kaydırıcı devresi AY ağı içerisinde çarpma ve kare alma bloğunda kullanılmıştır. Diğer çarpıcı bloğu hafıza ünitesinde saklanan ağırlık ve biyas verilerinin sayısaldan analoğa dönüştürücü çıkışı ile giriş işaretini çarpmak için kullanılmaktadır. Tasarlanan sayısaldan analoğa dönüştürücü, ihtiyaç duyulan öngerilimleme değerini dönüştürülen ağırlık veya biyas verisine uygun şekilde eklediği için herhangi bir seviye kaydırıcı gerekmemektedir.

4.1.5 Çarpıcılar

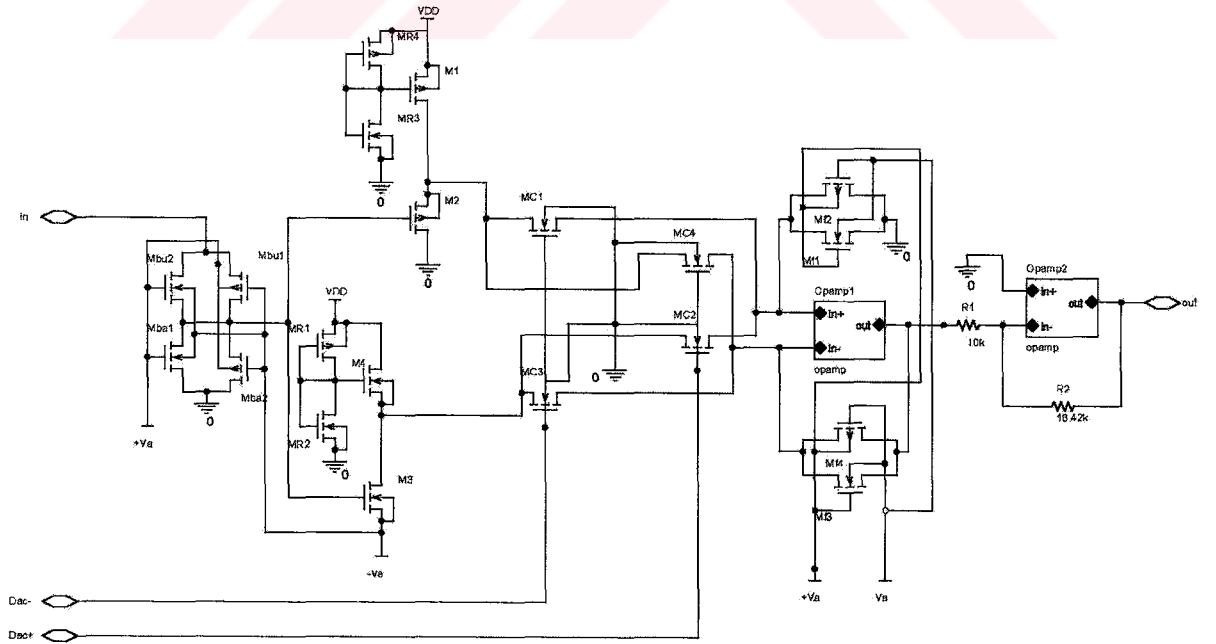
Çarpıcı bloğu sinapsın temel yapı elemanıdır. Tümdevre içerisinde iki çeşit çarpıcı, üç değişik amaçla kullanılmıştır. Blok diyagramı Şekil 4.25'te görülen çarpıcı "Dac+" ve "Dac-" girişlerine uygulanan analog ağırlık ve biyas değerlerinin öngerilimlenmiş halini, "in" giriş işaretiyle çarpmaktadır. Çarpıcının iç yapısı Şekil 4.26'da verilmiştir. Bu çarpıcı da sayısal

analoğa dönüştürücünün ön gerilimlemeli dönüştürme sonucu vermesinden ötürü geçit uçlarında seviye kaydırıcı devre kullanılmamıştır.

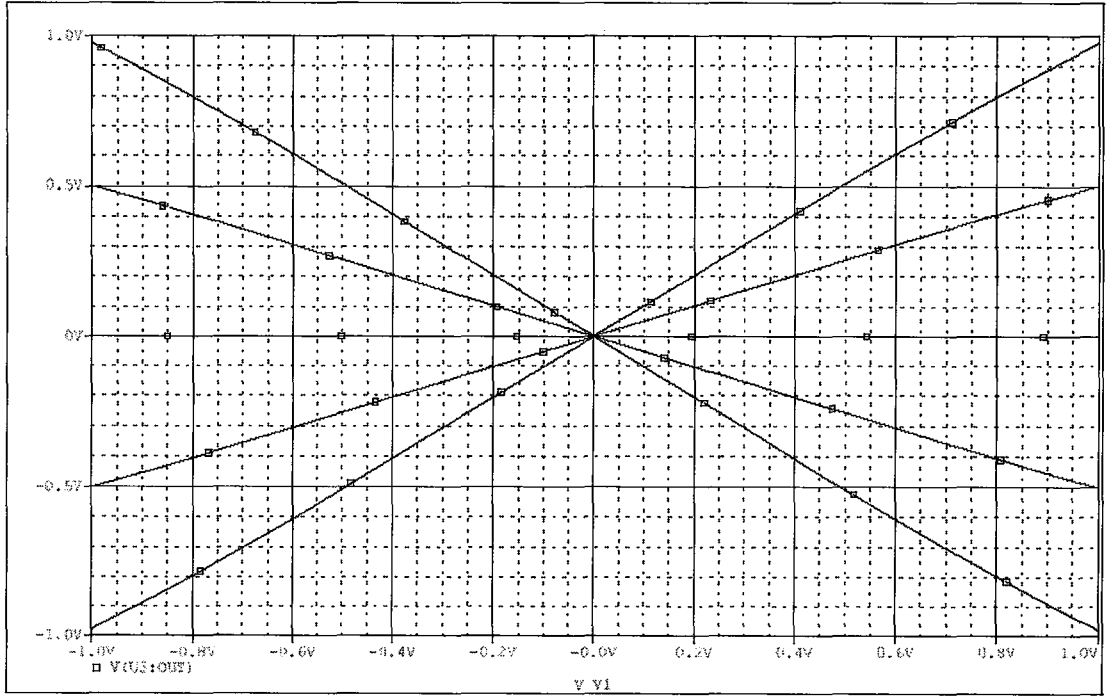


Şekil 4.25 Ağırlık ile giriş işareti çarpıcısının blok diyagramı

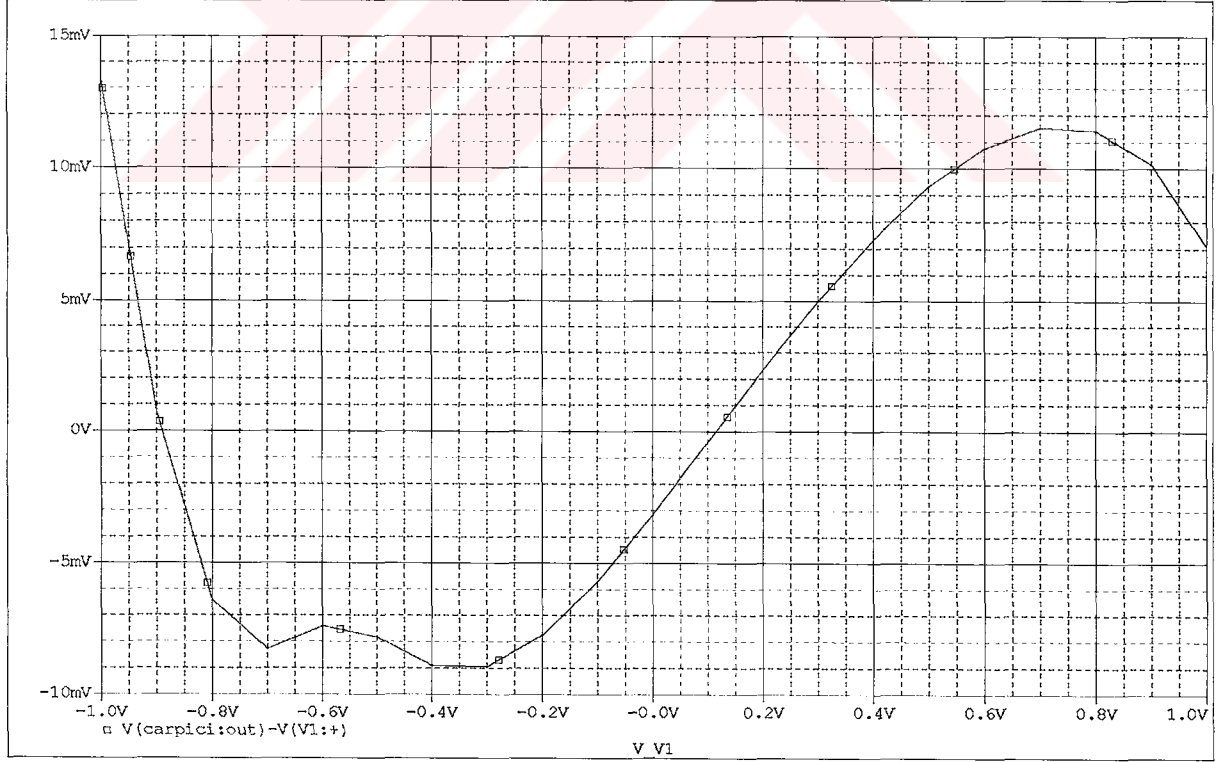
Giriş işaretinin yarısı seviye kaydırıcılar vasıtasıyla DC 1V ön gerilimleme değerine eklenmiş ve bu değerden çıkarılmış, sayısalan analoğa dönüştürücü çıkışıyla dört adet transistör vasıtasıyla çarpılmış, çıkış işlemsel yükselteçli devreler ile istenen $[-1, 1]$ V çalışma aralığına mümkün olduğunca doğrusal olarak genişletilmiştir. Tasarlanan çarpıcı dört bölgeli olup girişlerin $[-1, 1]$ V aralığında 0.1V ve 0.5V süpürme adımlarıyla değiştirilmesi sonucu Şekil 4.27'deki çıkışlar elde edilmiştir. Burada Dac+ ve Dac- girişleri arasındaki fark $[-1, 1]$ V aralığında değişen bu uçlara 3.6V öngerilimleme uygulanarak test edilmiştir. 9.1116 MHz frekansına kadar % 3 hatadan küçük bir doğrusallıkla çalışmaktadır.



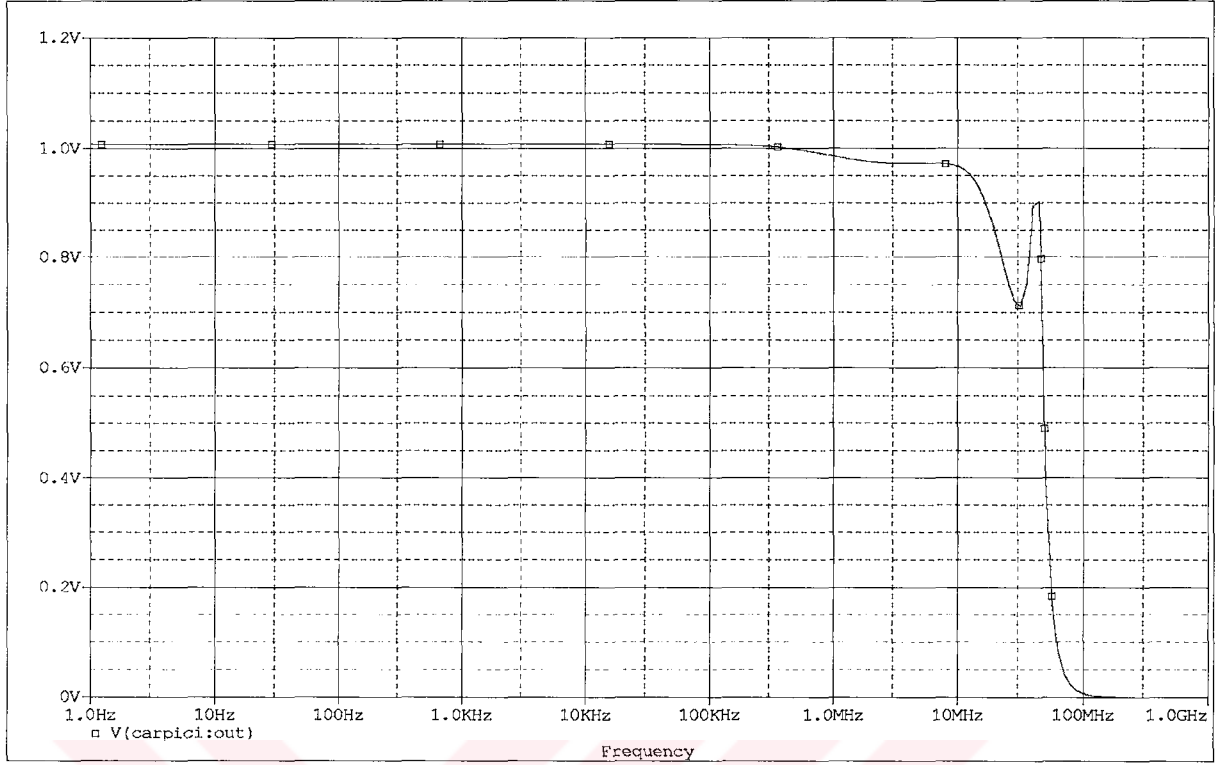
Şekil 4.26 Ağırlık çarpıcısının iç yapısı



Şekil 4.27 Dört bölgeli çarpma işlemi



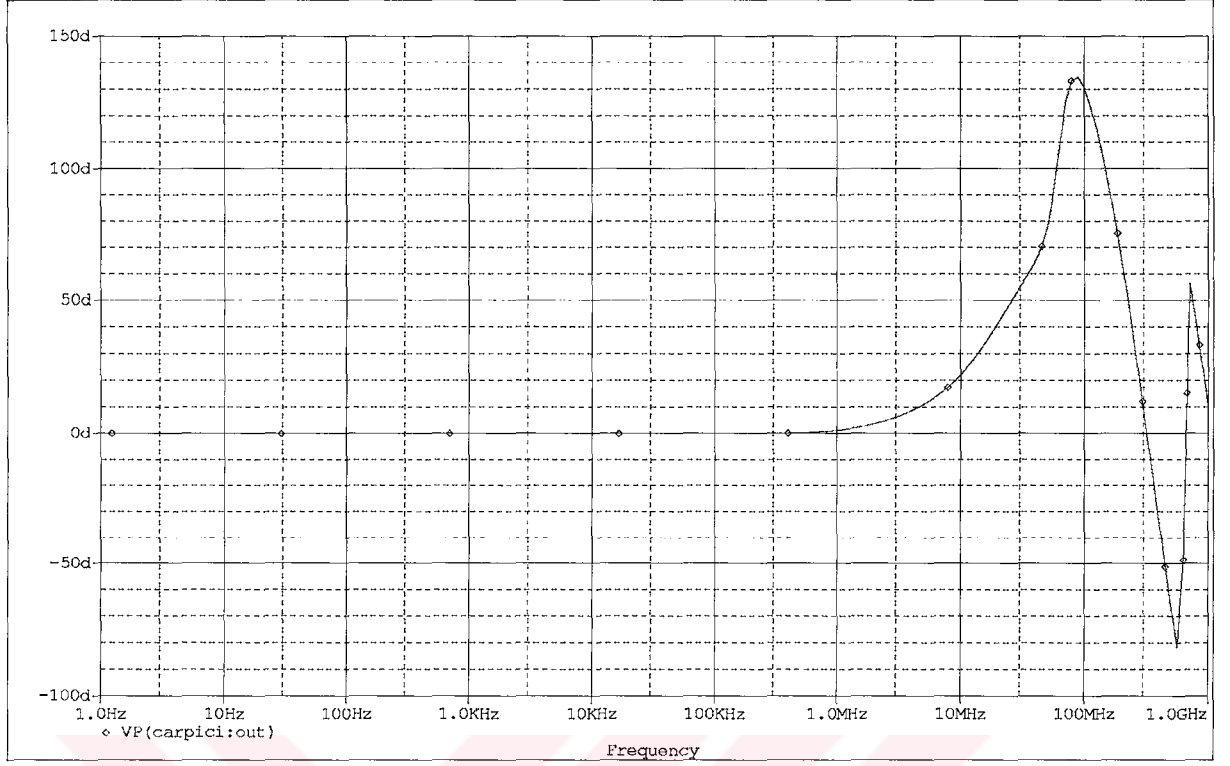
Şekil 4.28 Ağırlık çarpıcısının çalışma aralığında hata dağılımı



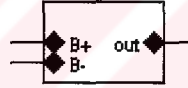
Şekil 4.29 Ağırlık çarpıcısının AC frekans cevabı

Şekil 4.28 çarpıcının ideal çarpma fonksiyonuna göre yaptığı hata miktarının $[-1, 1]$ V aralığındaki dağılımını göstermektedir. Şekil 4.29'da ağırlık çarpıcı devresinin AC frekans cevabı görülmektedir. Kesim frekansı 30 Mhz civarında olmasına karşın 9.11MHz e kadar ki frekans aralığında lineer olarak çalışmaktadır. Şekil 4.30'da devrenin faz diyagramı verilmiştir. Faz diyagramına göre 1 MHz frekansa kadar devrenin gecikmesi ihmal edilebilmektedir.

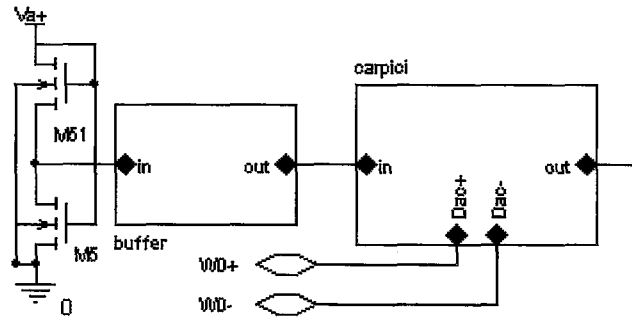
Şekil 4.31'de blok diyagramı verilen devre Şekil 4.32'de gösterildiği gibi ağırlık çarpıcı kullanılarak, biyas değerlerini 1V ile çarpma üzere tasarlanmıştır. Biyas çarpıcısı ağırlık çarpıcısının girişine gerilim referansı ve tampon ile 1V sabit gerilim uygulanmış halidir. Sayısalan analoğa dönüştürücüler çarpıcılar için 3.1V ile 4.1V arasında değişen iki adet gerilim çıkışı verdiği için biyas değerlerinin de 1 ile çarpılarak toplama girmesi böylece çarpıcı için gerekli 3.6V luk öngerilimlemenin de eklenmiş olması sağlanır.



Şekil 4.30 Ağırlık çarpıcısının faz diyagramı



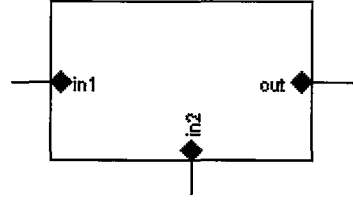
Şekil 4.31 Biyas çarpıcısının blok diyagramı



Şekil 4.32 Biyas çarpıcısının sentezlenmesi

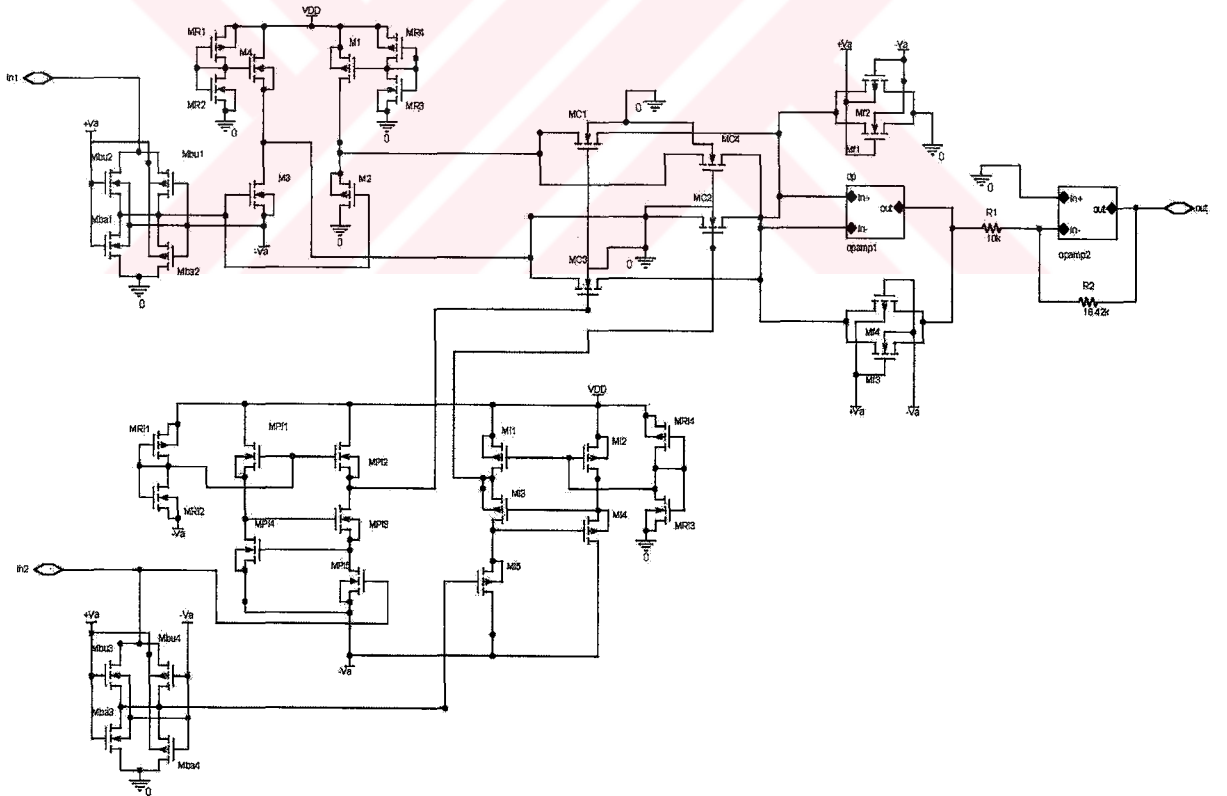
Şekil 4.32’de görülen tampon, gerilim referansının verdiği 1V gerilimi çarpıcı girişi için sabit tutmaktadır. Şekil 4.33’te görülen blok diyagram ikinci tip çarpıcıya aittir. İlk çarpıcıdan farkı

ikinci giriş için gerekli öngerilimlemelerin de Şekil 4.34'te görüldüğü gibi seviye kaydırıcılar vasıtasıyla sağlanmasıdır.

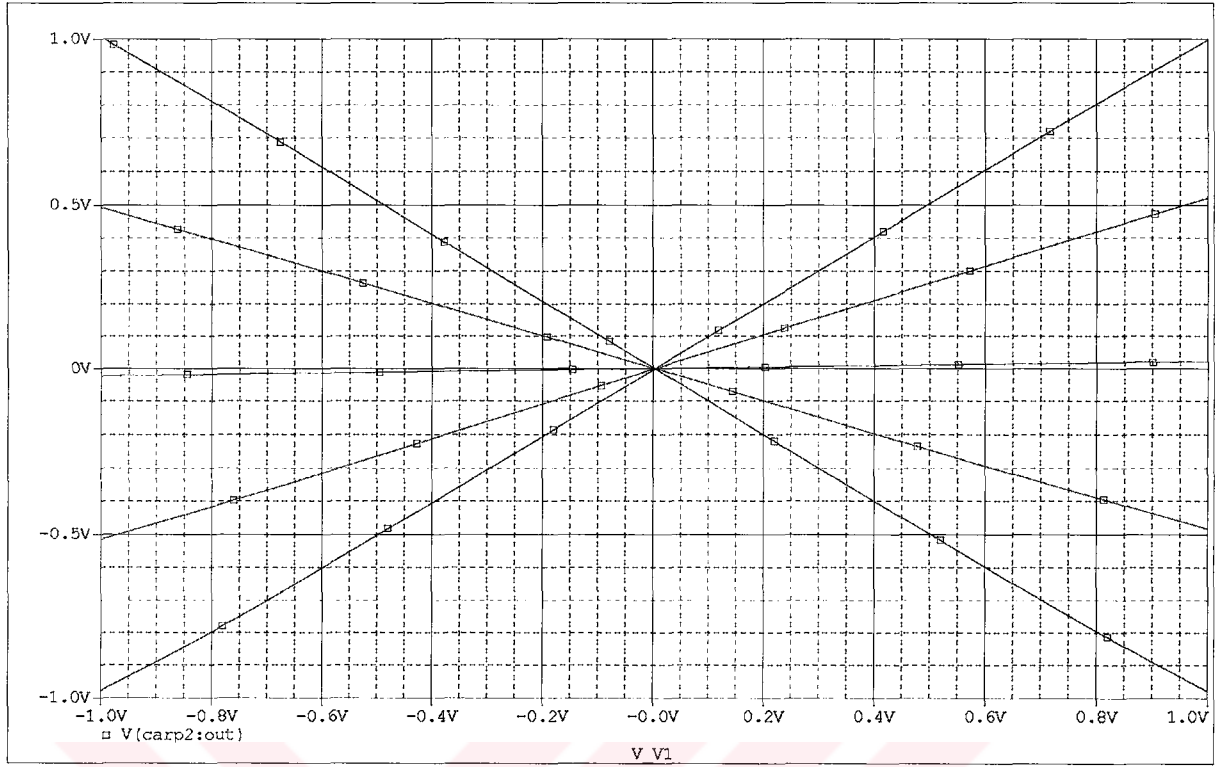


Şekil 4.33 AY ağı çarpıcısının blok diyagramı

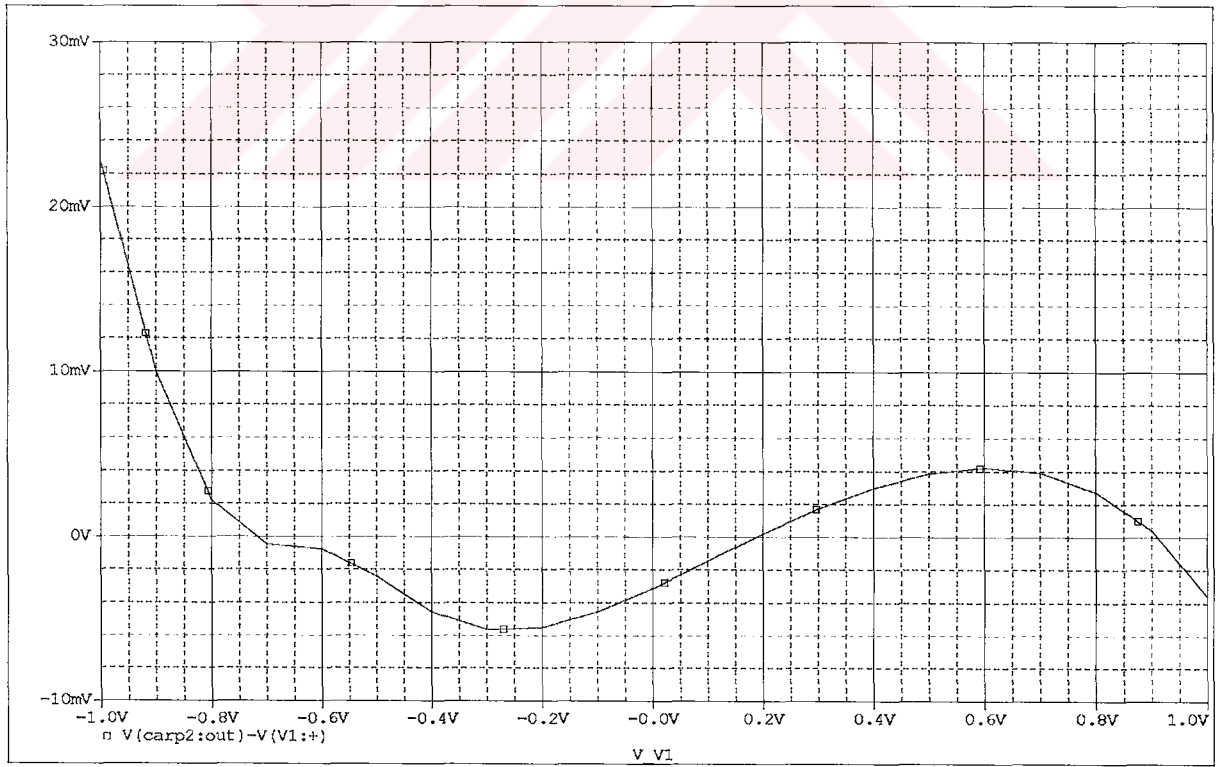
Bu çarpıcı AY ağı içerisinde giriş işaretinin kúpünü almak amacıyla kare alıcının çıkışı ile giriş işaretini çarpmak için kullanılmaktadır. Her nöronun içerdiği aktivasyon fonksiyonunu gerçekleyen AY-ağı devresinde bu tip çarpıcıdan bir tane mevcuttur. Kullanılan diğer çarpıcıların hepsi ilk gösterilen ağırlık çarpıcı tipindedir. AY ağı içinde Şekil 4.32'de gösterilen tipte bir adet biyas çarpıcısı da bulunmaktadır.



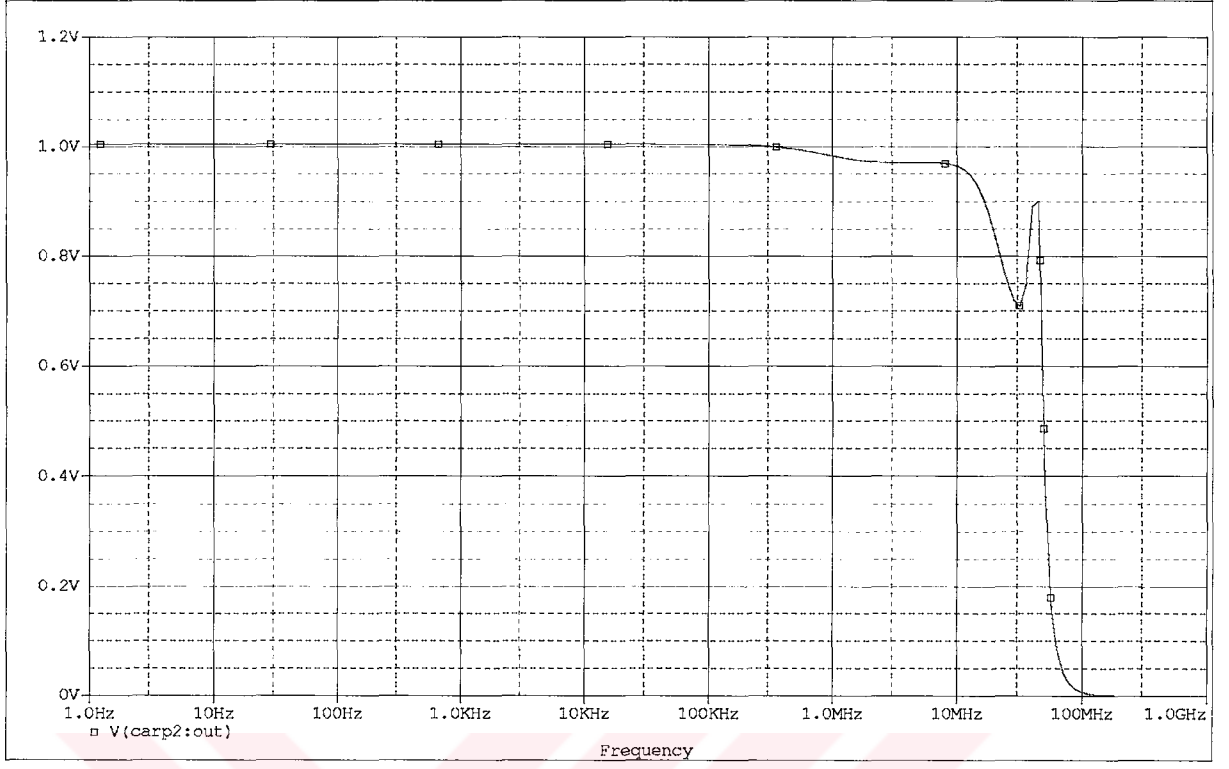
Şekil 4.34 AY ağı çarpıcısının iç yapısı



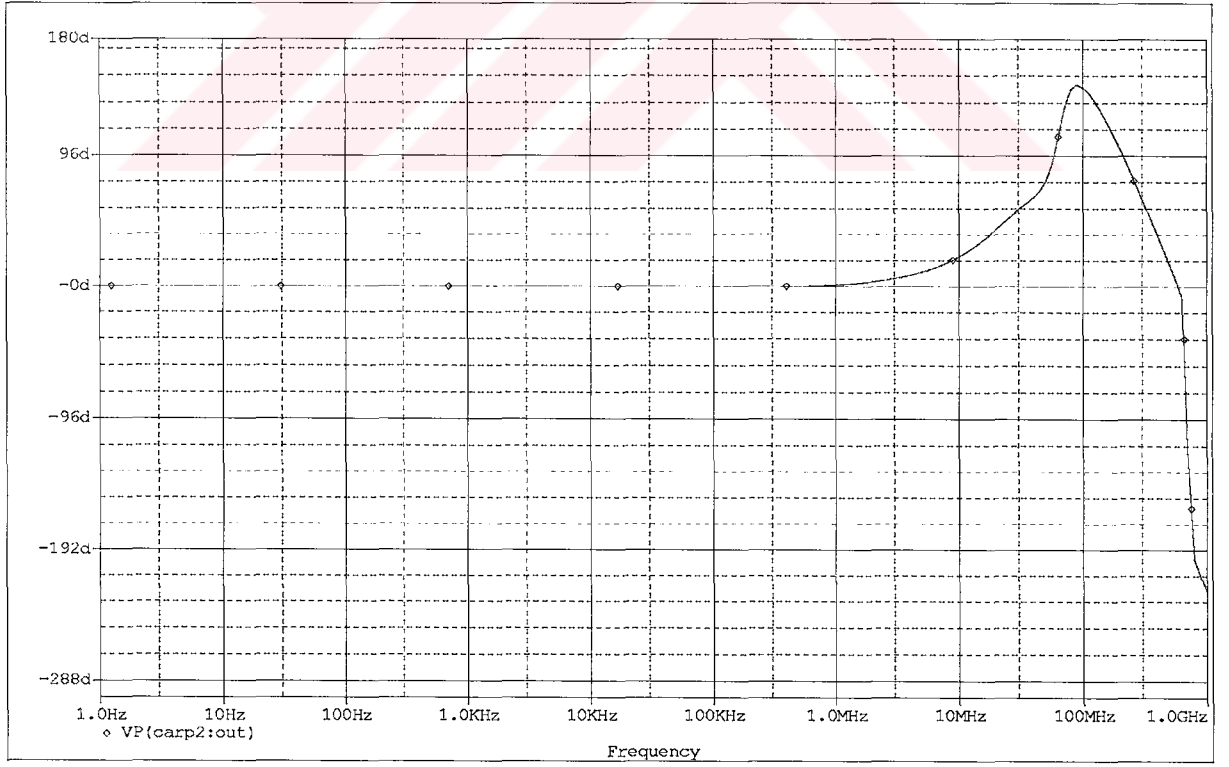
Şekil 4.35 AY ağı çarpıcısı dört bölge çarpma işlemi sonuçları



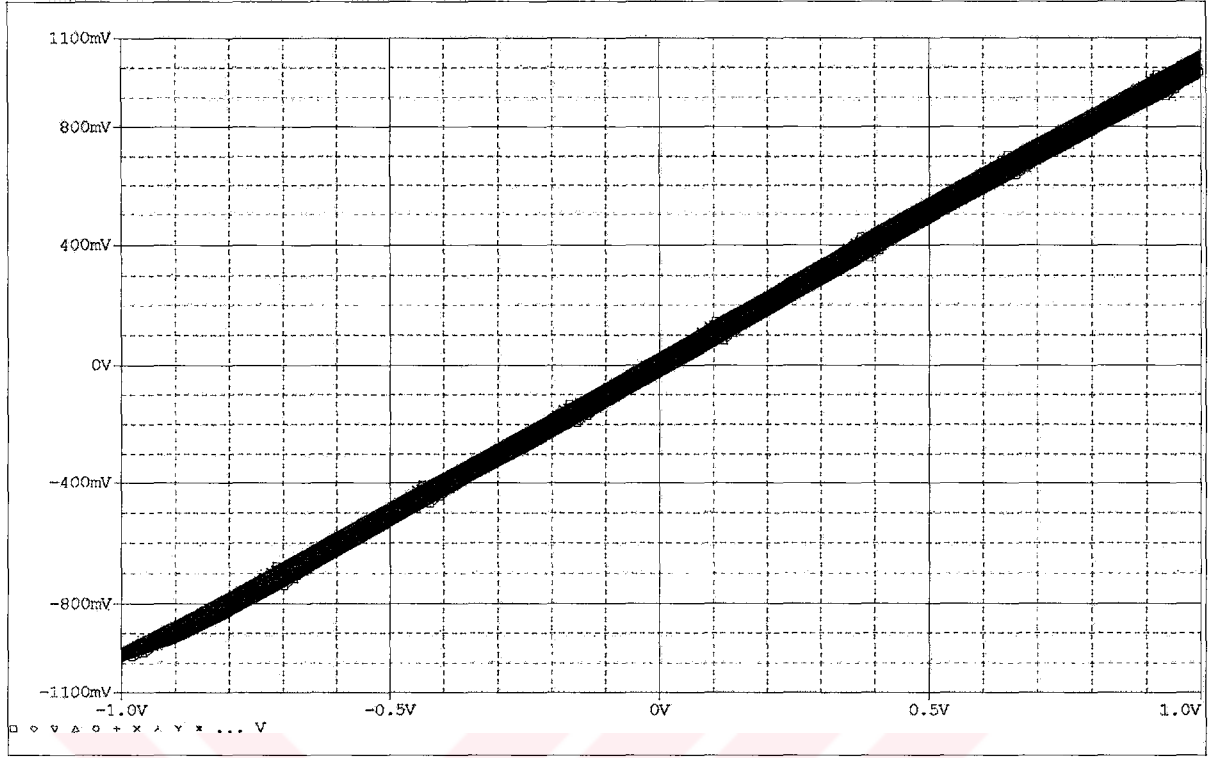
Şekil 4.36 AY ağı çarpıcısının hata dağılımı



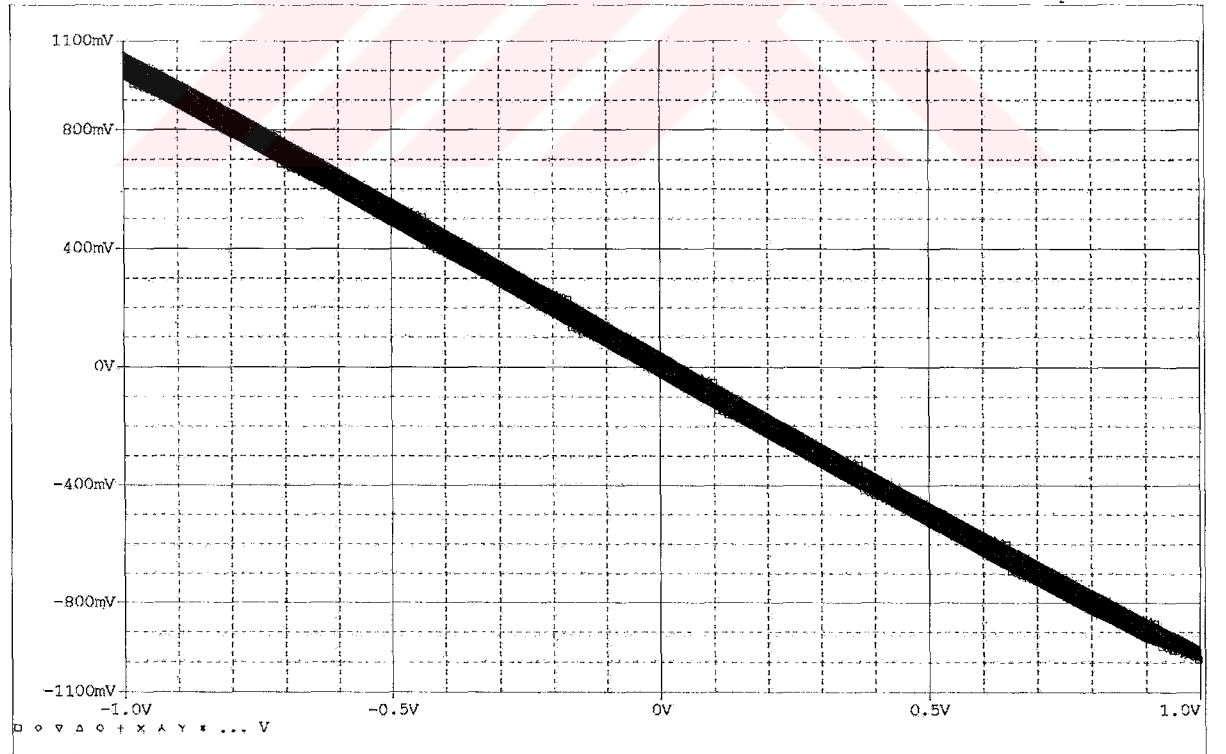
Şekil 4.37 AY ağı çarpıcısının AC frekans cevabı



Şekil 4.38 AY ağı çarpıcısının faz diyagramı



Şekil 4.39 Çarpıcılar için pozitif bölge parametrik saçılım analizi



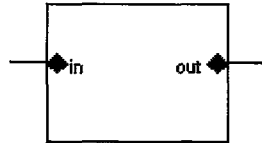
Şekil 4.40 Çarpıcılar için negatif bölge parametrik saçılım analizi

Şekil 4.34'teki çarpıcı yapısına her iki girişte $[-1, +1]$ V aralığında süpürme yaparak uygulanmaktadır. Şekil 4.35'te bu değişken girişler için çarpıcının dört bölge çarpım sonuçları görülmektedir. Şekil 4.35 bu çarpıcının da doğrusala oldukça yakın bir başarımlı gösterdiğini ispatlamaktadır. Eğer çarpıcı için daha detaylı doğrusallıktan uzaklaşma durumunu gözlemlemek istersek Şekil 4.36'daki hata dağılım grafiğinden bunu görebiliriz. Bu şekilden çarpıcı hatasının tüm çalışma aralığında %3'ten küçük olduğu görülmektedir. Bu çarpıcı devresi 8.3 MHz frekansına kadar yine %3'ten küçük sapma göstermektedir.

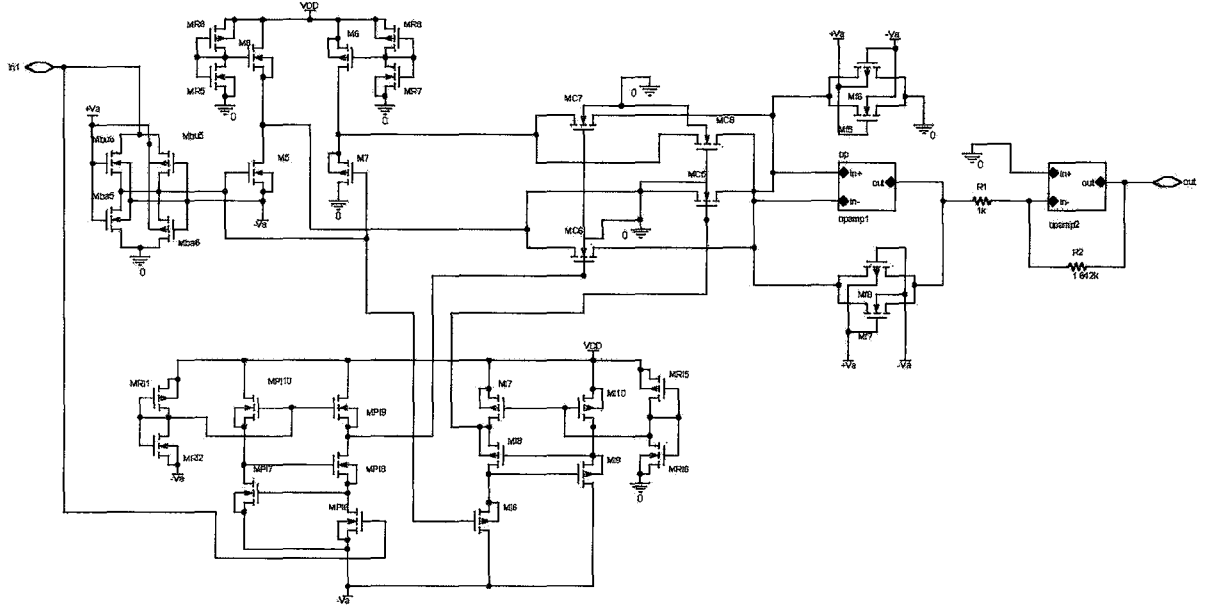
Şekil 4.37 AY ağı çarpma devresinin AC frekans cevabını göstermektedir. Kesim frekansı ilk tip çarpıcıyla hemen hemen aynıdır. Bu çarpma sadece giriş işaretinin kúpünü alırken kullanılmaktadır dolayısıyla kare alıcının çıkışı bu çarpıcının girişlerinden biridir bu nedenle kare alıcıda oluşan hata ile bu çarpıcının hata faktörü sisteme birlikte etki etmektedir. Doğrusallığı önem taşımaktadır. Özellikle doğrusallıktan uzaklaşmanın sebebi geçit ucundaki seviye kaydırıcıdan kaynaklandığı için, AY ağı çarpıcısının geçit ucuna giriş işareti, savak ucuna kare alıcının çıkışı bağlanmış ve tümdevre içerisinde bu şekilde kullanılmıştır. Şekil 4.38'de bu çarpıcı için faz diyagramı görülmektedir. Yine bu faz diyagramına göre MHz frekanslara kadar çarpıcı gecikmesi ihmal edilebilmektedir. Şekil 4.39 ve 4.40 ise sırasıyla dört bölgeli çarpıcı devrelerinin pozitifle çarpma ve negatifle çarpma bölgelerinin parametrik saçılımlarını içerir.

4.1.6 Kare Alıcı

Nöronun aktivasyon fonksiyonu sentezleyicisi AY ağı içerisinde kullanılan kare alıcı blok tek girişli bir çarpıcı yapısıdır. AY ağı çarpıcısı kullanılarak elde edilmiştir. Fakat AY ağı çarpıcı devresindeki giriş işaretini ikiye bölen bloklardan biri atılmıştır. Bunun nedeni, her iki giriş de aynı işaret uygulanacağından iki kere bölmeye gerek yoktur. Böylece transistör sayısında azalma sağlanmaktadır. Blok diyagramı Şekil 4.41'de verilmiş kare alıcının iç yapısı Şekil 4.42'de gösterilmiştir.

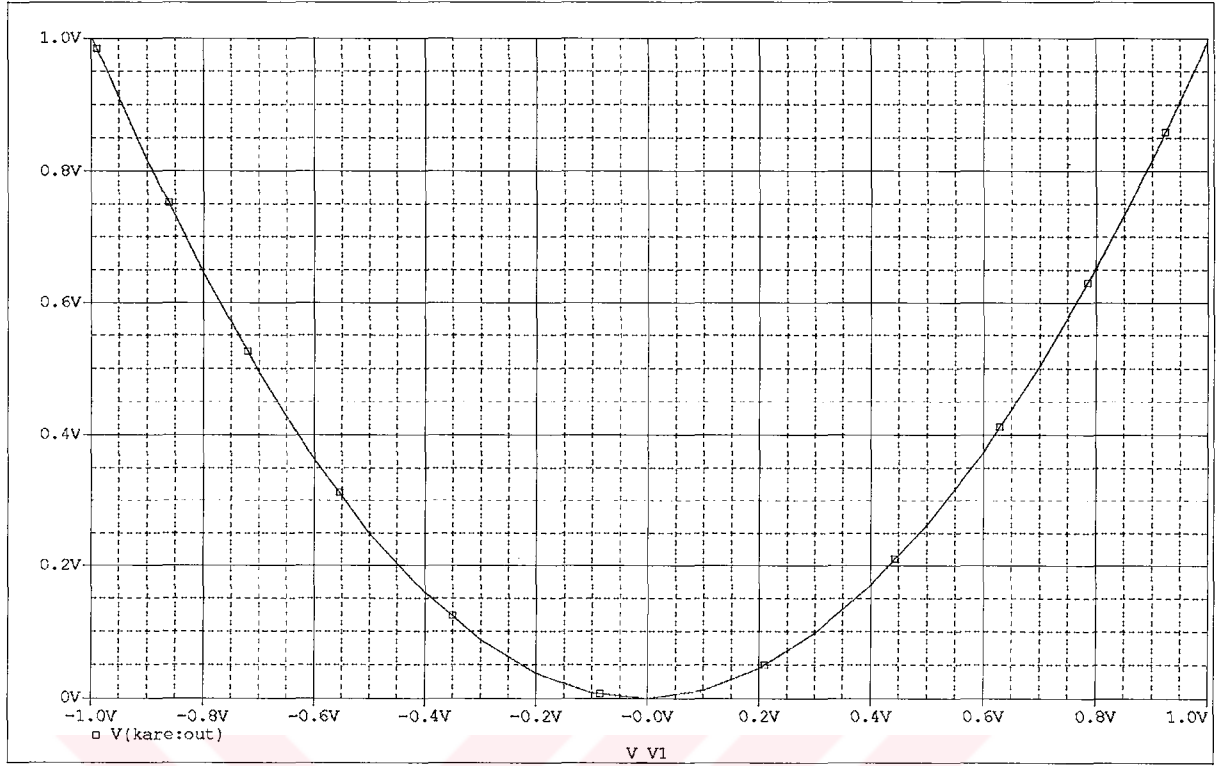


Şekil 4.41 Kare alıcı devrenin blok diyagramı

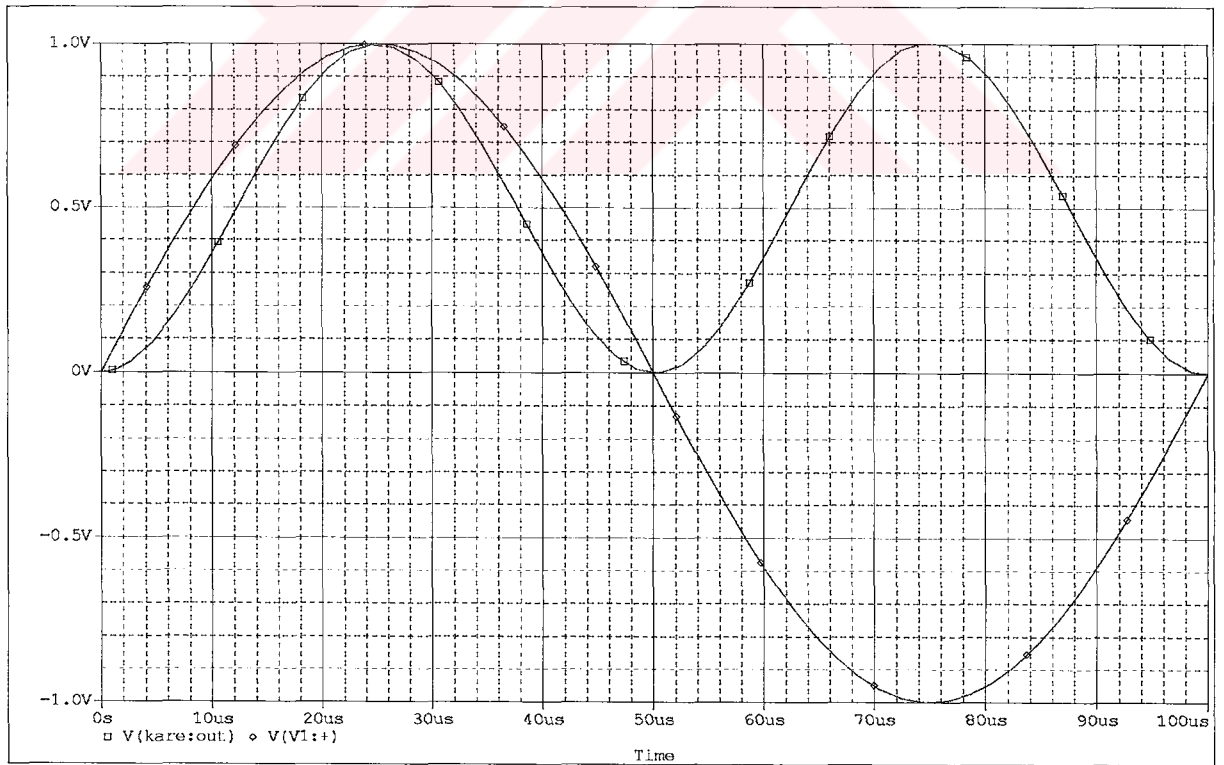


Şekil 4.42 Kare alıcı bloğunun iç yapısı

Şekil 4.43'te kare alıcı devrenin, çalışma aralığı olan $[-1, 1]$ V gerilimleri arasında uygulanan değişken girişe verdiği çıkışlar görülmektedir. Şekil 4.44'te yine çalışma aralığında sinüsoidal değişken bir işaret için kare alıcı devrenin verdiği sonuç grafiği yer almaktadır. Şekil 4.45 kare alıcı devrenin ideal kare alma işleminden sapmasını gösteren hata dağılım grafiğidir. Şekil 4.46 kare alıcı devrenin frekans cevabını göstermektedir. 4.86 MHz frekansına kadar kare alıcı devre için hata miktarı % 3'ten küçüktür. Şekil 4.47'de görülen eğri kare alıcı devrenin faz diyagramıdır. Bu şekle göre AY ağı içerisinde kare alıcı devresinin 1 MHz frekansına kadar pek bir gecikmeye sahip olmadığı ve bu frekanstan aşağıdaki her uygulanan giriş için eklenecek herhangi bir gecikme elemanına ihtiyaç duyulmayacağı görülmektedir. Şekil 4.48'de ise kare alıcı devre için parametrik saçılım analizi yapılmıştır.



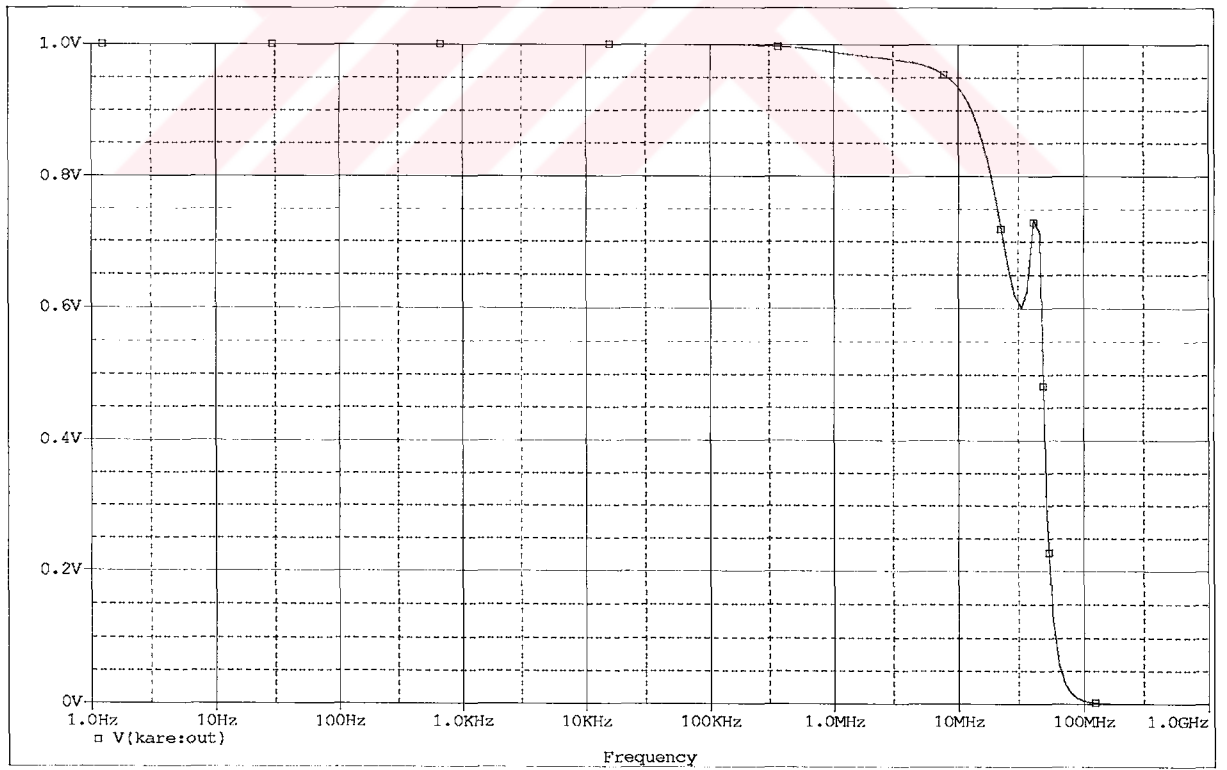
Şekil 4.43 Kare alıcı devresinin benzetim sonucu



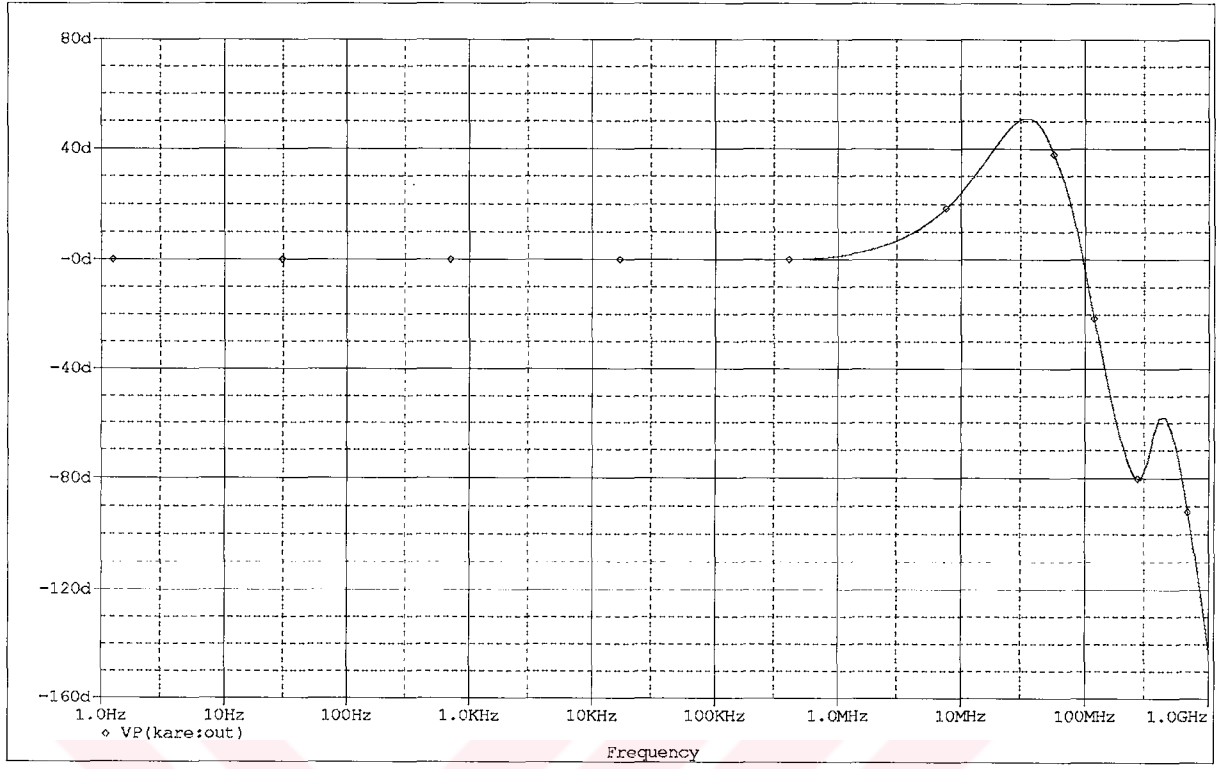
Şekil 4.44 Sinüsoidal giriş işareti ve kare alıcı devre çıkışı



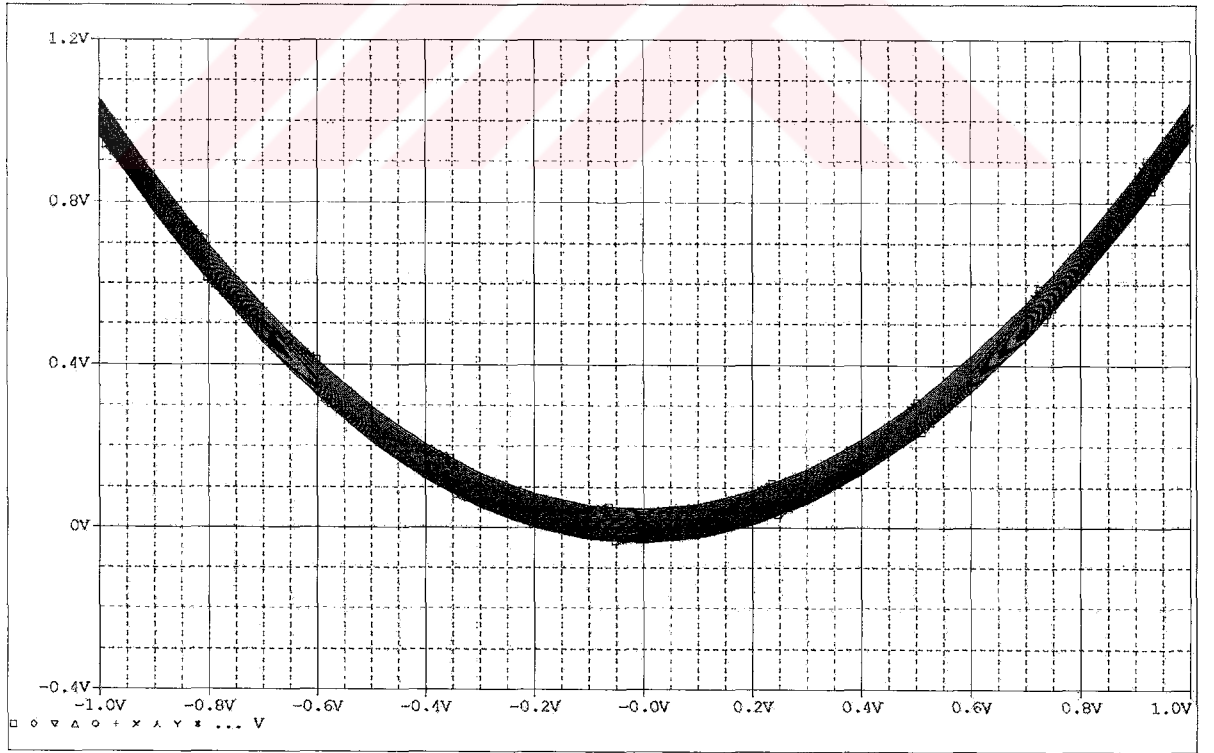
Şekil 4.45 Kare alıcı devrenin hata dağılım grafiği



Şekil 4.46 Kare alıcı devrenin AC frekans cevabı



Şekil 4.47 Kare alıcı devrenin faz diyagramı



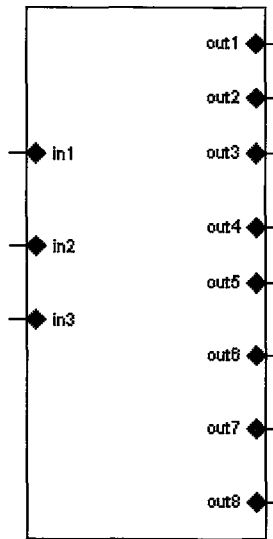
Şekil 4.48 Kare alıcı devrenin parametrik saçılımı

4.2 Sayısal Bloklar

Sayısal bloklar hafıza ünitesinin programlanması ve okunması sırasında işlevsel olan yapılardır. Bu yapılar kod çözücüler, algı yükselticileri ve üç girişli VE kapısı alt bloklarına sahiptirler. Kod çözücüler yazma (programlanma) sırasında, algı yükselticileri ise okuma sırasında görev almaktadır. Kod çözücüler ve üç girişli VE kapısı tasarımı üçüncü bölümde anlatılan geçiş transistör tekniği ile yapılmıştır. Hafıza blokları tümdevrenin ağırlık, biyas değerleri, bağlantı bilgileri ve aktivasyon fonksiyonu katsayılarının saklandığı ünitelerdir. Temel hafıza elemanı EEPROM hücresi FGMOS (Floating Gate Metal Oxide Semiconductor) transistör elemanı, serim olarak çizilmiş, devre eşdeğeri WinLASI [2] serim programında çıkartılmış, tüm bellek tasarımında proses tarafından izin verilen ve önerilen bu yapı kullanılmıştır. Algı yükselticileri hafıza hücrelerine bağlanarak saklanan yükün lojik olarak doğru algılanmasını böylece ya sayısalan analoğa dönüştürücülere uygulanmasını veya geçiş transistörlerini anahtarlamak için sayısal saklanan bilginin istenen gerilim seviyesine getirilmesini sağlamak için tasarlanmış yapılardır. Üç girişli VE kapısı satır sütun ve blok seçici işlevli kod çözücülerıyla birlikte kullanılarak adres kod çözücüsü yapısında yer alır.

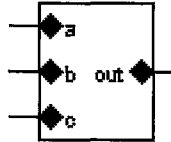
4.2.1 Kod Çözücüler

Geçiş Transistor Lojiği tasarım tekniği ile sentezlenmiş tümdevreye ait EEPROM hafızanın programlanması esnasında işlevsel olan adres girişleri ile hafıza hücreleri arasındaki yapılardır. Bir adet 3x5 bir adet 3x8 ve bir adet 4x16 kod çözücü kullanılarak bütün hafıza adreslenmiştir.

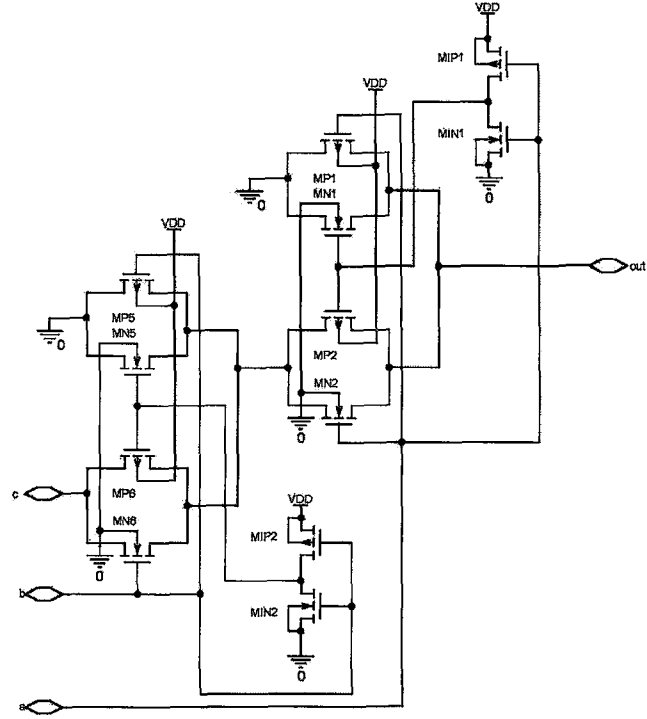


Şekil 4.49 3x8 Kod çözücünün blok diyagramı

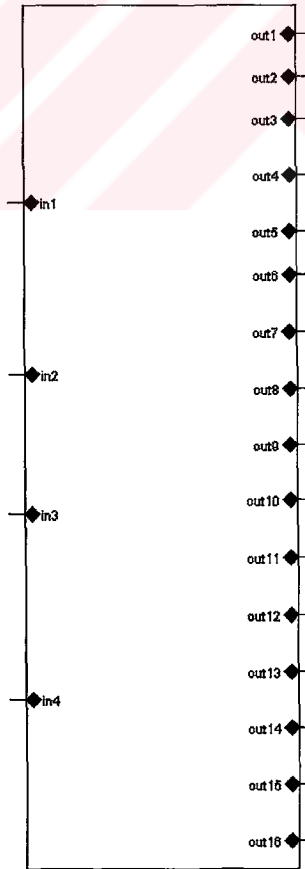
Altı adet farklı hafıza yapısı beş blok içerisinde tasarlanmıştır. İki hafıza yapısı birleştirilmiş bir blokta yer almaktadır. Bu hafıza bloklarının seçimi için 3x5 kod çözücü kullanılmıştır. Diğer kod çözücülerden 3x8 kod çözücü sütun, 4x16 kod çözücü ise satır kod çözücü olarak görev yapmaktadır. 3x8 kod çözücünün blok diyagramı Şekil 4.49'da, üç girişli VE kapısının blok diyagramı 4.50'de, üç girişli VE kapısının iç yapısı 4.51'de, 4x16 kod çözücünün blok diyagramı Şekil 4.52'de gösterilmiştir. 3x5 kod çözücünün blok diyagramı Şekil 4.53'de, sırasıyla 3x5, 3x8 ve 4x16 kod çözücülerin iç yapıları Şekil 4.54, 4.55 ve 4.56'da gösterilmiştir. Satır, sütun ve blok kod çözücülerin çıkışları yine geçit transistör lojiği ile tasarlanmış olup çıkışı üç girişli VE kapısına girmektedir. Böylece kod çözümlerin üçü birlikte kullanılarak istenen her bir hafıza hücresinin savak ucuna gerilim uygulanmış olur. Seçili olmayan hücrelerin savak uçlarına ise 0V gerilim uygulanır. Bütün hafıza transistörlerinin geçitleri birbirine bağlı olduğu için programlanmaları sırasında tünelleme için gerekli yüksek gerilim, tüm FGMOS transistörlerin geçitlerine uygulanmış olur. Ancak kod çözücülerin seçtiği transistörde savak ile kaynak arasında evirtim ve yük akışı olacağı için o transistörde tünelleme oluşur diğerlerinde oluşmaz. Bütün hafıza blokları hep birlikte silinmektedirler. Kod çözücüler hafızanın silinmesi sırasında hafıza hücrelerine bağlı tüm çıkışlarının lojik 0 seviyesini vermesi için 3x5 kod çözücünün kullanılmayan konumundan herhangi birinin seçili olduğu duruma getirilirler. Hafıza kod çözümler silme işlemi sırasında herhangi bir işlev yapmamaktadırlar. Sadece programlama sırasında görev alırlar. Şekil 4.57'de blok, satır, sütun kod çözümlerin ve üç girişli VE kapısının birlikte kullanımı ile elde edilen adres kod çözümlü yapısı görülmektedir. Bu yapı tüm hafıza hücrelerine programlama için tek tek ulaşmayı mümkün kılmaktadır. Adres kod çözümlü devrenin girişleri programlama durumunda adres seçici olarak kullanılan, tümdevrenin on adet giriş ucudur. Çıkışı ise her bir hafıza hücresinin savak ucuna bağlıdır, geçiş transistör lojiğine göre tasarlanmıştır, programlama moduna geçiş ile iletme geçmektedir.



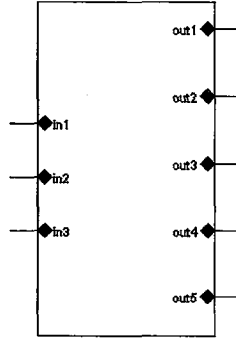
Şekil 4.50 Üç girişli VE kapısı blok diyagramı



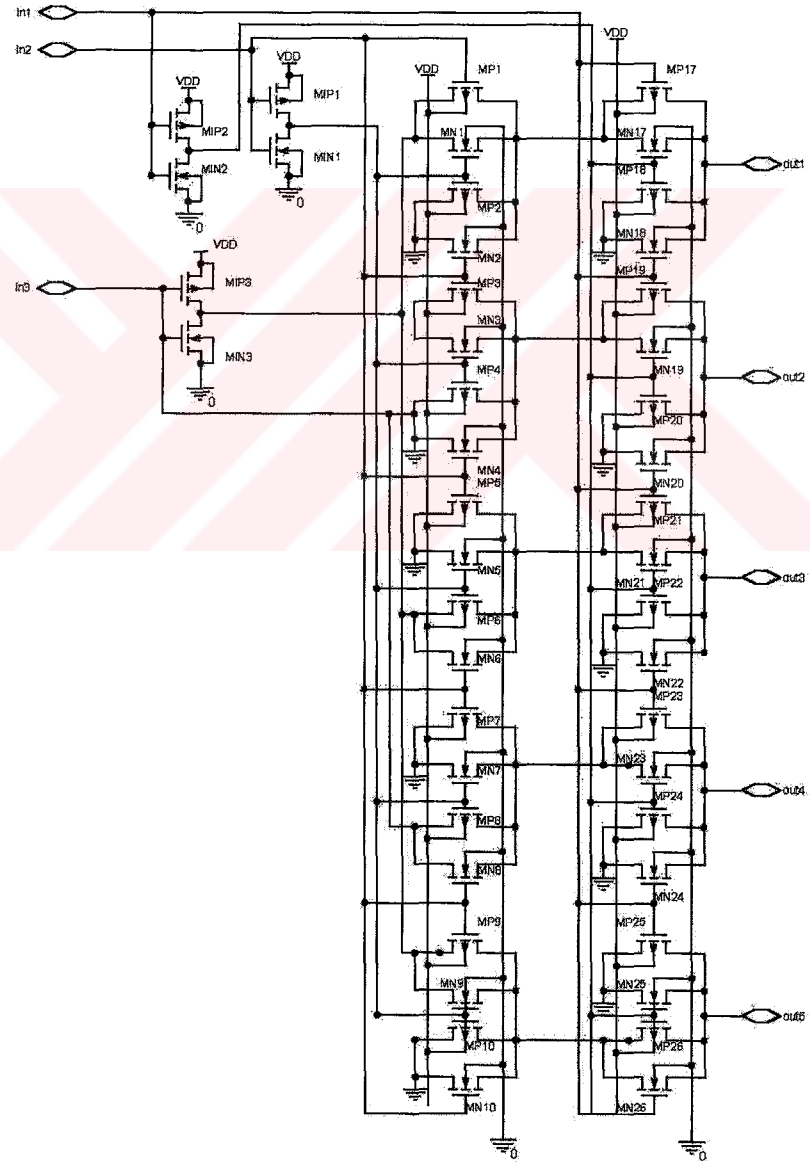
Şekil 4.51 Üç girişli VE kapısının iç yapısı



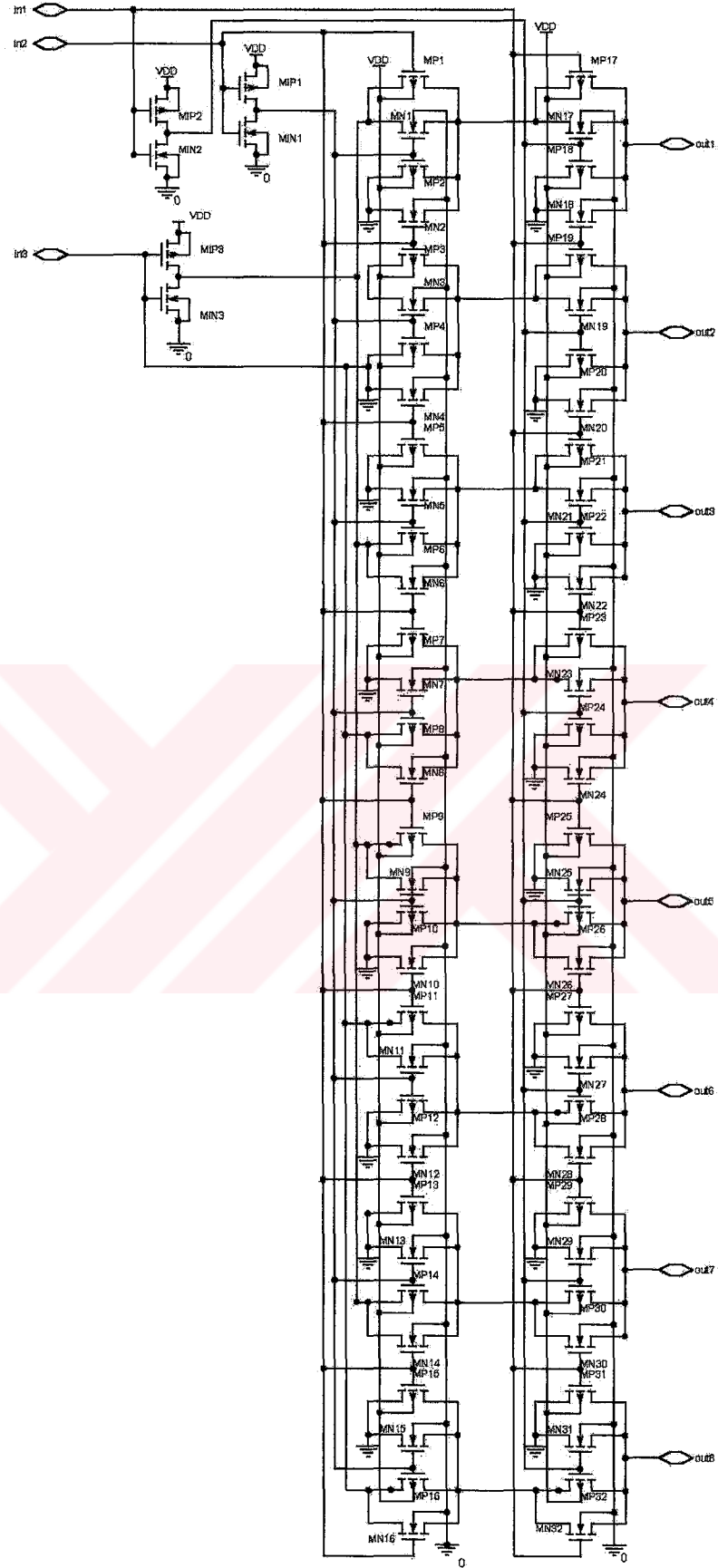
Şekil 4.52 4x16 Kod çözücünün blok diyagramı



Şekil 4.53 3x5 Kod çözücünün blok diyagramı



Şekil 4.54 3x5 Kod çözücünün iç yapısı

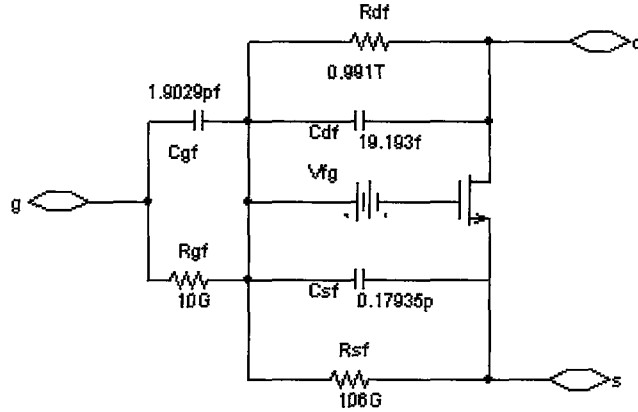


Şekil 4.55 3x8 Kod çözücünün iç yapısı



Şekil 4.56 4x16 Kod çözücünün iç yapısı

Şekil 4.59’da gösterilen direnç değerleri ise Sinencio [3] tarafından gösterildiği gibi R.C çarpımı sabit olacak şekilde hesaplanmıştır. V_{fg} gerilimi ise yüzen geçitte saklanan yükün eşik gerilimini kaydırmasını göstermektedir.



Şekil 4.59 Hafıza hücresi seriminin devre eşdeğeri

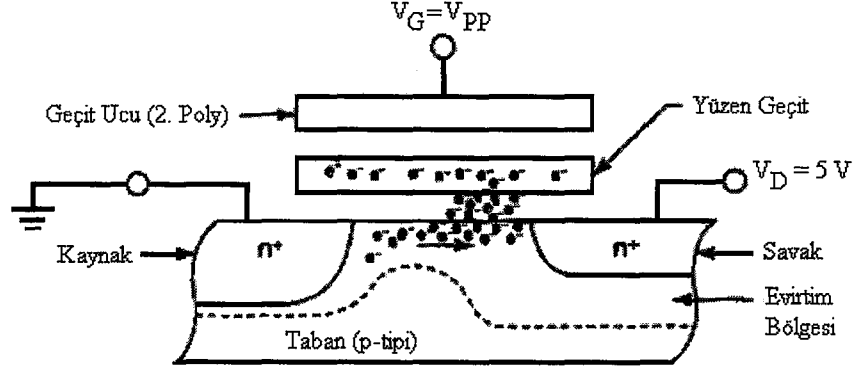
Bu hücre eşdeğeri kullanılarak tasarlanan tümdevrenin SPICE benzetimi yapılmıştır. Programlanan hafıza hücresinin eşik geriliminin değişmesi V_{fg} gerilimi ile gösterilmiş, algı yükselticileri sayesinde belli bir gerilim değerinin üzerinde olan yüzen geçit MOS hücresinin lojik “1”, yük taşımayan ve dolayısıyla eşik gerilimi yüksek olmayan yüzen geçit MOS hafıza hücresinin lojik “0” değerleri sakladığı saptanmıştır.



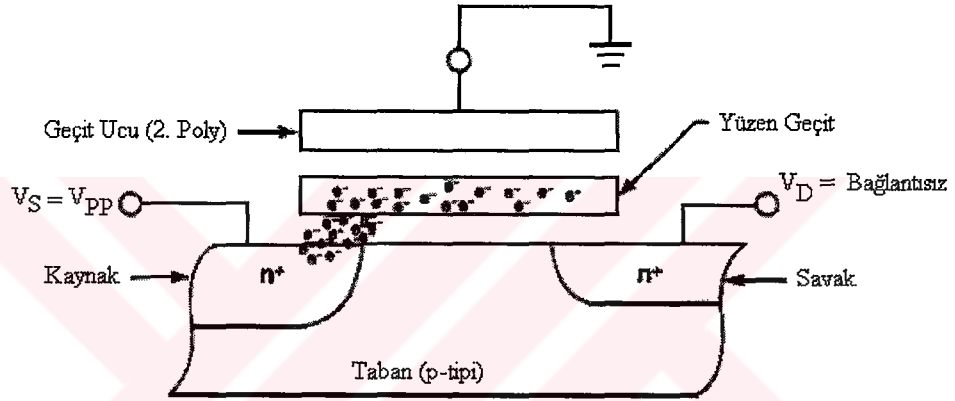
Şekil 4.56 FGMOS sembolik gösterimi

Şekil 4.60 FGMOS transistörün sembolik gösterimini içermektedir. Şekil 4.59 ile modellenen bu yapı Şekil 4.60 daki biçimde sembolik olarak gösterilecektir.

Bir EEPROM hücresinin programlanması Şekil 4.61’de gösterilen şekilde yapılmaktadır. Hücrenin savak ucuna 5V, kaynak ucuna toprak, geçit ucuna 12V programlama gerilimi uygulanınca hücre yük tutmaktadır. Savak ve kaynak ucuna uygulanan gerilim elektron ve deşik iletimini sağlamakta, geçit ucundaki yüksek gerilim ise bu iletim sırasında elektronların yüzen geçite geçmesini sağlamaktadır. Programlanma sıcak taşıyıcı enjeksiyonu metoduyla sağlanmaktadır.



Şekil 4.61 Bir EEPROM hücresinin programlanması

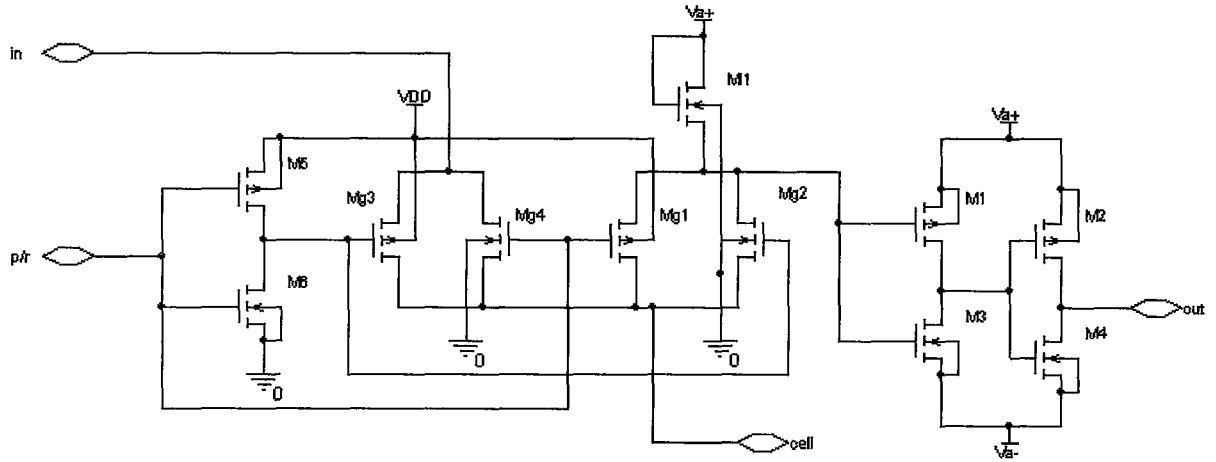


Şekil 4.62 Bir EEPROM hücresinin silinmesi

Şekil 4.62’de ise bir EEPROM hücresinin silinmesi görülmektedir. Bu işlem Fowler-Nordheim tünelleme metoduna göre yapılmaktadır. Savak ucu serbest bırakılmakta, geçit topraklanıp kaynak ucuna uygulanan yüksek gerilim ile yüzen geçitte saklanan elektronlar boşaltılmaktadır.

4.2.3 Algı Yükselticileri

Tümdevre içerisinde kullanılan iki tip algı yükselticisi mevcuttur. Bunlar yapıca aynı olmalarına rağmen besleme ve çıkış gerilimlerin farklı olması nedeniyle birbirlerinden ayrılırlar. Şekil 4.63’te görülen birinci tip algı yükseltici devresi tümdevrenin bütün bağlantı ve işaret geçişlerini belirleyen hafıza hücrelerine bağlanan, böylelikle hafıza hücresinde saklanan lojik “0” ve “1” değerlerini, -2.5V ve 2.5V olarak çoğullayıcı ve tekilleyici devrelerine iletir.



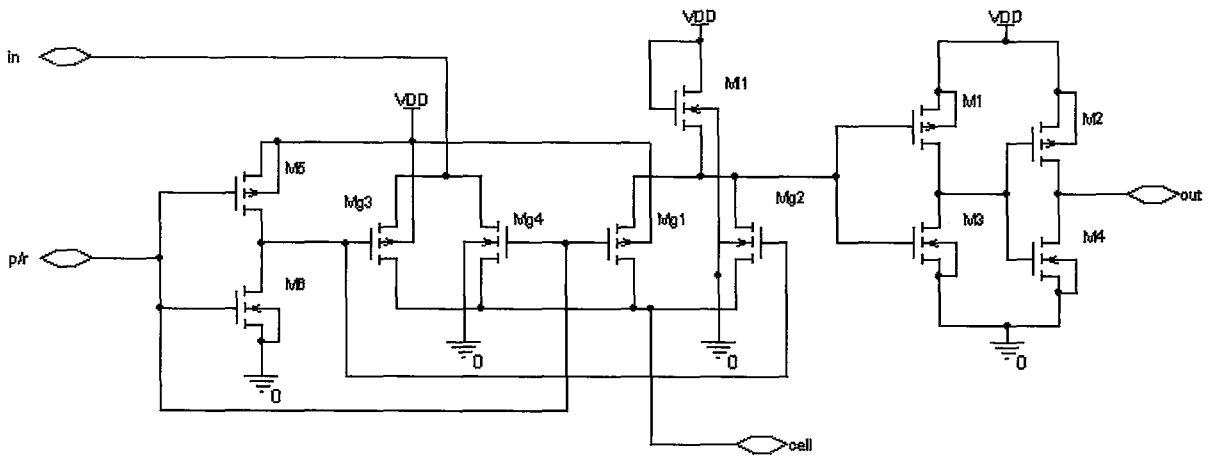
Şekil 4.63 Analog işaret geçişini kontrol eden hafıza hücreleri için algı yükseltici devresi

Aslında Şekil 4.63'teki devrenin algı kuvvetlendirme kısmı M1, M2, M3 ve M4 transistörlerinden oluşan kısımdır. Ancak geçiş transistorleri ile devrenin programlama ve okuma durumu arasında seçimi sağlayan dört adet Mg1,2,3 ve 4 transistörleri ve yük olarak kullanılan M11 transistörü de bu algı yükselticinin çalışmasına doğrudan etki ettiği için şemada gösterilmiş ve tüm sistem benzetime sokulmuştur. Çünkü hafıza hücresinin okunması sırasında görev alan algı yükseltici devresi, hem geçiş hem de yük transistorünün hafıza hücresini birlikte sürmesi sonucu oluşan gerilim değerini algılar. Şekil 4.64 analog işaretlerin işlenmesini kontrol eden sayısal hafıza hücrelerinin, sakladıkları yük miktarına göre, V_{fg} gerilimlerinin 0 ile 5V arasında değişmesi sonucu algı yükselticinin vereceği çıkış cevabını göstermektedir. Bu benzetim sonucuna göre algı yükseltici, eğer bir hafıza hücresinin yüzen geçitinde 0.7V değerinden küçük V_{fg} gerilimi varsa, o hücreyi lojik "0" olarak algılayıp -2.5V çıkış, 1.2V değerinden büyük bir eşik gerilimi kayması varsa lojik "1" olarak algılayıp +2.5V çıkış değeri verecektir. Bu eşik kayması değerleri yüzen geçit transistorün saklayabileceği yük açısından oldukça makul bir aralıkta olup lojik "0" değerine sahip olacak bir hücrenin silinme anında yüzen geçitindeki yükünün tamamen boşaltılması oldukça önemlidir.



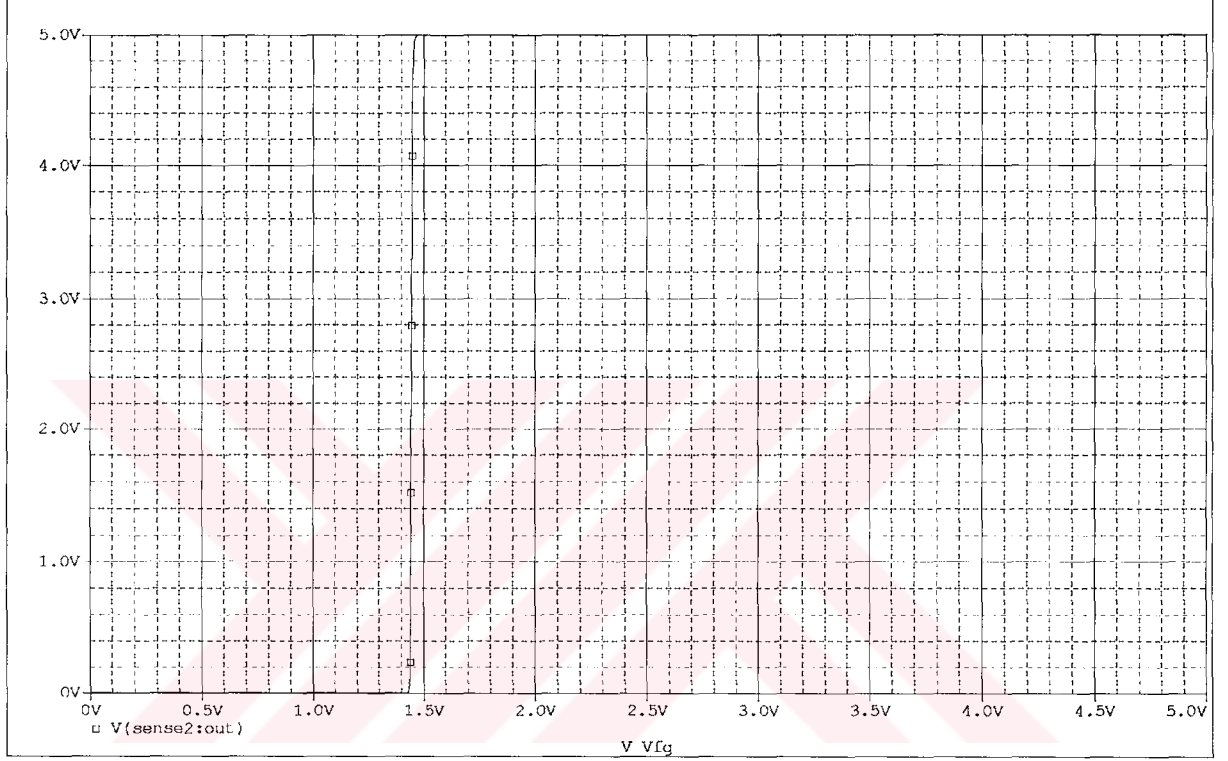
Şekil 4.64 Analog işareti kontrol eden hafıza hücresi algı yükselticisinin benzetim sonuçları

Diğer algı yükselticisi ise sayısaladan analoga dönüştürücülerle hafıza hücreleri arasında yer alan, sayısaladan analoga dönüştürücülere ağırlık, biyas ve transfer fonksiyonu ağırlık değerlerinin doğru iletilmesini sağlayan her bir sayısal hafıza hücresine bağlı, Şekil 4.65'te yer alan yapıdır. Bu tip algı yükselticinin devre yapısı birinci tipte aynı olmakla beraber besleme ve çalışma gerilim çıkışı 0 ile 5V aralığındadır.



Şekil 4.65 Sayısal veri hafıza hücreleri için algı yükseltici devresi

Şekil 4.66’da sayısal veri hafıza hücreleri algı yükseltici devresi için benzetim sonuçları görülmektedir. Yine yüzen geçitte saklanan yükün oluşturduğu gerilim değişiminin neden olduğu eşik gerilim kayması V_{fg} , 0 ile 5V aralığında değiştirilmiştir. Eşik kaymasının 1.4V tan küçük bütün değerleri lojik “0”, büyük olanları ise lojik “1” olarak algılanmıştır. Bu değerler de yüzen geçitte saklanabilecek yük miktarının neden olacağı eşik gerilimi kayması için oldukça makuldur.



Şekil 4.66 Sayısal veri hücreleri algı yükselticisinin benzetim sonucu

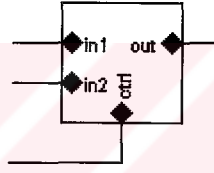
4.3 Hibrit Bloklar

Analog ve sayısal işaretlerin aynı anda kullanıldığı bloklardır. AY tümdevresinin hibrit blokları yol seçme işlevli hibrit çoğullayıcı ve tekilleyiciler ile sayısalan analoğa dönüştürücü bloklardır. Yol seçiciler hafızalarda saklanan sayısal verilere göre analog işaretlerin iletimini sağlar. Eğer herhangi bir giriş ucuna uygulanan işaret işlenecekse uygun şekilde iletilmesini böylelikle gerçekleştirilecek ağ yapısına göre doğru bağlantıyı sağlayacak yolu izlemesini, yada herhangi bir uç çıkış olarak kullanılacaksa o uca ilgili nöronun çıkışının iletilmesi görevini hibrit çoğullayıcı ve tekilleyiciler kontrol eder. Tümdevrenin bir ucunun giriş veya çıkış olmasında, kontrol hafıza hücrelerine bağlı algı yükselticilerin, hibrit yol seçicilere ilettiği hafızadaki programlama bilgisine göre yol seçici blokları tarafından yapılır.

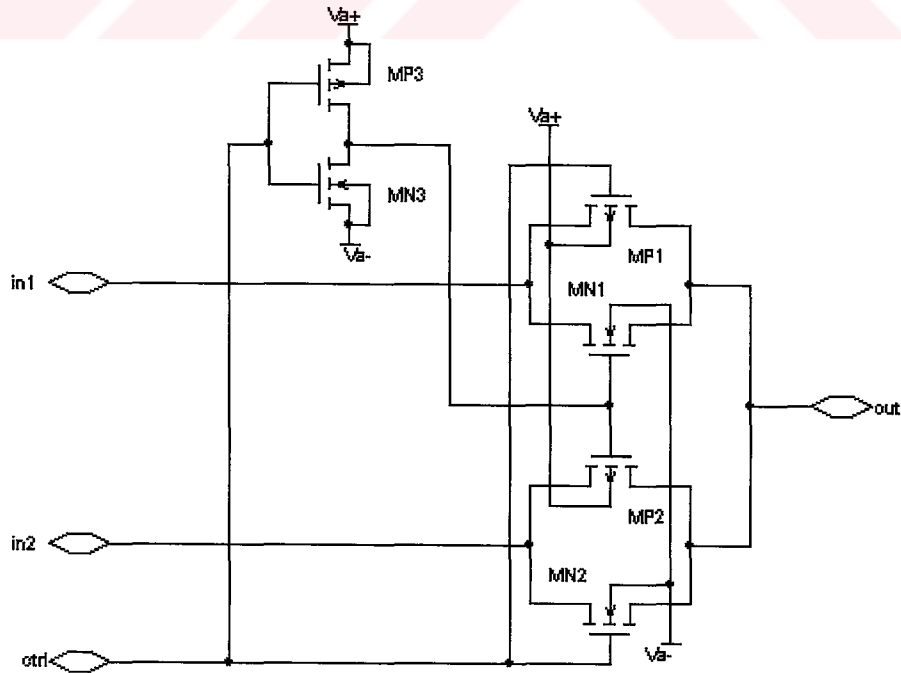
Yol seçicilerin geçit uçlarına kontrol hafıza hücrelerinin algı yükseltici çıkışları bağlıdır. Diğer hibrit blok olan sayısalan analoğa dönüştürücü ise hafıza hücrelerinin 8 bit çözünürlükle veri saklayanlarına bağlı sayısal algı yükseltici vasıtasıyla gelen, ağırlık, biyas ve transfer fonksiyonu AY ağı katsayısı verilerini analoğa dönüştürerek işlem bloklarına girmelerini sağlar.

4.3.1 Çoğullayıcı ve Tekilleyici Yapılar

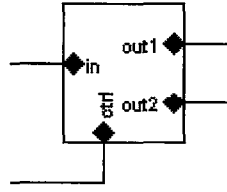
2x1, 4x1 ve 1x2, olmak üzere toplam üç çeşit çoğullayıcı ve tekilleyici devresi tasarlanmıştır. Girişi ilettime açan “enable” isimli blok ve sinaptik çarpıcıları nöronlara bağlayan bloklar 2x1 çoğullayıcı yapısındadır. Şekil 4.67 2x1 çoğullayıcının blok diyagramını, Şekil 4.68 ise iç yapısını göstermektedir. Sırasıyla Şekil 4.69, 4.70, 1x2 tekilleyicinin ve Şekil 4.71, 4.72 ise 4x1 çoğullayıcının blok diyagramlarını ve iç yapılarını göstermektedir.



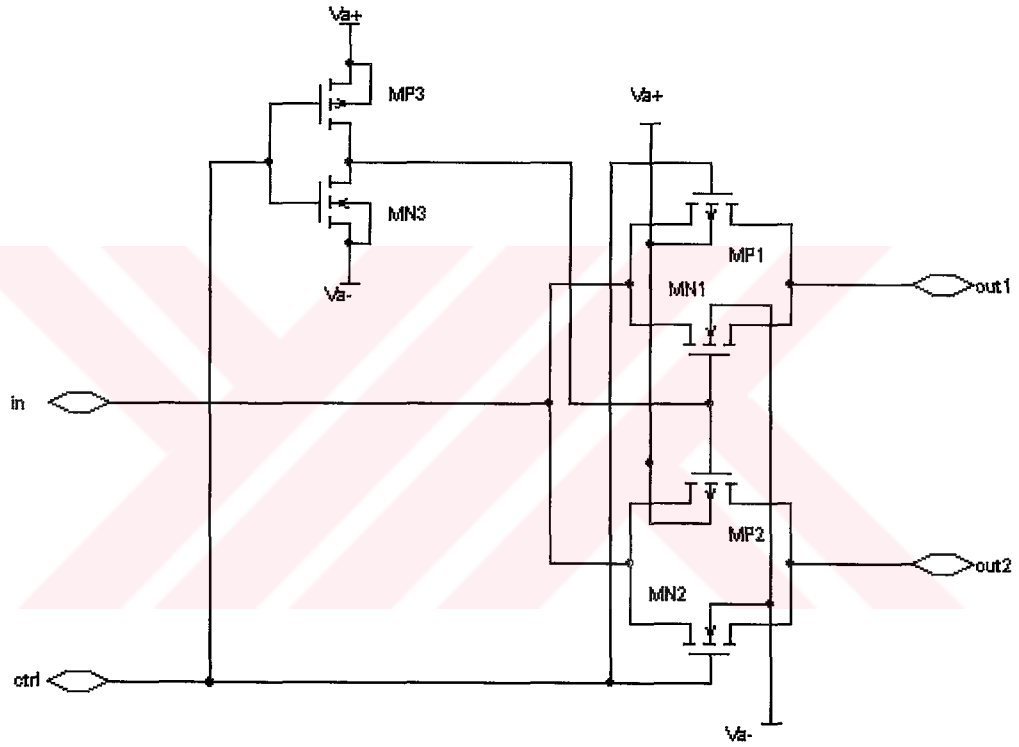
Şekil 4.67 2x1 çoğullayıcının blok diyagramı



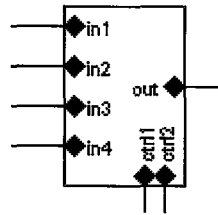
Şekil 4.68 2x1 çoğullayıcının iç yapısı



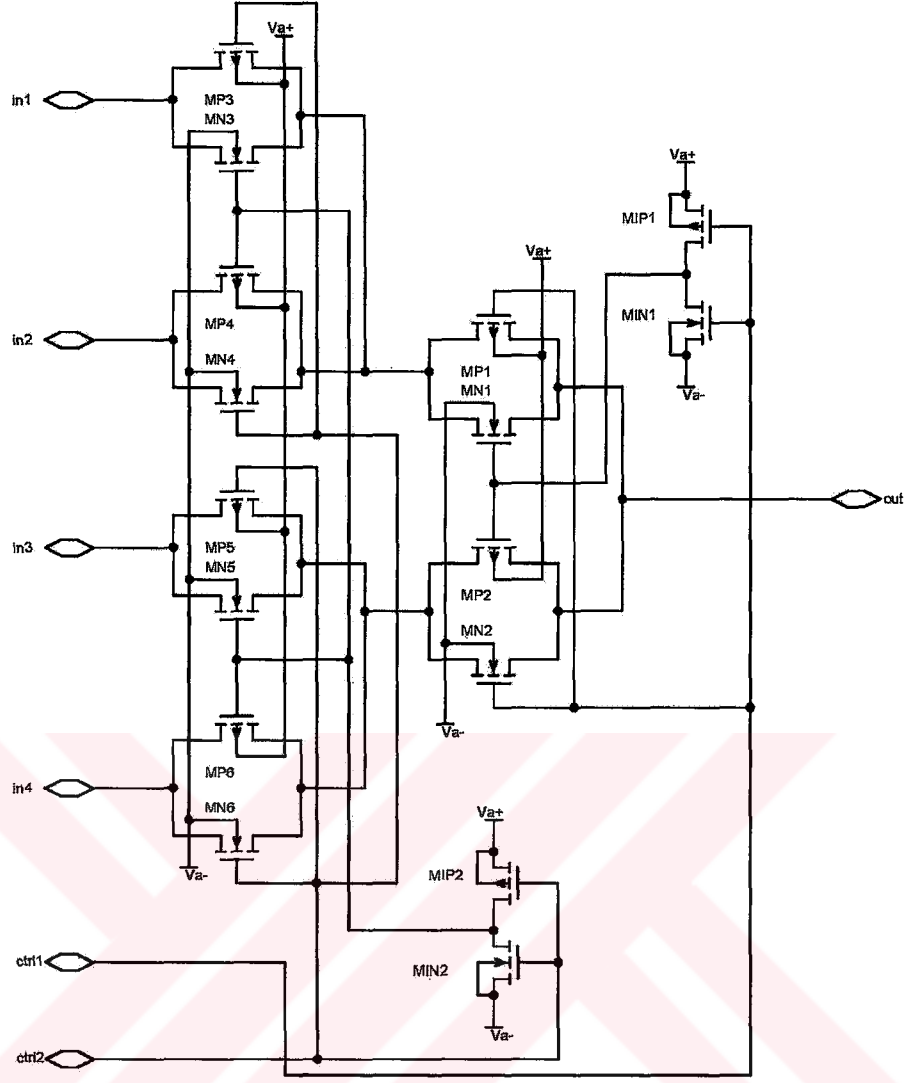
Şekil 4.69 1x2 tekilleyicinin blok diyagramı



Şekil 4.70 1x2 tekilleyicinin iç yapısı



Şekil 4.71 4x1 çoğullayıcı blok diyagramı



Şekil 4.72 4x1 çoğullayıcının iç yapısı

Tümdevrenin bir ucunun giriş veya çıkış olarak kullanabilmesi için, tümdevre durum seçici uç vasıtasıyla okuma moduna alınmalı ve giriş veya çıkış olarak kullanılacak uç, “enable” isimli çoğullayıcı tarafından iletimde tutulmalıdır. Programlama veya aktif mod seçimi ve belli bir ucun giriş veya çıkış olarak seçimini sağlamak üzere (I/O) 1x2 tekilleyici devreleri kullanılmıştır. 1x2 ile 2x1 tekilleyici ve çoğullayıcı yapıları çift yönlü iletebildikleri için yapısal olarak birbirinin aynı olup y-eksenine göre simetriklerdir.

Herhangi bir nörone bir ucun giriş veya çıkış olarak bağlı olup olmaması 2x1 ve 4x1 çoğullayıcılar tarafından sağlanır.

Tüm çoğullayıcı ve tekilleyici yapıları analog işaretleri kontrol için tasarlanmış algı yükselticisinin bağlı olduğu hafıza bloğunun içeriğine göre çalışma süresince sabit bir şekilde

iletim veya kesim durumundadırlar. Bir sonraki programlanmaları ile iletim ve kesim konumları veya iletim yol seçimleri yeniden düzenlenir.

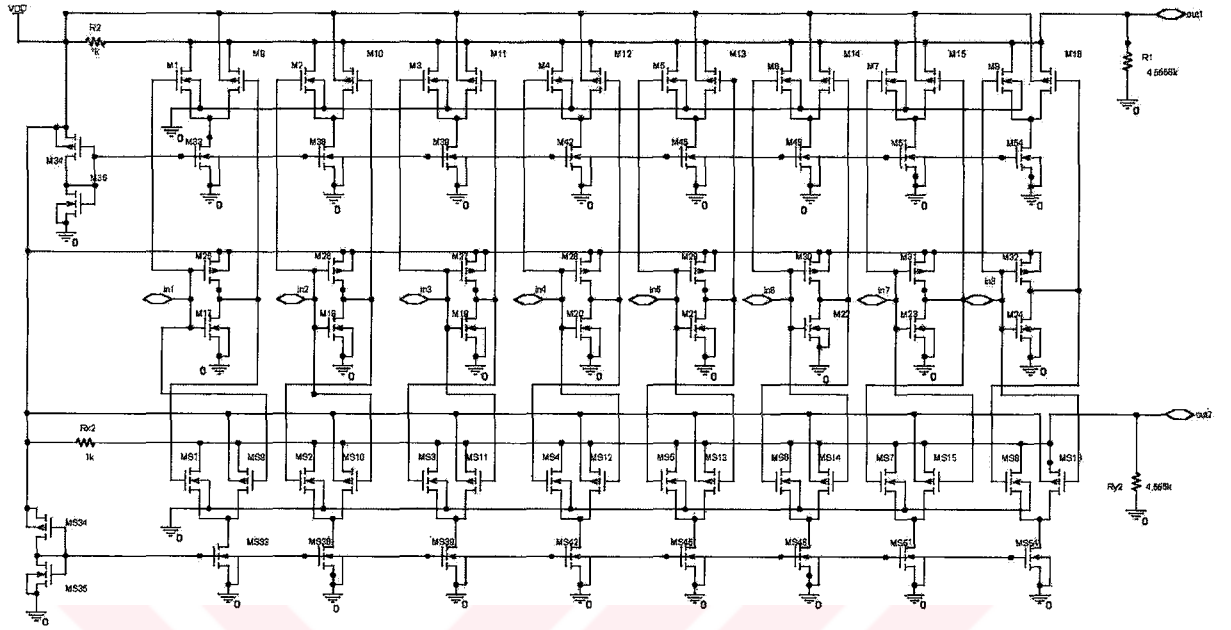
Tek bir çalışma durumunda sabit kaldıkları için anahtarlama hızları değil iletim yönündeki gerilim düşümleri hesaba katılmaktadır. 4x1 çoğullayıcı ise bir veya daha çok tümdevre ucunun, herhangi bir nöronun çıkışı veya çıkışları olması durumunda kontrol uçlarının işaret ettiği uç ile nöron çıkışını birbirine bağlar. Dört tane nöron olduğu için her ucun çıkış olma durumunda bağlı olduğu bir 4x1 çoğullayıcı bloğu mevcuttur. Bu bloğun da bağlantı kontrolü analog algı yükselticilerinin bağlı olduğu kontrol hafıza bloğunun içeriğine göre yapılır. Bu blok o ucun çıkış olması durumunda işlevsel önem kazanır. Uç giriş ise uçla herhangi bir bağlantısı kalmaz. Ancak bu blok sayesinde herhangi bir ucun herhangi bir nöron için çıkış seçilmesi mümkün olmaktadır. Bütün çoğullayıcı ve tekilleyici bloklarının besleme gerilimleri V_{a+} ve V_{a-} yani +2.5V ve -2.5V gerilimleridir. Aynı zamanda bu yapılardaki tüm n-kanal MOS transistörlerin gövde uçları V_{a-} gerilimine, p-kanallarınkiler ise V_{a+} gerilimine bağlanarak giriş işaretinin yaklaşık bu iki besleme gerilimi aralığında iletimi sağlanmıştır. Giriş işaretinin değer aralığı [-1, +1] V olduğundan çok rahat iletilebilmektedirler.

4.3.2 Sayısalan Analoga Dönüştürücü

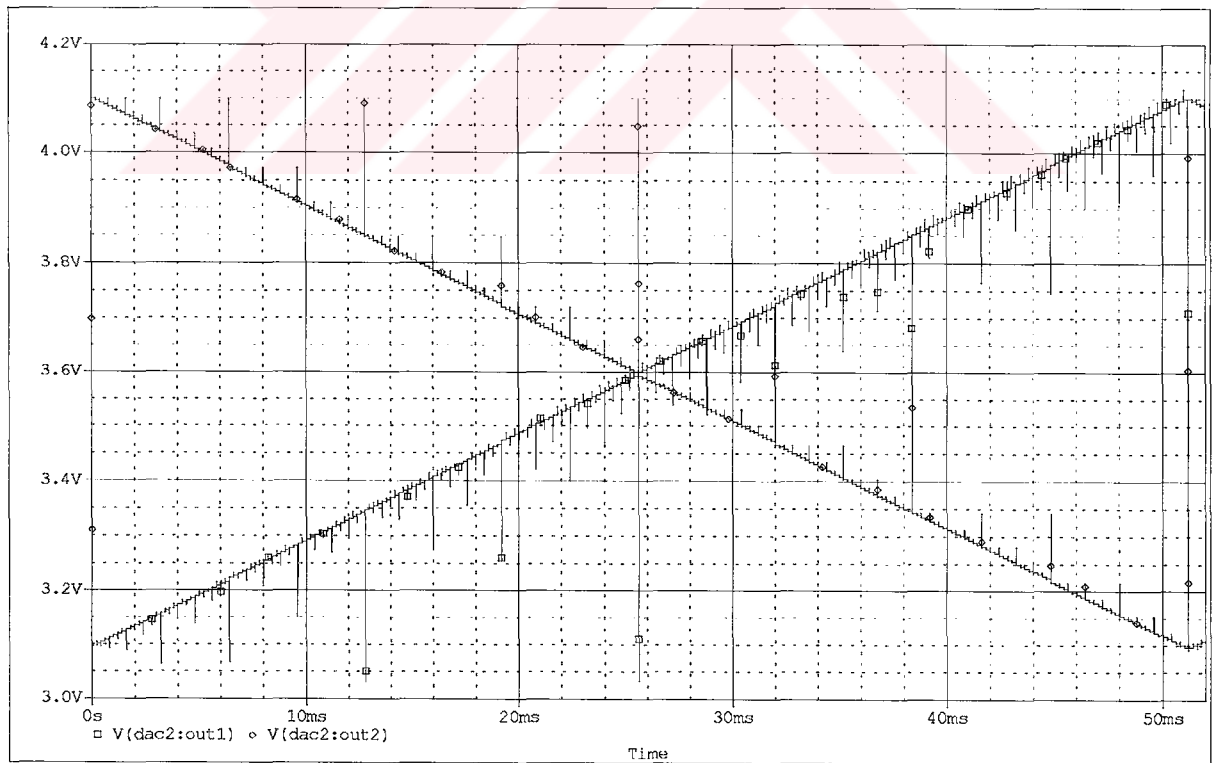
Sayısal hafıza hücrelerinde saklanan ağırlık, biyas ve transfer fonksiyonu katsayı bilgilerinin analog işlemci birimlerine iletimi sırasında gerekli sayısalan analoga dönüşümü sağlar. Veri hafıza blokları sayısalan analoga dönüştürücü vasıtasıyla çarpıcı bloklarının geçit ucu girişine bağlanmaktadır.

Bu nedenle ağırlık çarpıcı bloklarının ihtiyaç duyduğu öngerilimleme şartları ve simetrik çıkışlar bu blok tarafından sağlanır. Hafıza bloklarındaki ağırlık, biyas ve transfer fonksiyonu değerleri sadece programlanma sırasında değiştiği ve daha sonra durağan olduğu için sayısalan analoga dönüştürücü bloğunun çıkışı da çalışma süresi boyunca sabittir. Bu nedenle dönüşüm hızı diye herhangi bir problem yaşanmamaktadır. Akım modlu bir tasarımıdır. Şekil 4.73'te bloğun iç yapısı görülmektedir. Çarpıcı bloklarına geçit ucu girişi olmak üzere gerekli ön gerilimleme değerlerini içererek şu şekilde analog çıkış verirler. Herhangi bir analog dönüşüm çıkış değeri olarak V_x 'i kabul edersek, çarpıcı bloğunun geçit uçlarına girilmesi gereken 3.6V luk DC öngerilimlemeli simetrik işareti bu blok $3.6 - V_x / 2$ ve $3.6 + V_x / 2$ olarak verir. Böylece sayısalan analoga dönüştürücülere bağlı çarpıcı bloklarında, ek bir öngerilimleme veya gerilim seviye kaydırma devresine ihtiyaç duyulmaz. 8

bit giriře, 2 kanal ıkıřa sahiptirler. ıkıřların alıřması [3.1V, 4.1V] aralıęında deęiřmektedir. řekil 4.74 bloęun SPICE benzetim sonularını yansıtmaktadır.



řekil 4.73 Sayısaldan analoęa dnřtrcnn i yapısı



řekil 4.74 Sayısaldan analoęa dnřtrc devresinin benzetim sonucu

Bu şekil her iki çıkışı da aynı anda içermektedir. 8 bitlik bir sayıcı yapısı giriş olarak uygulanmış ve şekildeki analog çıkışlar elde edilmiştir. Benzetim sonuçlarında görülen anahtarlama sırasında oluşan oklar tasarlanan tümdevre için bir önem taşımamaktadır. Çünkü dönüştürücü bloğu programlandıktan sonra tüm çalışma süresince sabit çıkış vermektedir. Çalışma esnasında hiçbir şekilde hafıza hücrelerinin içerdiği değerler değişmediği için anahtarlama durumları sabit kalmaktadır. Her iki çıkışta aynı çalışma aralığında birbirlerine göre zıt yönde artış veya azalış göstermektedir. Böylece istenen değer farkı çarpıcı bloğunun iki geçit giriş ucu arasında oluşturulmuş olur.

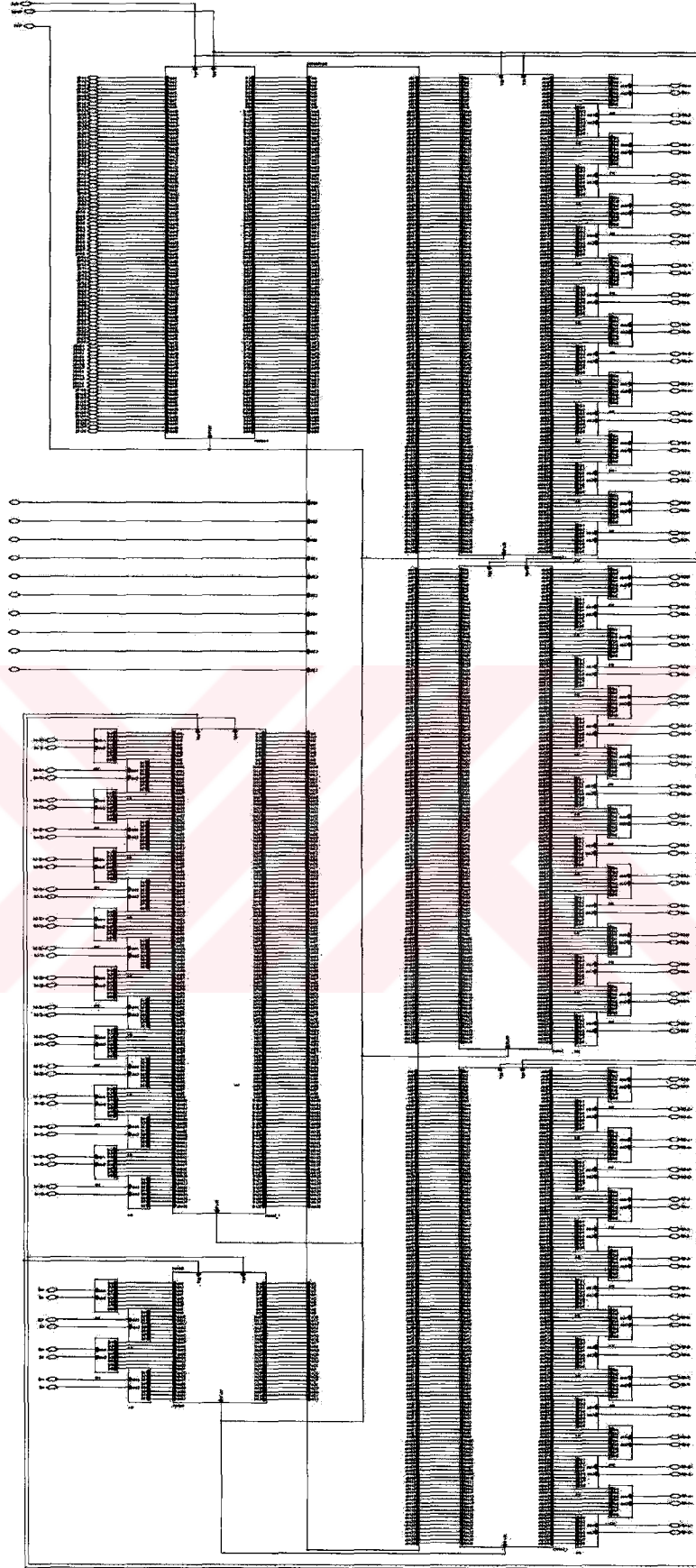


5. AY TMDEVRESİNİN NRAL İŐLEM BLOKLARI

AY tmdevresi yapay sinir ađlarının temel bileŐenleri olan sinaps ve nronun devre gereklemelerine sahiptir. Nral hesaplamalar bu devreler tarafından donanım tabanlı yapılmaktadır. Sinaps yapısı ađrılık deđerleri ile giriŐ iŐaretinin arpılması iŐleminin gerekleŐtirildiđi bloktur. Bu blok arpıcıların yanısıra hafıza hcrelerinin ađrılık ve biyas deđerlerini saklayan kısmını da i erir. Tmdevre zerinde đrenme zelliđi olmadıđı i in hafıza hcrelerinde saklanan ađrılık ve biyas deđerlerinin gncellenmeleri gerekmemektedir. Tmdevre, nron yapısının programlanabilir aktivasyon unitesi ve giriŐ ıkıŐ esnekliđi sayesinde her trl ađ tipini istenen bađlantı ile gerekleyebilecek yetenektedir. Sadece ileri ynl deđil, geri beslemeli ađlar da sentezlenebilir. Őekil 3.1 ve Őekil 3.3'te blok diyagram olarak sinaps ve nron blokları gsterilmiŐtir. Bu blmde detaylı olarak MOS tmdevre gereklemeleri incelenmektedir. Ayrıca tmdevrenin giriŐ ve ıkıŐ bađlantılarını kontrol eden kontrol hafıza blođu da bu blmde incelenmektedir. Bu blok sayesinde istenen esneklikte ađ gereklenmesi mmkn olmuŐtur.

5.1 Sinaps

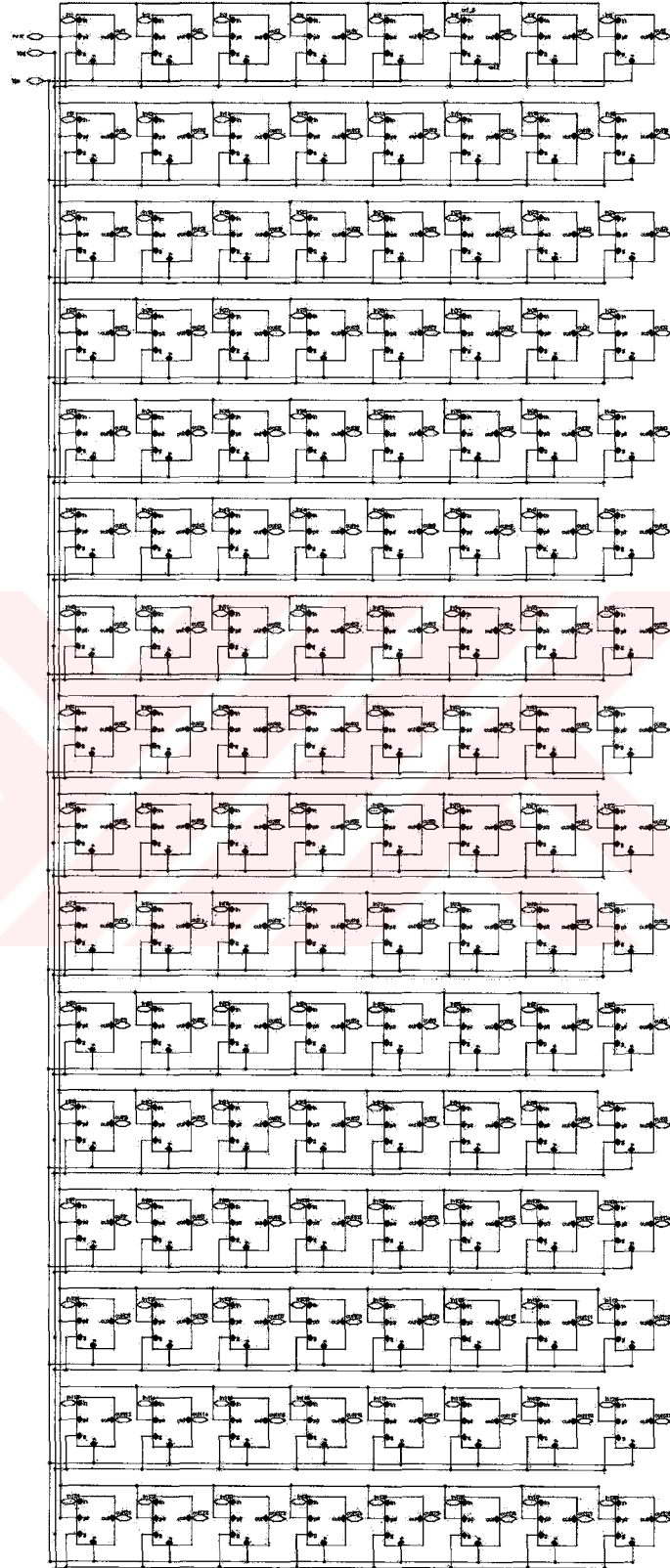
Ađrılık ve biyas deđerlerinin arpıldıđı sinaptik arpıcıların ve bu ađrılık ve biyas deđerlerinin saklı olduđu hafıza blođunun ve arada grev yapan sayısal veri hafızası algı ykselticileri ile sayısaldan analođa dnŐtrclerin oluŐturduđu yapıdır. Temelde, ađrılık hafıza blođu ve sinaptik arpıcı blođu olmak zere iki byk bloktan oluŐur. Algı ykselticileri ve sayısaldan analoga dnŐtrcler hafıza blođu i erisinde yer almaktadır. Őekil 5.1'de gsterilen tm hafıza blođunun i erisinde adres kod zcye bađlı olarak gsterilen altı adet farklı hafıza blođundan, 52 adet sayısaldan analoga dnŐtrc i eren  byk bir kk bloktan oluŐan yapıdır. Sayısaldan analoga dnŐtrcler vasıtasıyla analoga dnŐtrlen ađrılık deđerleri her bir sinaptik arpıcıya, biyas deđerleri ise biyas arpıcısının ardından her bir nrona giriŐ olarak bađlanırlar. Tmdevrenin giriŐ sayısı kadar sinaptik arpıcı blođu mevcuttur. Aynı zamanda her nron i in her arpma blođu farklı bir arpım sonucu verebilmelidir. O halde her bir arpma blođu nron sayısı kadar arpıcı i ermelidir. Yani Őekil 4.26'da gsterilen ađrılık arpıcılarından her blokta drt tane olmalıdır. Dolayısıyla toplam 48 farklı arpma iŐlemi ve 48 byte (384 bit) ađrılık hafızası gerekmektedir.



Şekil 5.1 Tüm hafıza bloğu

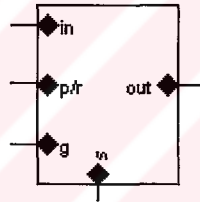
5.1.1 Ağırlık ve Biyas Hafıza Bloğu

Bu blok ağırlık ve biyas değerlerini saklamaktadır. Şekil 5.1'de gösterilen, üçü sağ tarafta

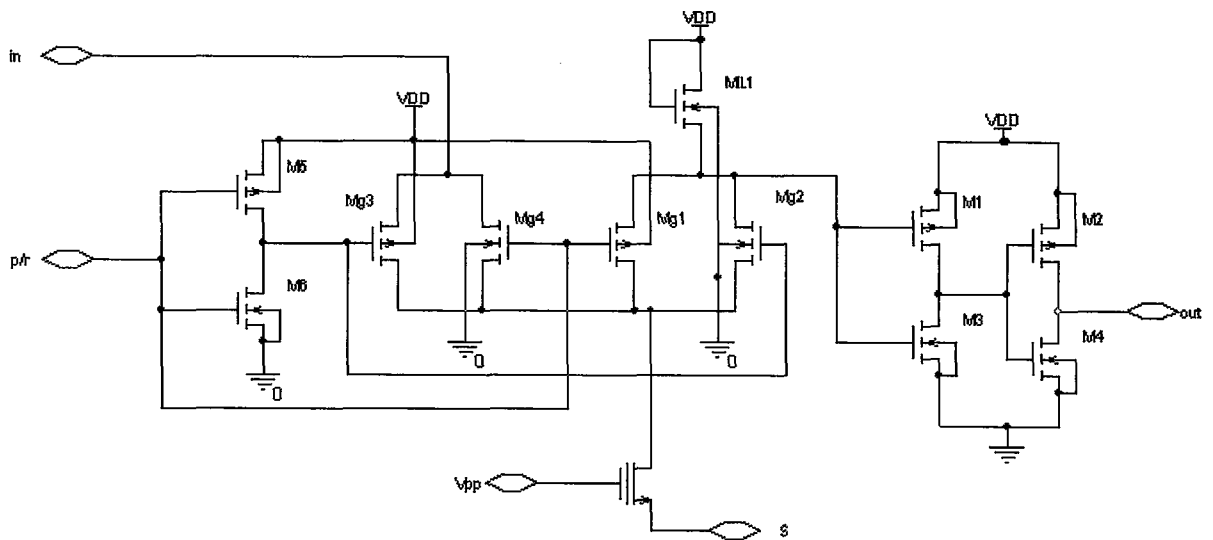


Şekil 5.2 Ağırlık ve biyas hafıza bloğu

görülen 16 adet analog simetrik çıkışa, diğeri ise sol tarafta 4 adet analog simetrik çıkışa sahip, toplam dört bloktan oluşmaktadır. Ortadaki büyük blok ise adres kod çözücüsüdür. Şekil 5.2 ağırlık ve hafıza bloğunun 16 adet 8 bitlik çıkışa sahip olan Şekil 5.1'de sağ tarafta yer alan bir bloğunun iç yapısını hafıza hücre kutuları şeklinde göstermektedir. Bu hücreler EEPROM hücre birimi olan FGMOS transistörler ile sayısal veri hafızalarına bağlı algı yükselticilerinden oluşmaktadır. Şekil 5.3'te, 5.2'deki hafıza hücrelerinin büyütülmüş blok diyagramı, Şekil 5.4'te ise bu bloğun iç yapısı gösterilmektedir. Buradaki hafıza hücreleri sayısal algı yükselticilerinden sayısalan analoga dönüştürücülere oradan da sinaptik çarpıcılara ulaşmaktadır. Şekil 5.1'deki dört yapıda aynı mimariye sahiptir ancak bir tanesi sadece 4x8 bit çıkış veren nöron biyas değerlerinin saklandığı küçük bir bloktur. Her girişin her nörona bir ağırlık değeriyle çarpılarak uygulanması durumunda 12 adet giriş ve 4 adet nöron için toplam 48 sinaptik çarpma ve ağırlık bloğuna ihtiyaç vardır. Adres kod çözücünün mimarisinden ötürü üç adet 16 byte'lık (16x8 bit) bloklar halinde gösterilmiş ve tasarlanmışlardır.



Şekil 5.3 Hafıza hücresinin blok diyagramı

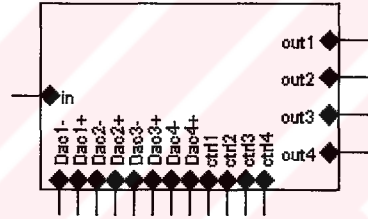


Şekil 5.4 Veri hafıza hücrelerinin iç yapısı

Şekil 5.2’de yer alan her bir hafıza hücresinin blok yapısı Şekil 5.3’te görüldüğü gibidir. Şekil 5.4’te ise Şekil 5.3’teki blok diyagramının transistör düzeyindeki iç yapısı gösterilmiştir. Bütün hafıza hücreleri için V_{pp} , S ve p / r uçları ortaktır, tümdevreye giriş olarak dışardan uygulanmaktadırlar. Programlanma sırasında Şekil 5.3’teki “in” isimli adres kod çözücüsü ile hafıza hücresi arasında bağlı olan uç, yüzen geçite yük transferini kontrol etmektedir.

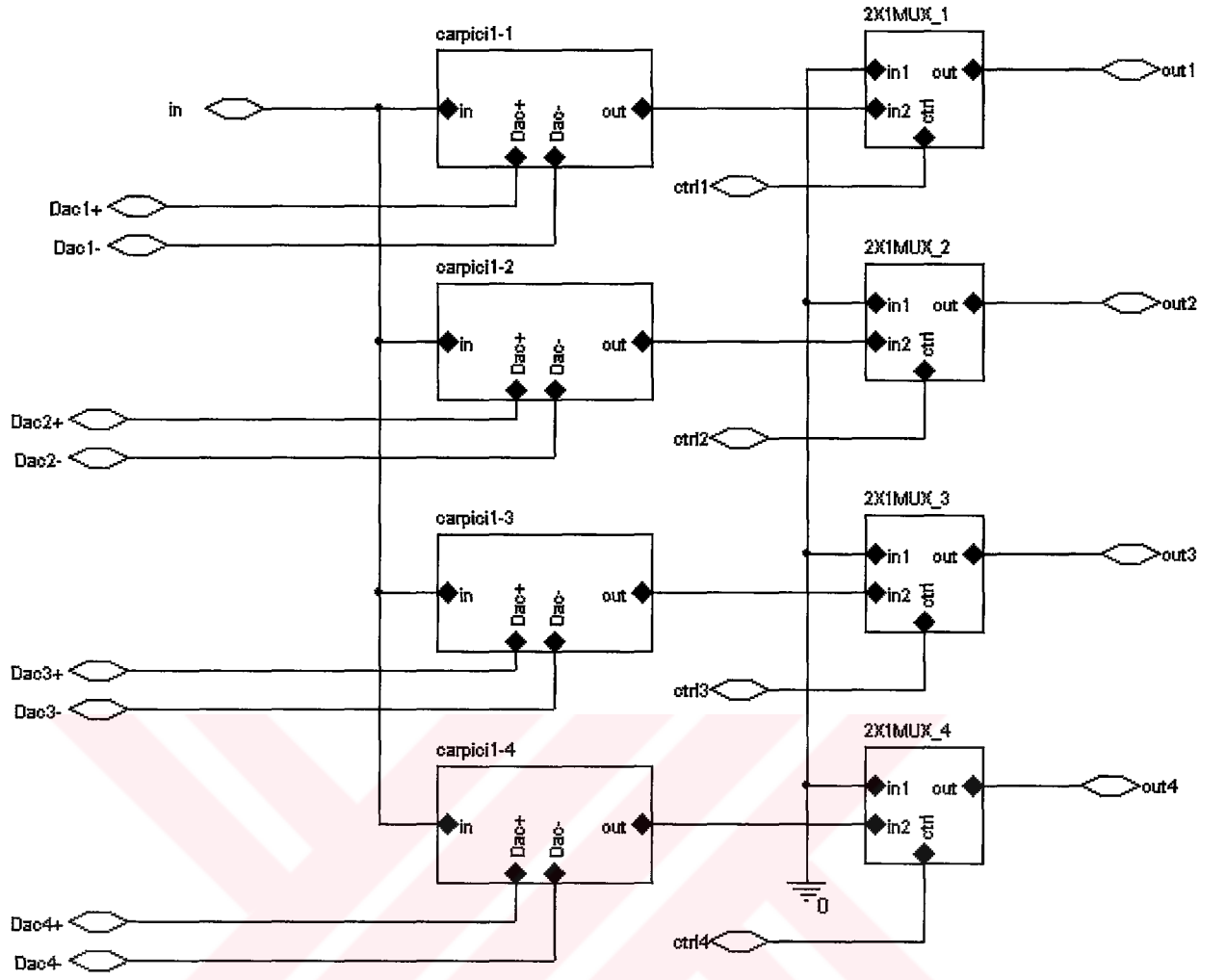
5.1.2 Sinaptik Çarpıcı Bloğu

Şekil 5.5’te blok diyagramı görülen yapı, dört adet çarpıcı ile dört adet çoğullayıcının Şekil 5.6’da görüldüğü gibi bağlanmasıyla elde edilmiştir. Her sinaptik blok her nöron için bir adet olmak üzere toplam dört sinaps içerir. Çarpıcıların herbirinin iç yapısı Şekil 4.26’da, çoğullayıcıların herbirinininki ise Şekil 4.72’de yer almaktadır. Bu çarpıcılar, ağırlıkla çarpma işleminin gerçekleştirildiği yapılardır. Tümdevrede dört adet nöron bulunduğu için, bu nöronlarla olan bağlantıları çoğullayıcılar kontrol etmektedir.

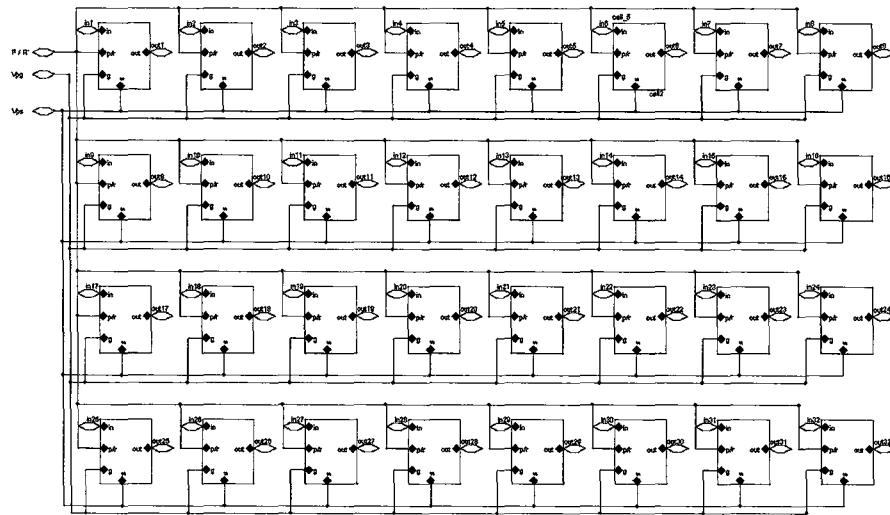


Şekil 5.5 Sinaptik çarpıcı bloğu diyagramı

Şekil 5.5 ve 5.6’da görülen giriş uçları şunlardır: “in” dışardan gelen giriş işareti, “Dac+” hafıza bloğunda bulunan ağırlık verisinin sayısalan analoga dönüştürücüyü takiben aldığı analog değer ile DC ön gerilimleme değerinin toplamı, “Dac-” hafıza bloğunda bulunan ağırlık verisinin sayısalan analoga dönüştürücüyü takiben aldığı analog değer ile DC ön gerilimleme değerinin farkıdır. Kontrol girişleri olan dört adet “ctrl” girişi çoğullayıcıları kontrol ederek çarpım sonucunun herhangi bir nöron için giriş olup olmadığını belirler. “ctrl” girişinin kontrolünü veri hafıza bloğu değil kontrol hafıza bloğu yapar. Toplam dört nörona sahip bir tümdevre olduğu için, dört adet çoğullayıcı her bir nörona bağlı olarak kullanılmıştır. Bu çoğullayıcılar o ağırlık çarpımı çıkışının, istenen bir nörona giriş olmadığı anda toprak gerilimini iletmektedir. Şekil 5.7’de her biri dört sinaps içeren çarpma bloğu için kullanılan ağırlık hafıza bloğu gösterilmiştir. Bu ağırlık değerleri sayısalan analoga dönüştürücülerden sonra sinaptik çarpıcılara giriş olarak uygulanmıştır. Her giriş için bir adet olmak üzere toplam 12 adet sinaptik çarpıcı bloğu vardır.



Şekil 5.6 Sinaptik çarpıcı bloğunun iç yapısının ayrıntılı blok diyagramı

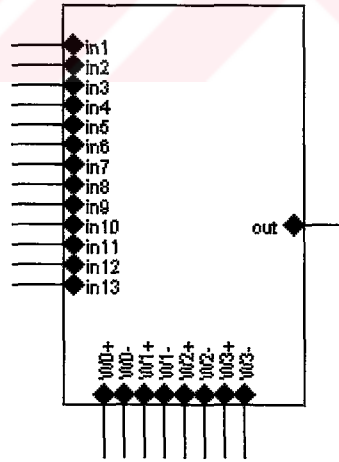


Şekil 5.7 Bir sinaptik çarpıcı bloğu için ağırlık hafızasının blok yapısı

Her bir blokta 4 adet çarpıcı, 4 adette 2x1 çoğullayıcı elemanı olmak üzere toplam 48 adet çarpıcı, 48 adet 2x1 çoğullayıcı mevcuttur. Her bir sinaps için 56, sinaptik blok için 224, 12 adet sinaptik blok için toplam 2888 adet MOS transistör kullanılmıştır. Bu sayıya hafıza bloğundaki FGMOS hücreleri ve algı yükselticileri dahil değildir. Onları da katarsak, 416 tane FGMOS transistör ve 4576 tane algı yükseltici transistörü ekleyerek, toplam 7880 transistör sonucuna ulaşılır. Bu blok için sinaptik blok sayesinde seçilen her giriş her nörona bağlanabilmekte ve bir tane AY tümdevresi için en fazla 11 girişli tek çıkışlı tek nöronlu veya her biri 8 girişe sahip 4 nöronlu 4 çıkışlı bir ağ sentezini mümkün kılmaktadır.

5.2 Nöron

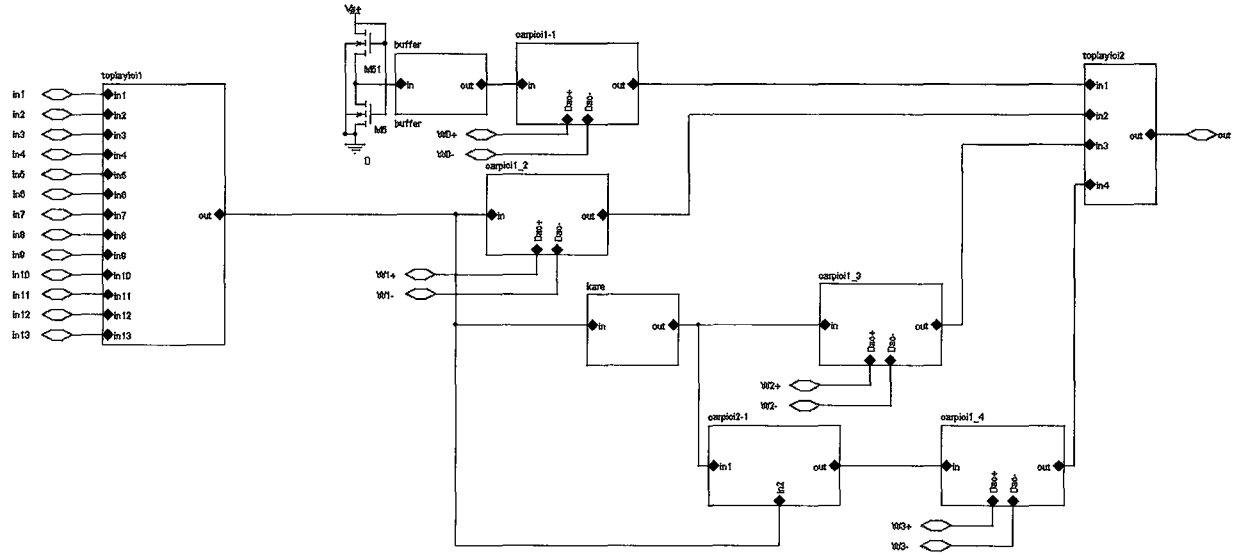
Yapay sinir ağının temel yapı birimi olan nöron sentezi Şekil 3.3'te gösterilen blok diyagrama göre gerçekleştirilmiştir. Şekil 5.8'de tümdevre içindeki blok diyagramı, Şekil 5.9'da ise bu bloğun ayrıntılı blok devre eşdeğeri verilmiştir. Şekil 5.9'da görüldüğü üzere bir nöron, biri 13 diğeri 4 adet girişe sahip 2 toplama bloğu, 5 adet çarpıcı, 1 adet kare alıcı ve 1 adet tampon içermektedir. Bu 13 ve 4 girişli toplayıcıların iç yapıları sırasıyla Şekil 4.13 ve 4.15'te gösterilmiştir. 13 adet girişli toplayıcı, nörona uygulanan 12 adet sinaptik çarpım sonuçları ile hafızada saklanan biyas değerini toplamaktadır.



Şekil 5.8 Nöron blok diyagramı

Nöron temel olarak ağırlık değerleriyle çarpılan girişlerin toplanması ve bu toplamın aktivasyon fonksiyonundan geçirilmesi işlevlerine sahiptir. Bu nedenle 13 girişli toplayıcı bloğunun ardından gelen yapıların tümü programlanabilir aktivasyon fonksiyonu sağlayan

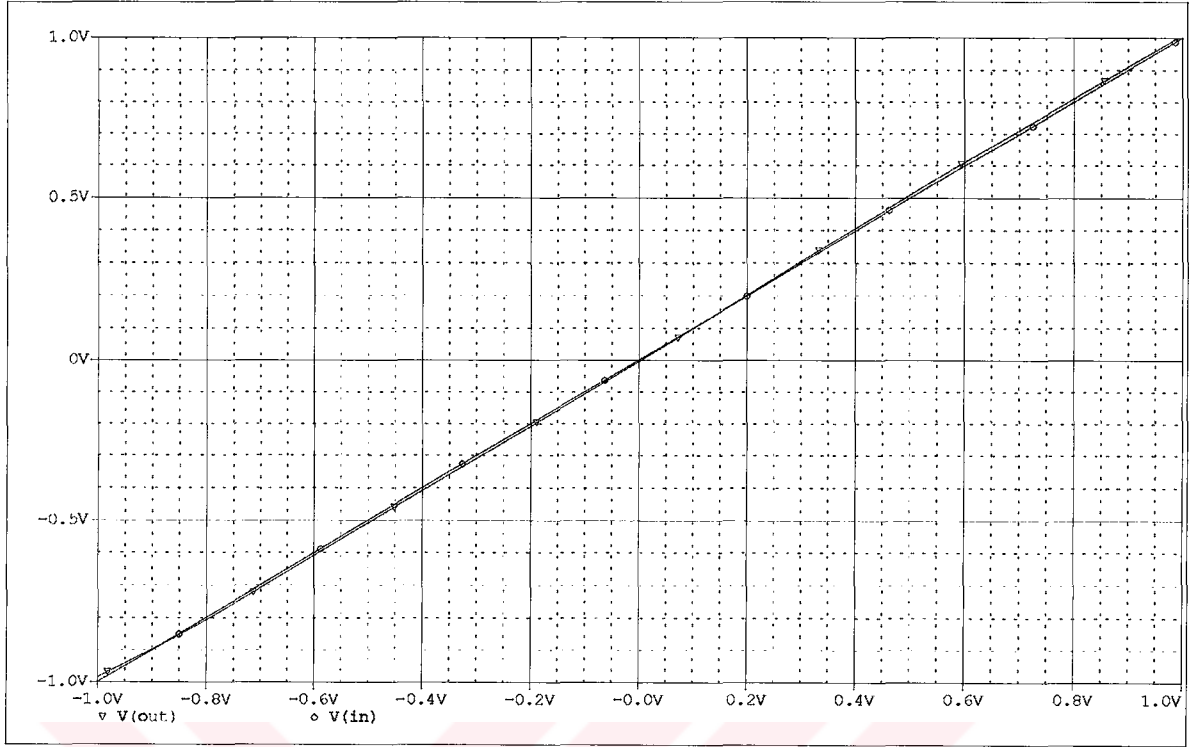
AY ağı topolojisindeki yapılarıdır. AY ağı Şekil 3.3 ve Şekil 3.17’de verilen devre eşdeğerinin Şekil 5.9 da detaylı olarak nöron yapısı içine yerleştirilmesiyle gösterilmiştir.



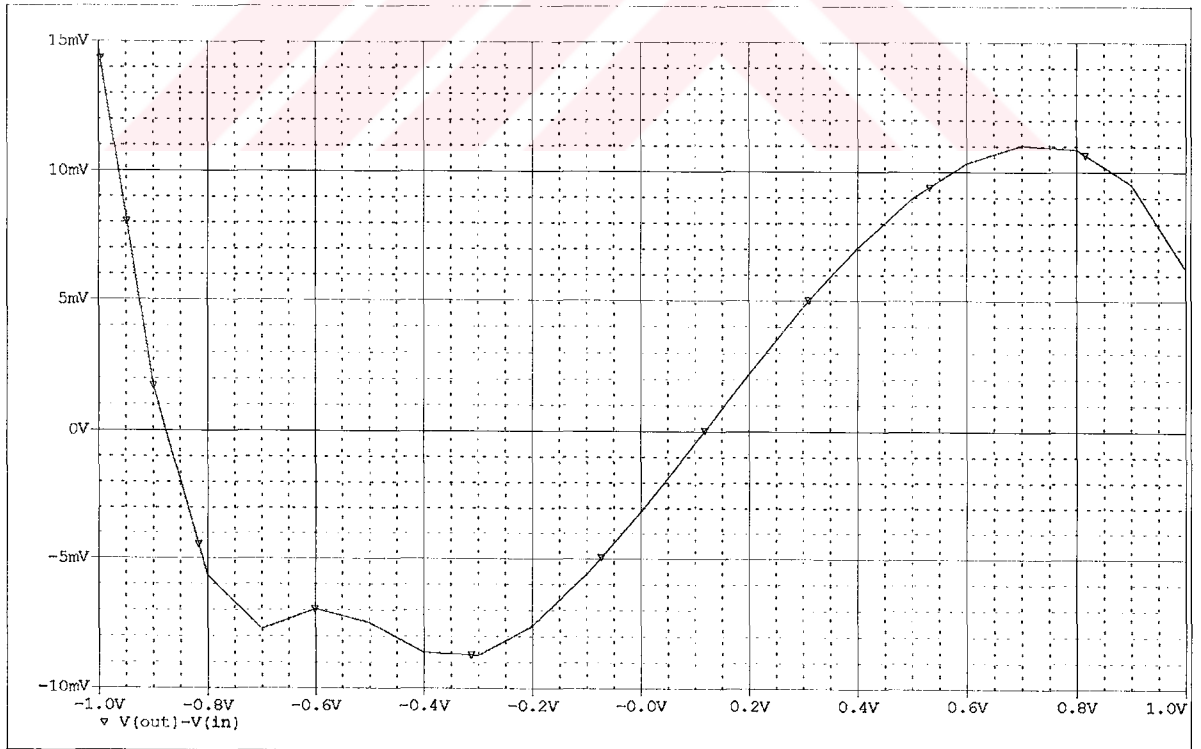
Şekil 5.9 Nöron bloğunun iç yapısı

Şekil 5.9’da verilen temel nöron yapısı kullanılarak Şekil 3.11 ile 3.16 arasında MATLAB yazılımı benzetim sonuçları gösterilen temel aktivasyon fonksiyonları, tümdevrenin bir nöronunun içerisindeki AY ağı ile gerçekleşmiş ve sırasıyla doğrusal (purelin), tanjant hiperbolik sigmoid (tansig), logaritmik sigmoid (logsig) ve radyal tabanlı fonksiyon (radbas) için Şekil 5.10’den 5.21’e kadar olan sonuçlar elde edilmiştir.

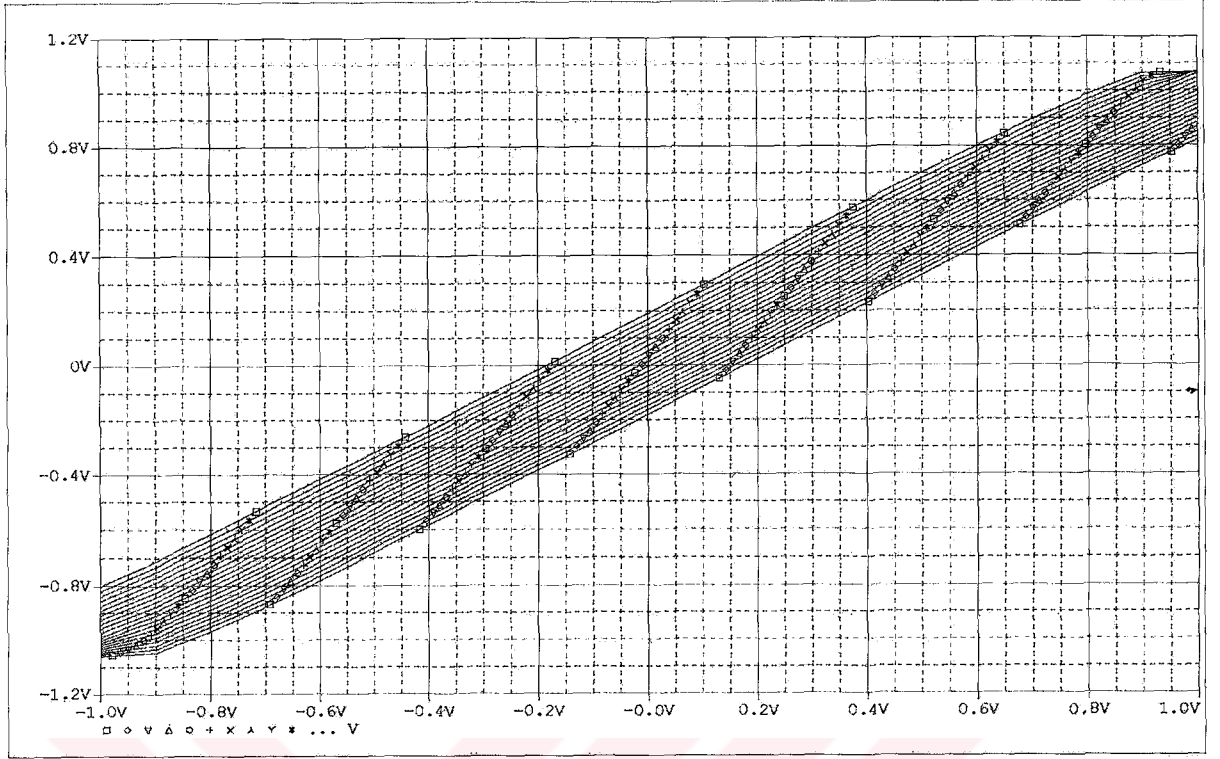
Doğrusal aktivasyon fonksiyonu yapay sinir ağlarının en temel aktivasyonudur. Bu yapıya göre giriş ile çıkış aynı olmalıdır. Şekil 5.10 AY-ağının verdiği çıkış cevabını girişle aynı eksen üzerinde göstermektedir. Şekil 5.11 de ise hata dağılım grafiği görülmektedir. Bu hata dağılım grafiğine göre, hata değerleri 14 mV ile -9 mV gerilim değerleri arasındadır. Bu hata oluşumunun temel nedeni çarpıcı elemanlar ile toplama bloklarının hata dağılımıdır. Çünkü doğrusal fonksiyonda AY-ağının denklem (3.19) da verilen w_1 terimi haricinde, hiçbir terimi işleme girmemekte, w_1 ise 1 değeri alarak girişle çarpım işleminde kullanılmaktadır. Hata dağılımının oldukça küçük değer aralığında olması kabul edilebilir olduğunu göstermektedir. Tümdevrenin tamamen programlanarak bu fonksiyonların giriş ve çıkış uçları arasında deneniş olması, sadece o modülün tek başına denenmesine göre daha sağlıklı bir yaklaşımdır. Çünkü çoğullayıcı ve tekilleyici blokların etkileri de hesaba katılmış olur. Şekil 5.12 parametrik saçılımın neden olduğu kaymaları göstermektedir.



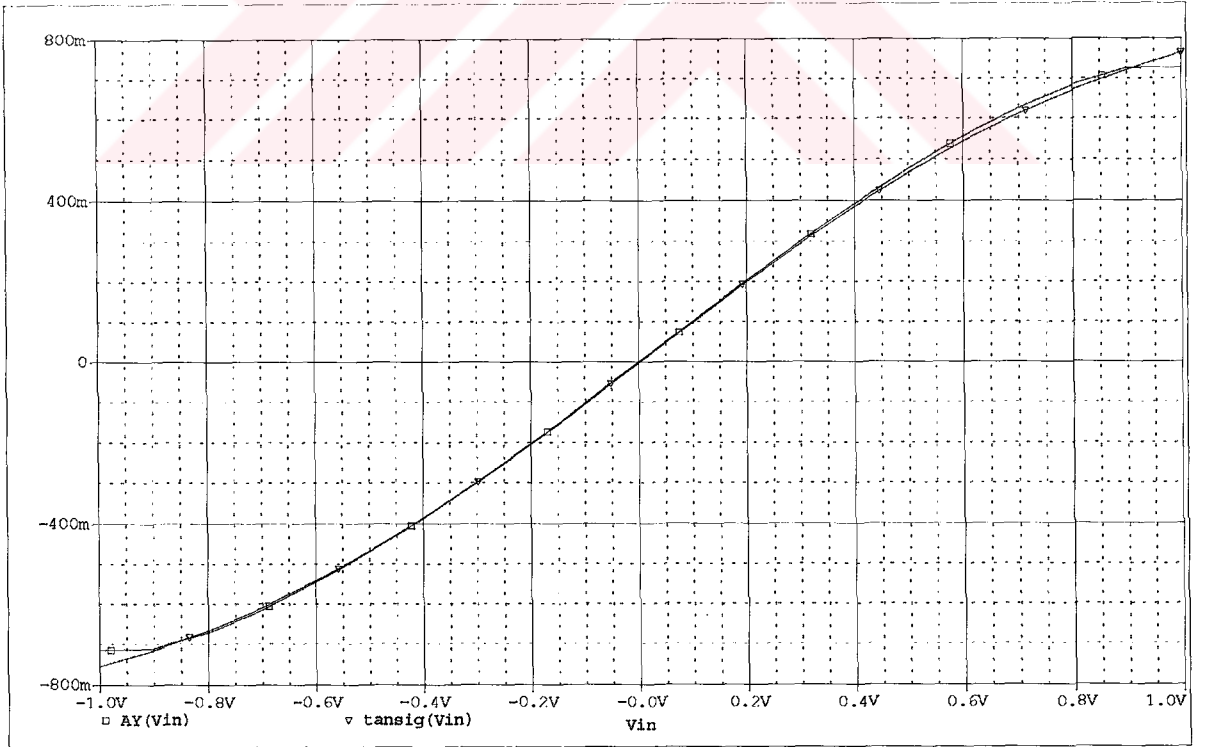
Şekil 5.10 Doğrusal aktivasyon fonksiyonu ve AY ağı yaklaşımının benzetim sonucu



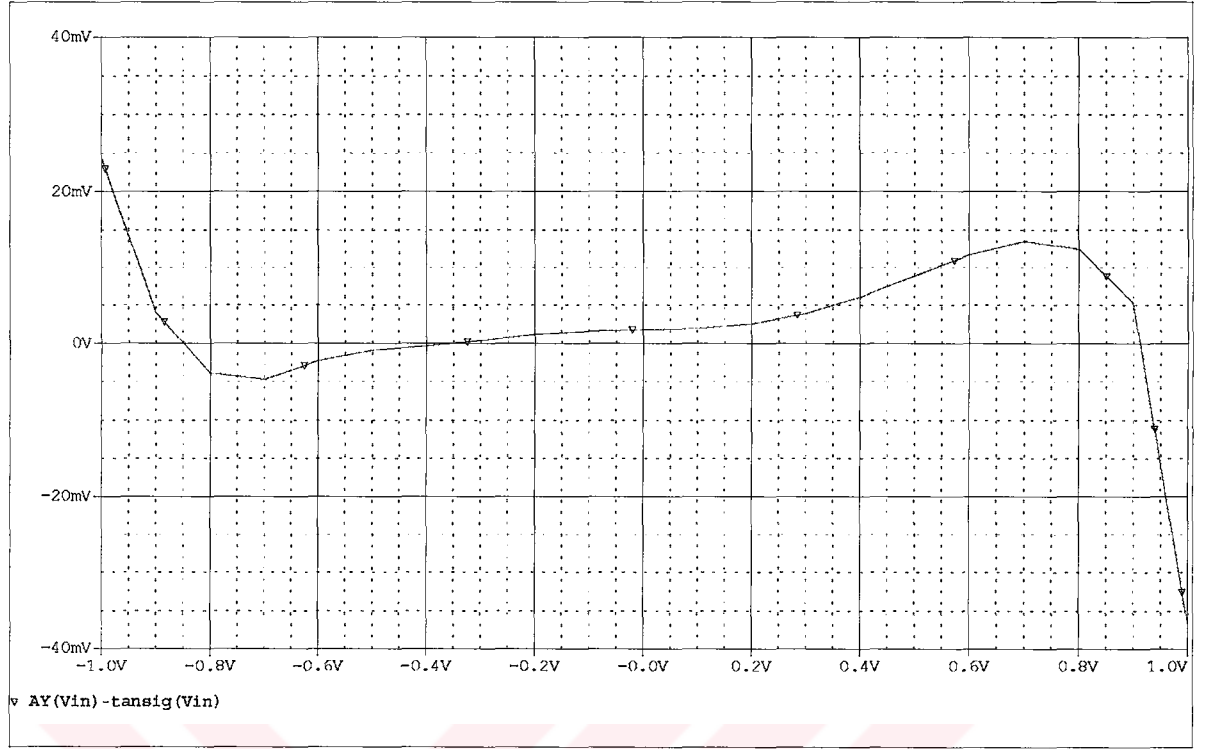
Şekil 5.11 AY ağı doğrusal fonksiyonu yaklaşımının hata dağılım eğrisi



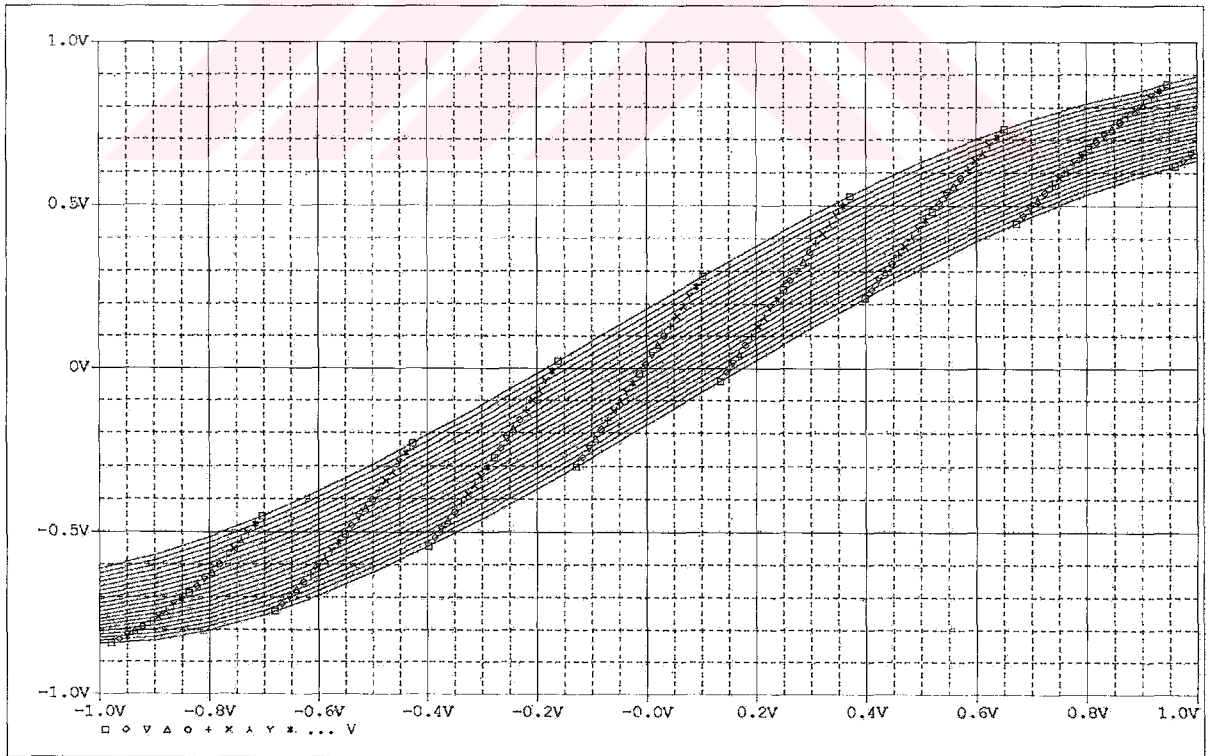
Şekil 5.12 Doğrusal fonksiyon parametrik saçılım analizi



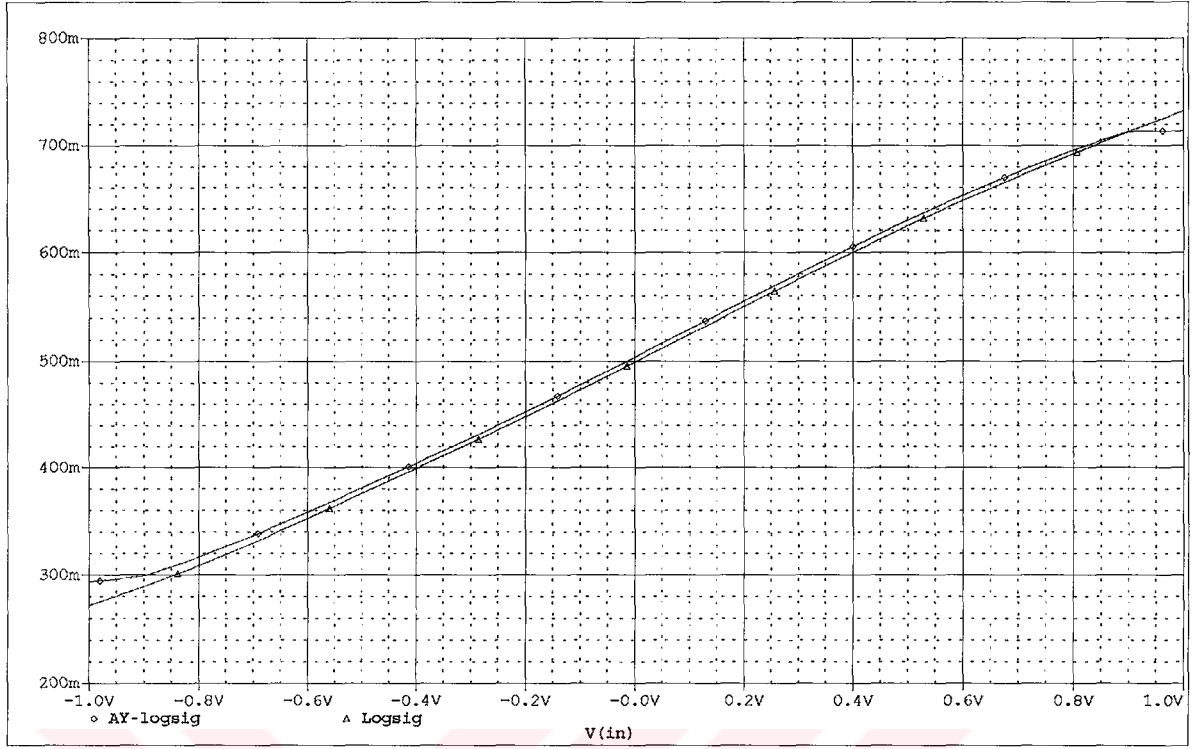
Şekil 5.13 Tanjant hiperbolik sigmoid ve AY ağı yaklaşımının benzetim sonucu



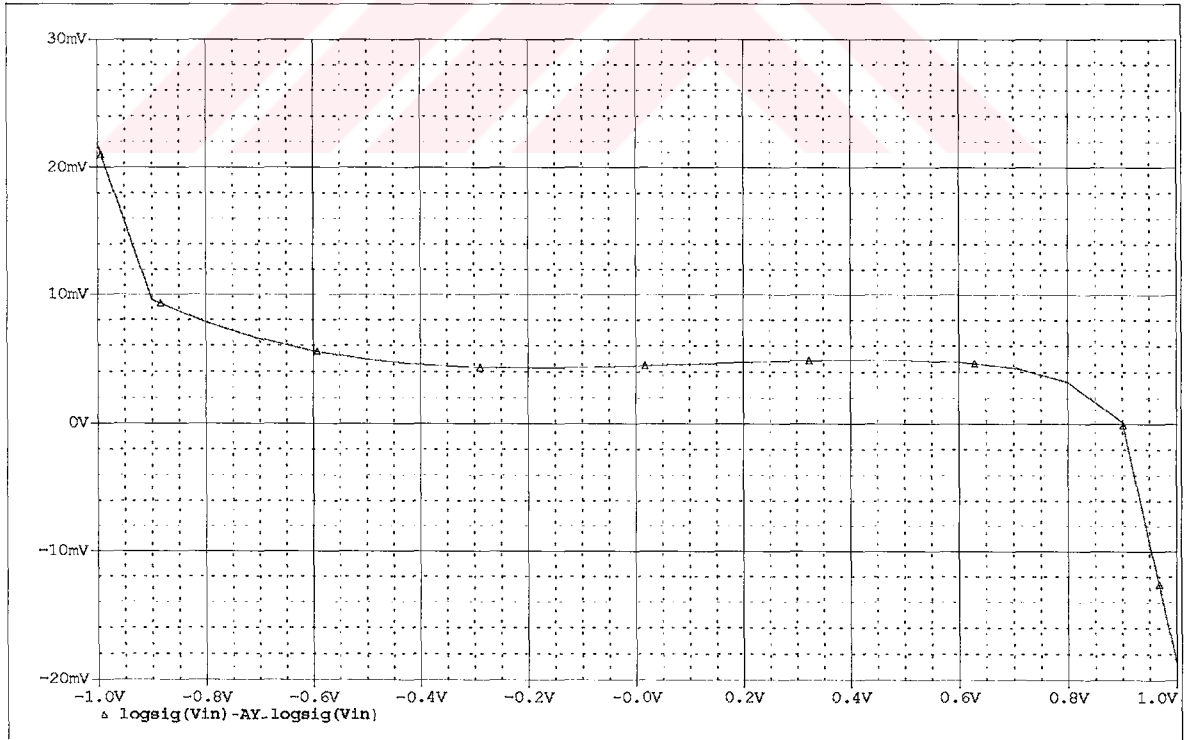
Şekil 5.14 AY ağı tanjant hiperbolik sigmoid fonksiyonu yaklaşımının hata dağılımı



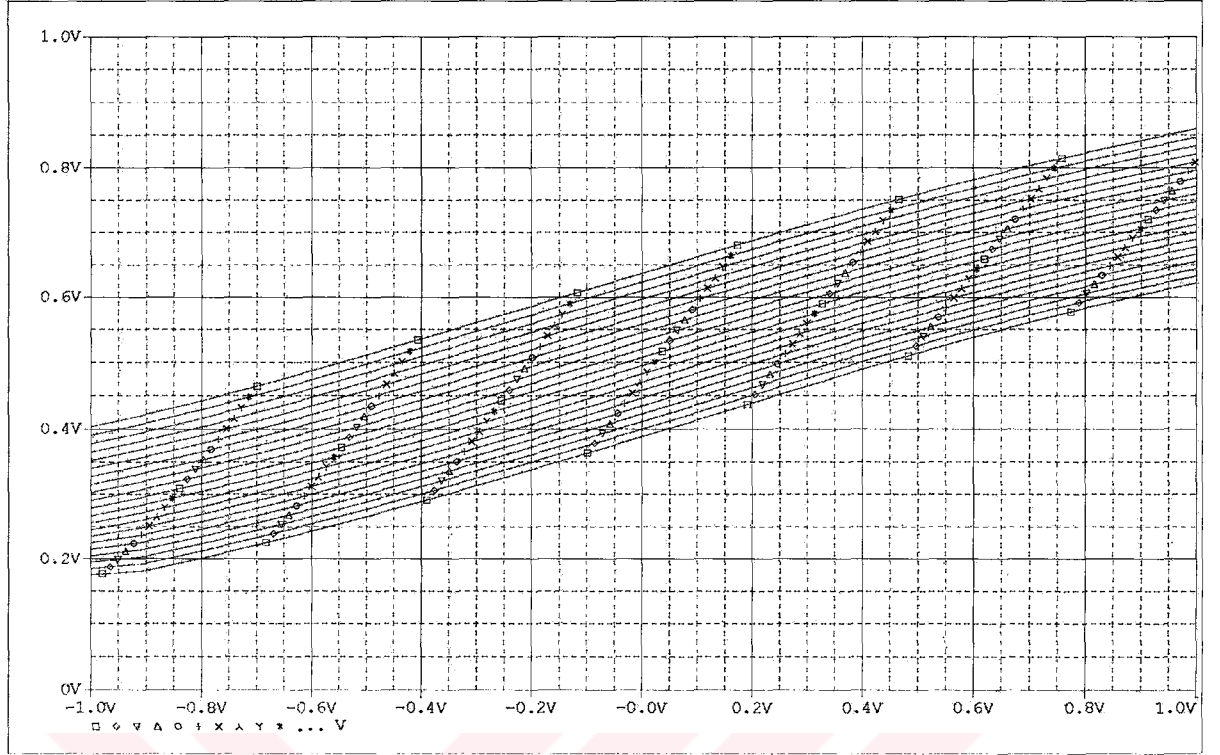
Şekil 5.15 Tanjant hiperbolik sigmoid fonksiyonu için parametrik saçılım analizi



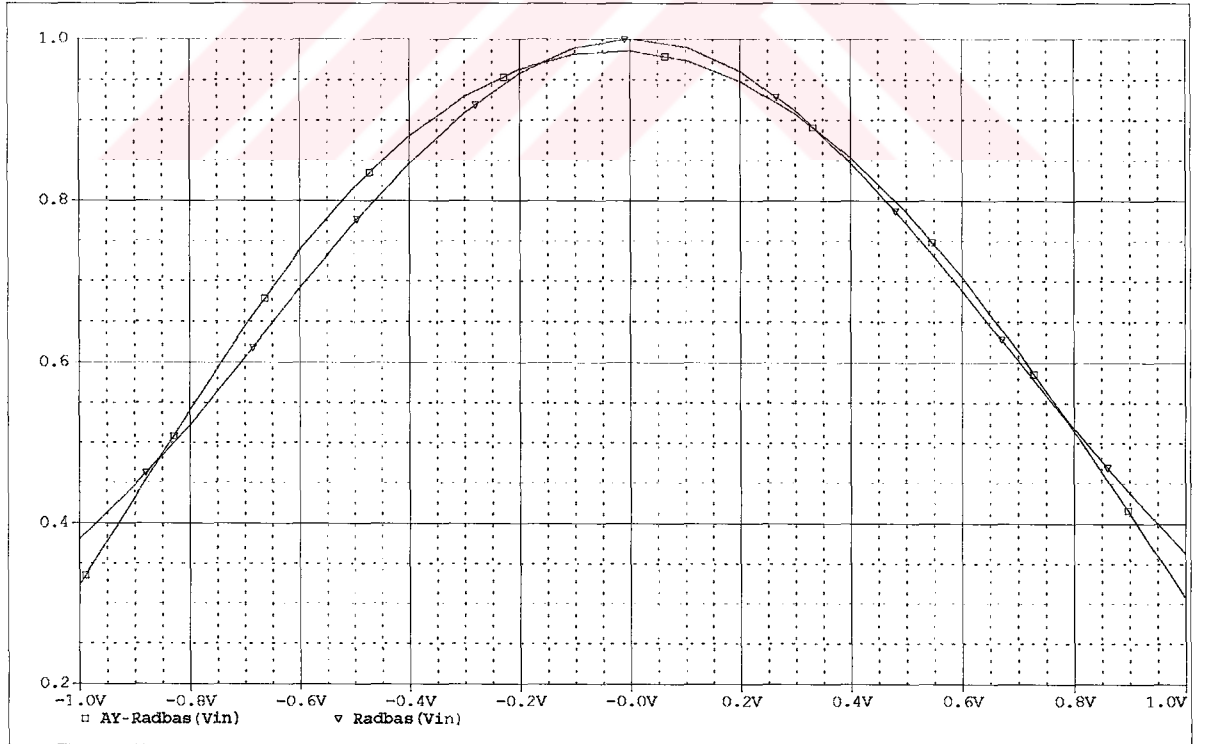
Şekil 5.16 Logaritmik sigmoid fonksiyonu ve AY ağı yaklaşımının benzetim sonucu



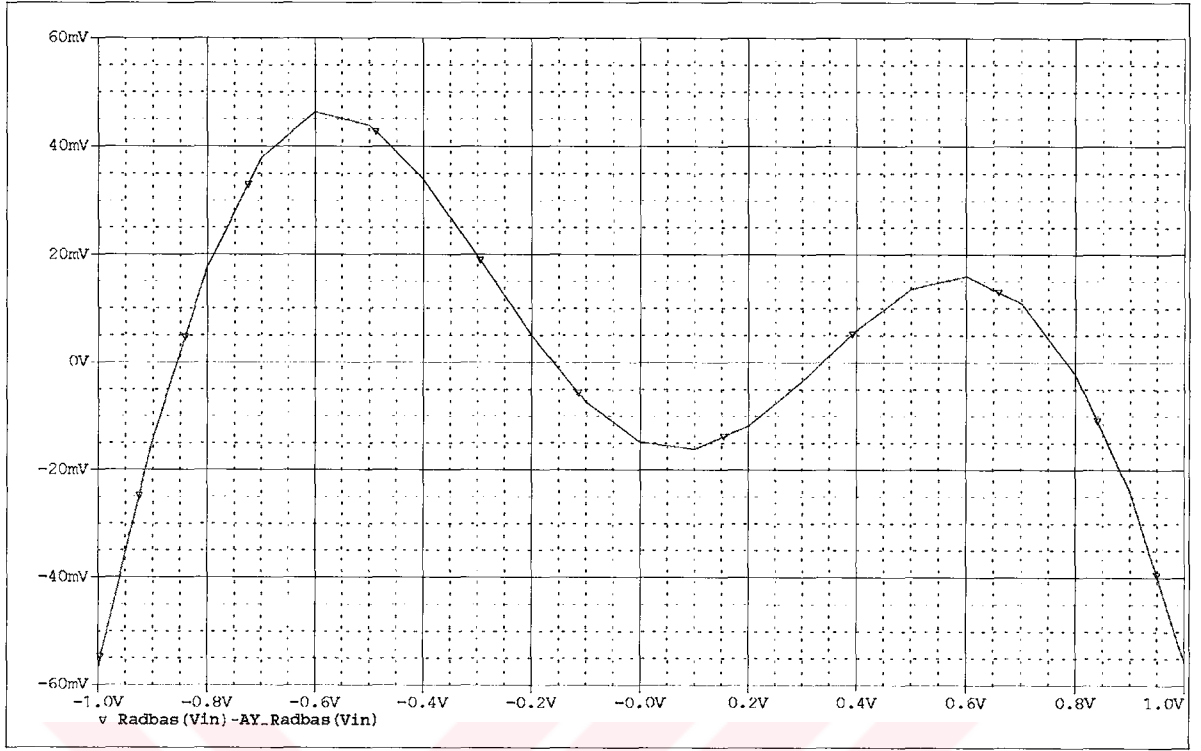
Şekil 5.17 AY ağı logaritmik sigmoid fonksiyonu yaklaşımının hata dağılımı



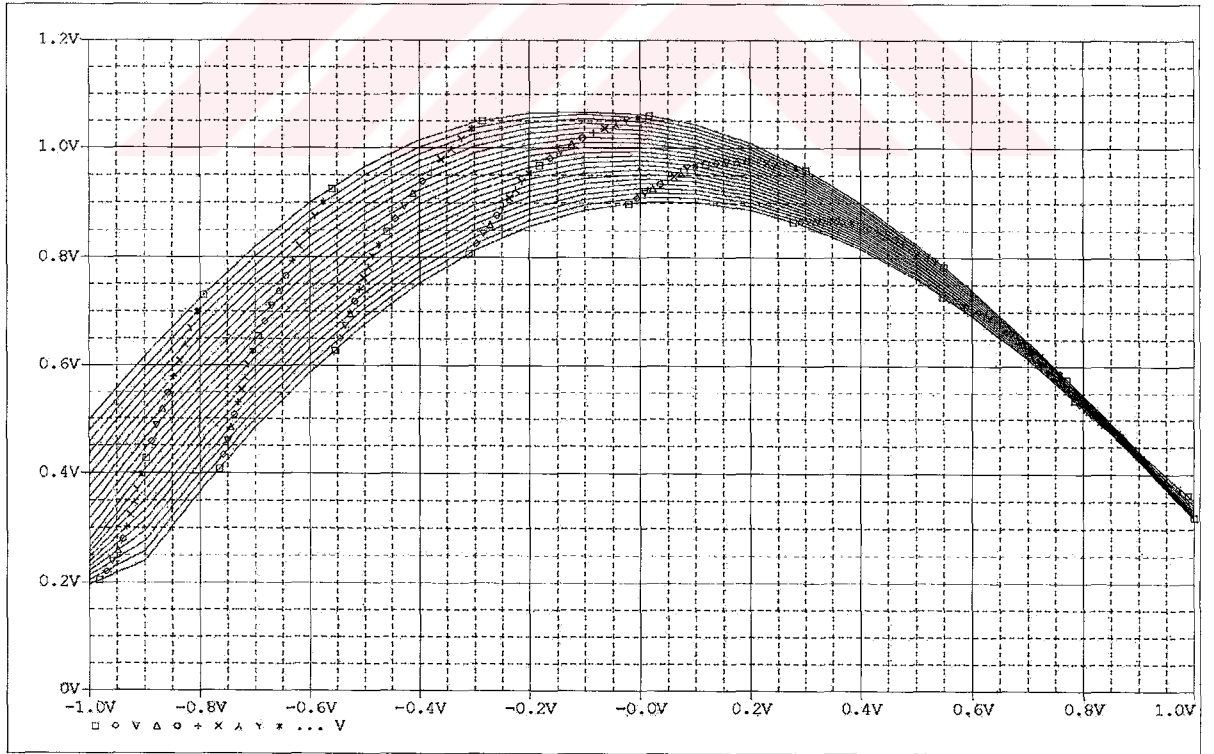
Şekil 5.18 Logaritmik sigmoid fonksiyonu için parametrik saçılım analizi



Şekil 5.19 Radyal tabanlı fonksiyon ve AY ağı yaklaşımının benzetim sonucu



Şekil 5.20 AY ağı radyal tabanlı fonksiyon yaklaşımının hata dağılımı



Şekil 5.21 Radyal tabanlı fonksiyon için parametrik saçılım analizi

Şekil 5.22’de görülen hafıza bloğu, her nöron için kullanılmakta ve her bir byte’ı AY-ağının bir terimini saklamakta, dört adet terim bileşeni için 4x8 bitlik hafızada tüm katsayı değerleri saklanmaktadır. Bu katsayı değerleri de veri algı yükselticilerinin ardından sayısalan analoga dönüştürücüler ile nöronun transfer fonksiyonunu sağlayan AY-ağı biriminin çarpıcı devrelerine girmektedir. Tümdevre toplam 4 nörona sahip olduğu için 16x8 bitlik bir hafıza bloğu tüm nöronların AY ağı bloğuna tahsis edilmektedir. Şekil 5.22’de gösterilen hafıza bloğu diğer tüm sayısal hafıza bloklarında olduğu gibi 8 bit çözünürlüğe sahiptir. Bu blok Şekil 5.1 de yer alan tüm hafıza bloğu içinde sol taraftaki tek 16 adet analog simetrik çıkışa sahip olan yapıdır. AY ağının her nöron için ayrı ayrı programlanabilmesi aynı anda her nöron için farklı transfer fonksiyonlarının kullanımını mümkün kılmaktadır. Bu da donanım gerçekleştirme açısından son derece esnek ağ sentezi ve farklı aktivasyon fonksiyonlarının ağın her nöronu için farklı kullanılması avantajlarını sağlamaktadır. Tümdevrenin giriş, çıkış ve ağ bağlantısı esnekliğinin yanı sıra aktivasyon fonksiyonu tipi esnekliği de bu tümdevreyi literatürde mevcut diğer benzer yapılardan ayırt etmektedir. Tümdevreye ismini veren AY ağı $[-1,1]$ aralığında tanımlı pek çok aktivasyon fonksiyonunu programlanarak sağladığı için bir ağ katmanında karma aktivasyon fonksiyonlarının kullanımı bile mümkün olmaktadır. Hem RBF hem de MLP ağ yapısının aynı anda birlikte bir tümdevre üzerinde sentezi de mümkündür. Böylece lokal ve global minimumları bir anda kullanabilir bir sınıflandırıcı veya fonksiyon yaklaşımcı (Yıldırım ve Marsland, 1997) ağ yapısı da üzerinde sentezlenebilir. Her nöron için hafıza dahil toplam 839, tüm nöronlar için 3356 transistör kullanılmıştır.

5.3 Kontrol Hafıza Bloğu

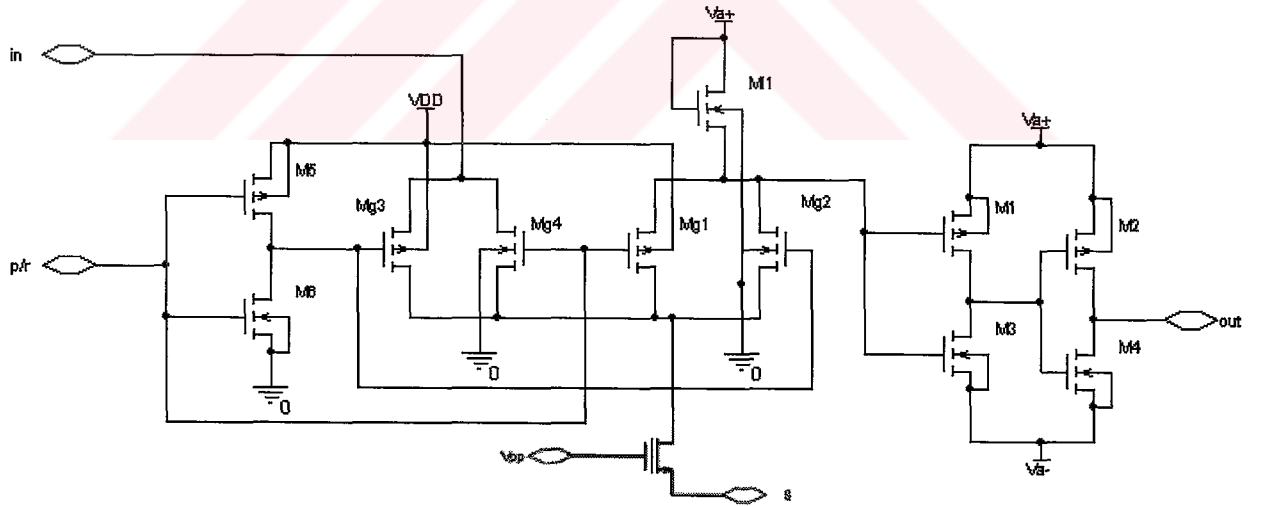
Bu blok tümdevrenin uç ve iç bağlantılarını düzenleyen, ağırlık ve biyas değerleri saklamayan hafıza elemanlarından oluşan yapıdır. Tümdevrenin uçlarının giriş veya çıkış olarak seçilmesi bu uçların hangi nöron veya nöronlara giriş veya çıkış olacağı bu hafıza bloğunda saklanan bilgilere göre yapılmaktadır. Şekil 5.23’te kontrol bloğu görülmektedir. Bu bloğa yardımcı eleman olarak çoğullayıcılar ve tekilleyiciler devre bağlantısını ayarlamaktadır. 8-bit mimaride olması programlanmasını kolaylaştırmak için uygulanmıştır. Aslında her bir hafıza hücresi tek başına veya birkaç bit halinde bir çoğullayıcı veya tekilleyici için kontrol ucu girişi olmaktadır. Bu hafıza bloğunun okunması sırasında analog algı yükselticileri kullanılmıştır. Analog algı yükselticileri sayısal olanlardan farklı olarak +Va ve -Va gerilimleri yani +2.5V ile -2.5V aralığında çalışmaktadır. Böylece geçiş transistörlerinin iletim veya kesimini uygulanan girişler için kontrol etmesi mümkün olmaktadır.



Şekil 5.23 Kontrol bloğu hafızası

Sadece iletim veya kesim bilgisi taşıdıkları için herhangi bir analogdan sayısal dönüşüm işlemi gerekmemektedir. Tümdevre içinde şu kontrolleri yapmaktadır. Birinci bit bağlı olduğu ucun devre bağlantısında kullanılıp kullanılmadığını belirler. Kullanılmaması halinde o uç yüksek empedans konumuna çekilmektedir. Birinci bit lojik '1' değerine sahipse o uç ağ sentezi sırasında kullanılmaktadır. İkinci bit her ucun giriş veya çıkış olmasını belirler. İkinci bit lojik '0' ise o hafızanın kontrol ettiği uç çıkış, lojik '1' ise giriştir. Sonraki 4 bitlik kısım sinaptik çarpıcıların çıkışlarıyla nöronlar arasındaki bağlantıları kontrol eder. 4 nöronun her biri için 2x1 çoğullayıcı kullanılmıştır. Bu 4 bitlik hafıza verileri her bir nöron için çarpıcı sonucunun giriş olup olmadığını belirler. Sonraki 2 bitlik kısım ise 4 adet nöronun her çıkış ucu için bağlantılı olup olmadığını belirler. Bu kontrol hafızası, o uç ikinci bitte çıkış olarak seçilmişse hangi nöronun çıkışı olacağını belirleme işlemi için gereklidir.

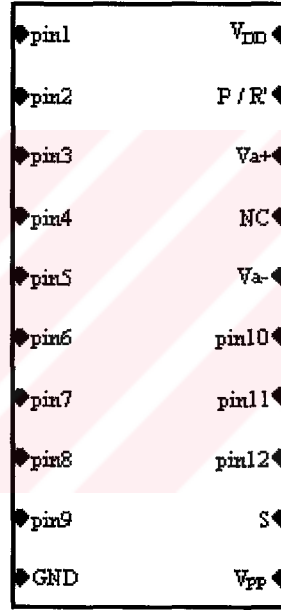
Kontrol bloğu hafıza hücresinin blok diyagramı uç bağlantıları olarak Şekil 5.3 ile aynı olup algı yükselticisi farkı nedeniyle iç yapısı farklıdır. İç yapısı Şekil 5.24'te görülmektedir. Kontrol hafızası için toplam 12 byte (12x8 bit) bellek kullanılmış olup, FGMOS hafıza hücreleri de dahil olmak üzere tüm kontrol hafızası 1152 adet MOS transistörle tasarlanmıştır.



Şekil 5.24 Kontrol hafıza hücresi iç yapısı

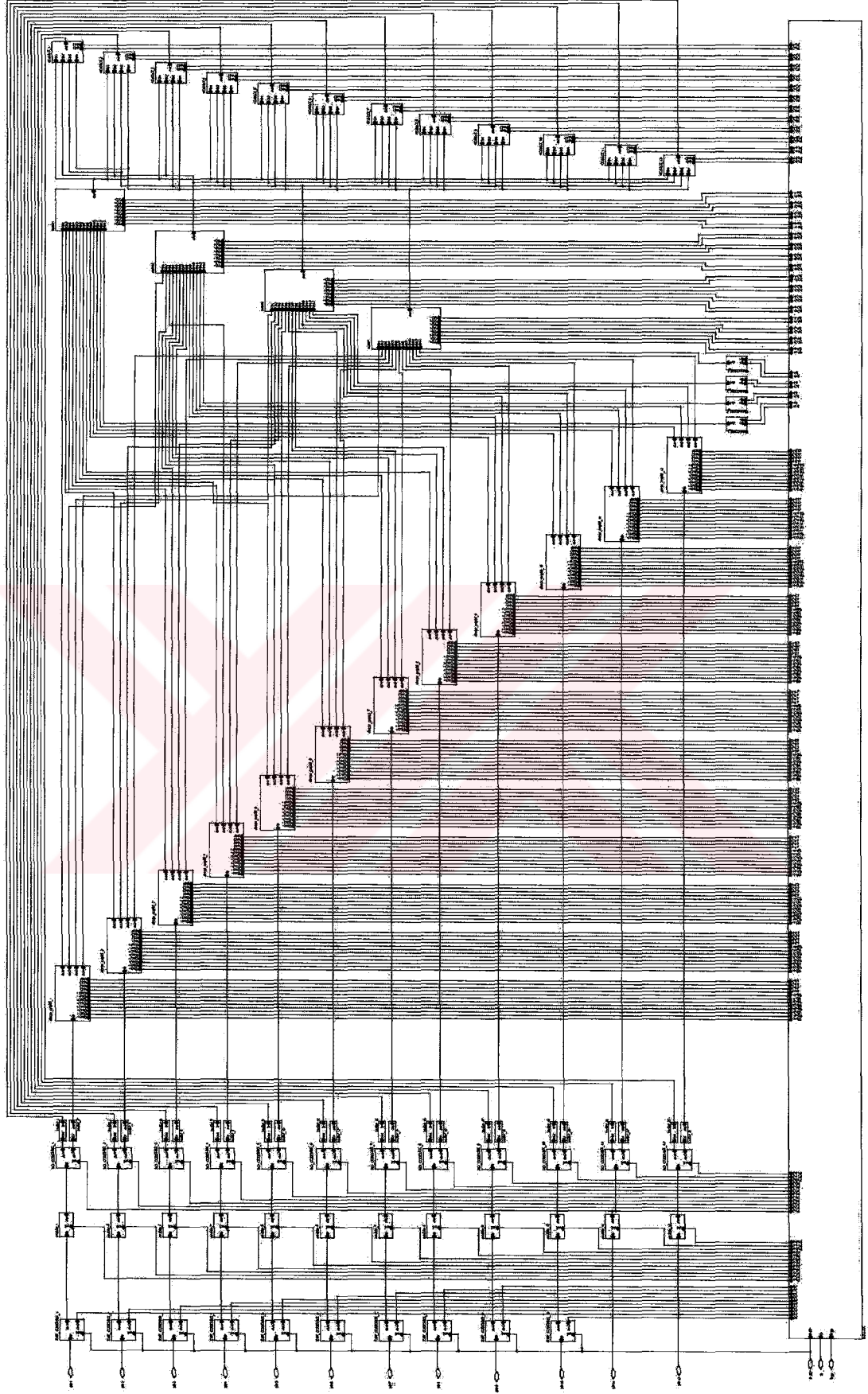
6. AY-TÜMDEVRESİNİN SENTEZİ VE ÇALIŞMA DURUMLARI

AY tümdevresi programlanma ve çalışma durumları olmak üzere iki işlem durumuna sahiptir. Şekil 6.1 de blok diyagramı ve bağlantı uçları gösterilmiştir. Oniki adet giriş/çıkış ucunun her biri şekilde “pin” olarak isimlendirilip numaralandırılarak gösterilmiştir. V_{DD} ucu 5V’luk, V_{a+} ve V_{a-} uçları ise sırasıyla +2.5V ve -2.5V’luk besleme girişlerini göstermektedir. Bağlantısı olmayan fakat standart paketleme gereği gösterilen NC ucu, programlama sırasında +12V gerilim uygulanarak tünelleme gerçekleştirilen V_{PP} ucu, hafıza transistorlerinin silinmesi sırasında ters gerilim uygulanan çalışma durumunda ise toprağa bağlanan S transistörler için ortak kaynak ucu ve programlanma ile çalışma durumu arasında kontrolü sağlayan P / R’ ucu tümdevrenin kontrolünü üstlenen bağlantı uçlarıdır.



Şekil 6.1 AY Tümdevresi blok diyagramı

Tümdevre üzerinde tek veya çok katmanlı ağ sentezlenebilmektedir. Her bir tümdevre programlanarak On bir girişe bir çıkışa sahip maksimum girişli tek nöron veya her biri sekiz girişe tek çıkışa sahip dört nöron gerçekleyebilir. Tümdevrenin iç yapısı Şekil 6.2 de görülmektedir. Yatay olarak gösterilen tümdevrenin iç yapısının bağlantı diyagramında karmaşıklığı önlemek için besleme girişleri gösterilmemiştir. En altta yer alan en büyük blok hafıza bloğudur. İlk on adet uç programlama durumunda adresleme için, çalışma durumunda ise giriş/çıkış ucu olarak kullanılmaktadır.



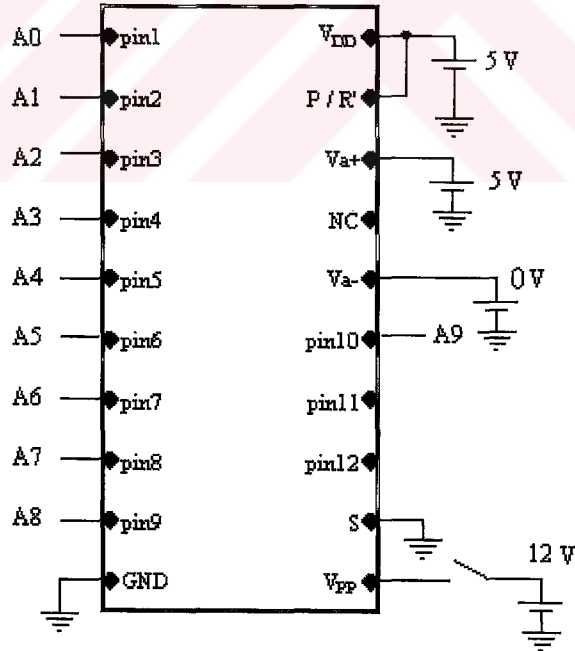
Şekil 6.2 AY Tümdcvresinin iç yapısı

P / R' ucu (iç bloklarda p / r olarak gösterilmiştir) bu ilk on ucun bağlı olduğu 1x2 tekilleyici elemanın kontrolünü yapmaktadır. Daha sonra eğer çalışma durumunda ise ilgili ucu yüksek empedans veya iletim konumuna getiren kontrol hafıza bloğu tarafından kontrol edilen "enable" isimli 2x1 çoğullayıcı yapısında izin verme bloğu yer almaktadır. Bu blok da yine kontrol hafızasının verilerine göre çalışır. Ardından yine kontrol hafıza bloğu kontrolünde o ucun giriş veya çıkış olmasını belirleyen 1x2 tekilleyici elemanı yer almaktadır. Hem giriş hem de çıkış için birer tampon elemanı kullanılmıştır. Amaç, ucun giriş olması halinde akım çekmeyerek tümdevrenin sınırsızca kaskatlanması ve çıkış olma durumunda ise belli yük değerleri için yeterince akım sürebilmesidir. Sinaptik çarpıcı bloğunun her biri ağırlık değerlerini hafıza bloğundan sayısalan analoğa dönüştürücülerle alan on iki adet analog çarpıcıya sahiptir. Her çarpıcı çıkışında o ucun nörona girip girmeyeceğini belirleyen ve yine hafıza bloğu tarafından kontrol edilen 2x1 çoğullayıcı elemanı mevcuttur. Bu elemanın giriş uçlarından biri çarpıcı çıkışına diğeri ise toprağa bağlıdır. Eğer o uç bağlı olunan nörona giriş değilse lojik sıfır değeri seçilmektedir. Bu sayede nörona giriş sırasında çarpıcıda oluşacak sıfırla çarpma hatası da elimine edilmiş olmaktadır. Sinaptik çarpıcı çıkışları her bir nörona giriş olmakta, veri hafıza bloğunda saklanan biyas değerleri ile nöron içerisinde toplanmaktadır. Aktivasyon fonksiyonunun gerçekleşmesinin ardından nöron çıkışları 4x1 çoğullayıcılar ile her uç için giriş/çıkış olma durumunu seçen 1x2 tekilleyiciye bağlanmaktadır. Bu 4x1 çoğullayıcıların her biri o nöronun hangi uç için çıkış olacağını belirlemektedir. Yine bu çoğullayıcıların iletim yönü önceden programlanmış hafıza bloğunda gösterilen bağlantı bilgilerine göre konumlanmaktadır. Tümdevre bu şekli ile toplam 24912 adet transistör içermektedir. Bu transistörlerin 600 adedi hafıza bloğuna ait FGMOS transistörlerdir. 15156 transistör, bütün hafıza yapısını FGMOS'larda dahil oluşturmaktadır. 4624 transistör toplam 68 adet sayısalan analoga dönüştürücü için, 2888 transistör toplam 48 adet sinaps için, 1820 transistör 4 adet nöron için, 192 transistör 4x1 çoğullayıcı için, 268 transistör 4 adet biyas çarpıcı için, 360 transistör 24 adet tampon için, toplam 204 transistör izin verme, 2x1 ve 1x2 çoğullayıcı ve tekilleyici bloklar da kullanılmıştır.

6.1 Programlanma Modu

Tasarlanan tümdevre çalışma anında öğrenme özelliğine sahip olmadığı için, üzerinde gerçekleştirilecek ağırlık ve biyas değerleri ile tümdevre üzerinde sentezlenecek ağırlık topolojisi ve aktivasyon fonksiyonunun da programlanarak belirlenmesi gereklidir. Hafıza hücrelerinin hepsi Şekil 4.58'de gösterilen FGMOS serimi yapısındadır. Sadece kontrol hafıza hücrelerinin algı yükselticileri ile diğer veri hafıza hücrelerinin algı yükselticileri farklı

yapıdadır ancak programlanmaları arasında herhangi bir fark yoktur. Tüm hafıza hücrelerinin programlanması sıcak yük taşıyıcılarının enjektörü ile olmaktadır (Sharma, 2003). Bu işlem için transistörlerin geçitlerine bağlı olan tümdevrenin V_{pp} ucuna 12V luk gerilim kaynağı, kaynak ucuna toprak, savak ucuna ise 5V luk gerilim uygulanmaktadır. 5V luk gerilimin hangi transistörün savak ucuna uygulanacağını, adres kod çözücü belirlemektedir. Adres kod çözücünün seçtiği uç hariç diğer uçların savak ucuna toprak uygulanmaktadır. Böylece herhangi bir yük iletimi olmadığı için seçili olmayan transistörlerin yüzen geçitlerinin yüklenmeleri veya yüklerini boşaltmaları söz konusu olmamaktadır. Şekil 4.61’de programlanma modunun gerçekleştirilmesi için gerekli bağlantılar ve yük iletimi gösterilmiştir. Programlanma durumu kadar önemli olan silinme işlemi ise Şekil 4.62’de gösterilmiştir. Bu şekle göre bütün hafıza hücrelerinin aynı anda silindiği görülmektedir. Bu silme işlemi ise Fowler-Nordheim tünelleme mekanizması ile oluşmaktadır (Sharma, 2003). Silme işlemi için FGMOS transistörlerin kaynak uçlarına, 12V luk gerilim kaynağı bağlanmaktadır. Geçit uçları (V_{pp}) toprağa bağlıdır. Savak ucu ise herhangi bir bağlantı olmaksızın yüzer halde durmaktadır. Belli bir süre sonra yüzen geçitteki yükler kaynak üzerinden boşalacaktır.

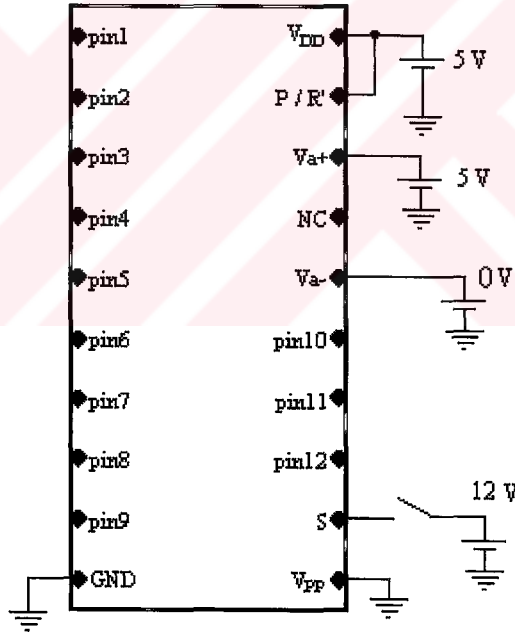


Şekil 6.3 Tümdevrenin programlanma durumu bağlantısı

Şekil 6.3 ve 6.4’te ise tümdevrenin blok diyagramının programlanma ve silinme modları için uç bağlantıları gösterilmiştir. Programlama moduna geçmek için 5V bağlanan P/R’ ucu

tümdevrenin ilk on adet giriş/çıkış ucunun adres kod çözücüyü kontrol etmesini sağlamaktadır. Analog çalışma gerilimleri V_{a+} ve V_{a-} de programlama durumunda sırasıyla +5V ve 0V (toprak) gerilimlerine bağlanmaktadır. Herhangi bir hücrenin programlanması onun eşik gerilim değerini yükselttiği için okunması sırasında yük tutmuş yada programlanmış hafıza hücresi lojik '1', programlanmamış olan ise lojik '0' değerine sahiptir.

Programlama sırasında V_{pp} ucuna yani geçitlere uygulanacak olan 12V gerilim 0V düzeyinde tutulmaktadır. Adresleme işlemi tamamlandıktan sonra V_{pp} ucuna 12 V luk gerilim belirli bir süre boyunca uygulanmaktadır. Daha sonra V_{pp} gerilimi tekrar 0V düzeyine indirilip bir sonraki adresi seçme işlemi yapılmaktadır. Programlanarak eşik gerilimi yükseltmek istenmeyen FGMOS transistörler herhangi bir işleme tabi tutulmamaktadırlar. O transistörler silme işlemi sonrasında eğer daha önce programlanmış iseler yüzen geçitte sakladıkları yükleri boşaltmış durumdadırlar. Bu FGMOS transistörler tümdevrenin çalışma durumunda düşük eşik gerilimlerinden ötürü iletimde olup lojik '0' değerine sahip olacaktırlar.

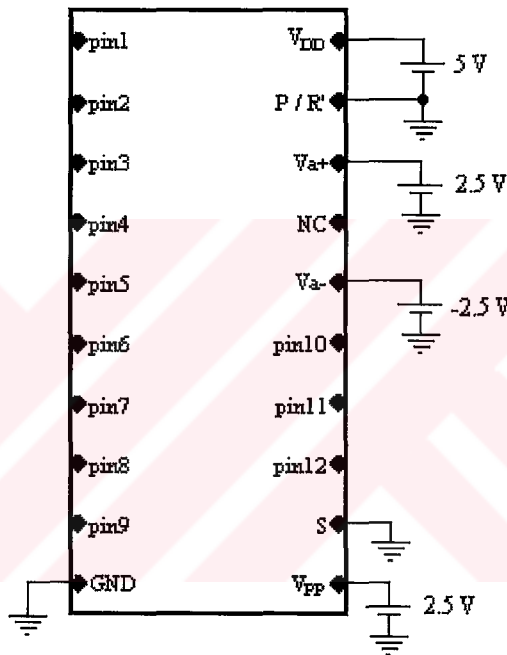


Şekil 6.4 Tümdevrenin silinme durumu bağlantısı

Programlamanın tam tersine silme konumunda ise bütün hafıza hücreleri aynı anda silinmektedir. Adreslemeli bir silme modu tasarlanmamıştır. Her programlama öncesi silme işlemi yapılmalıdır.

6.2 Çalışma Modu

Bu konum tümdevrenin herhangi bir uç giriş/çıkış konfigürasyonuna göre, herhangi bir ağı sentezleyecek halde ve istenen ağırlık ve biyas değerlerine programlanmasının ardından uygun şekilde gerilimlenerek devreye bağlanması durumudur. İlk şartı besleme gerilimlerinin uygun şekilde ve P / R' ucunun ise 0V gerilime bağlanmasıdır. Şekil 6.5 çalışma durumu için gerekli temel bağlantıları göstermektedir. Şekilde de gösterildiği gibi besleme gerilimleri olan Vdd, Va+ ve Va-ye sırasıyla +5V, +2.5V, -2.5V gerilim değerleri bağlanmalıdır. Programlanma sırasında yüksek gerilimlenen Vpp ucu çalışma durumunda +2.5V gerilimle beslenmektedir.



Şekil 6.5 Tümdevrenin çalışma durumu bağlantıları

S ucuna toprak bağlanmaktadır. P / R' ucunun 0V seçimi tüm transistörlerin savak ucuna kontrol veya ağırlık ve biyas hücresi olma durumuna göre sırasıyla +5 ve +2.5V gerilim değerlerini bağlamaktadır. Bu nedenle tüm hafıza çalışma modunda aktiftir. Programlanmaları sırasında yükselen eşik gerilim değerleri algı yükselticilerinin belli bir tolerans ile saklanan yüke göre çıkış vermelerini sağlayacaktır. Kontrol hafızası için tasarlanan algı yükselticileri +2.5V, -2.5V gerilim çıkışlarını verirken, sayısal hafıza bloğu olarak kullanılan hücrelerin algı yükselticileri 0V ve 5V gerilim değerleri verecektir. Devrede bütün işaret işleme adımlarının analog olarak gerçekleştirilmesi yüksek hızda paralel olarak çalışmayı mümkün kılmaktadır.

7. AY-TÜMDEVRESİNİN NÖRON AĞI UYGULAMALARI

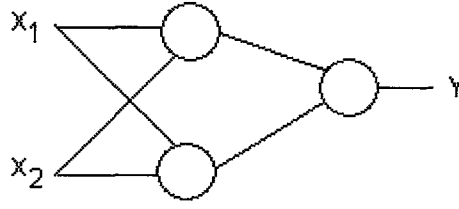
Tasarlanan AY tümdevresinin çalışmasının etkinliği var olan yapay sinir ağı veri kümeleri ile test edilmiştir. Klasik ve yaygın XOR problemi ve yine popüler veri kümelerinden biri olan iris bitkisi sınıflaması uygulamaları tümdevrenin testi sırasında kullanılmıştır. Tüm veri kümeleriyle eğitime işlemleri MATLAB ortamında yapılmıştır. Elde edilen ağırlık ve biyas değerleri normalize edilip benzetim ortamındaki tümdevreye programlanmış, eğitime ve test veri değerleri normalize edilip giriş gerilimleri olarak tümdevreye uygulanmıştır. Tümdevrenin verdiği çıkışların bilgisayar ortamında sentezlenen aynı ağırlık ve biyas değerine sahip ağına verdiği çıkışlara yakınlığı ile tümdevrenin başarısı test edilmiştir.

7.1 Özel Veya (XOR) Problemi

Yapay sinir ağlarının test edildiği doğrusal olmayan en klasik uygulamadır. Çok katmanlı perseptron (MLP) ağının bu problemi hatasız olarak gerçekleştirmesi için sigmoid aktivasyon fonksiyonlarına ihtiyacı vardır. Çizelge 7.1 XOR probleminin giriş ve çıkış verilerini ve ağ eğitiminde kullanılan giriş ve çıkış verilerini göstermektedir. Şekil 7.1 ise bu problemi çözmek için kullanılan MLP ağ yapısını göstermektedir. Denklem (7.1) ile (7.4) arasında Şekil 7.1'deki ağ yapısı kullanılarak XOR veri kümesi ile ağı eğitime işlemi sonucu elde edilip daha sonra çalışma aralığına normalize edilmiş ağırlık ve biyas değerleri yer almaktadır. Bu ağırlık ve biyas değerleri ile Şekil 7.1'deki ağ yapısı benzetim ortamında tümdevreye programlanıp dış bağlantıları da Şekil 7.2'deki gibi yapılmış giriş verileri başarımları Şekil 7.3'te görüldüğü gibi elde edilmiştir.

Çizelge 7.1 XOR problemi için ağa uygulanan eğitim ve test girişleri ve çıkışları

İdeal Girişler		İdeal Çıkış	Uygulanan Girişler		Çıkış
X_1	X_2	Y	X_1	X_2	Y
0	0	0	0.1	0.1	0.1
0	1	1	0.1	0.9	0.9
1	0	1	0.9	0.1	0.9
1	1	0	0.9	0.9	0.1



Şekil 7.1 XOR uygulaması için MLP ağı yapısı

$$w_1 = \begin{bmatrix} 0.8817 & -0.7875 \\ 0.8127 & -0.744 \end{bmatrix} \quad (7.1)$$

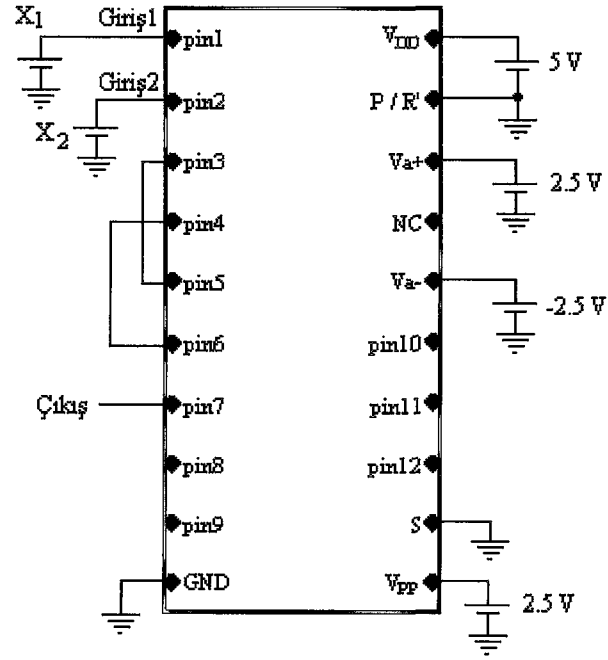
$$b_1 = \begin{bmatrix} -0.4838 \\ 0.2365 \end{bmatrix} \quad (7.2)$$

$$w_2 = [0.9673 \quad -0.9051] \quad (7.3)$$

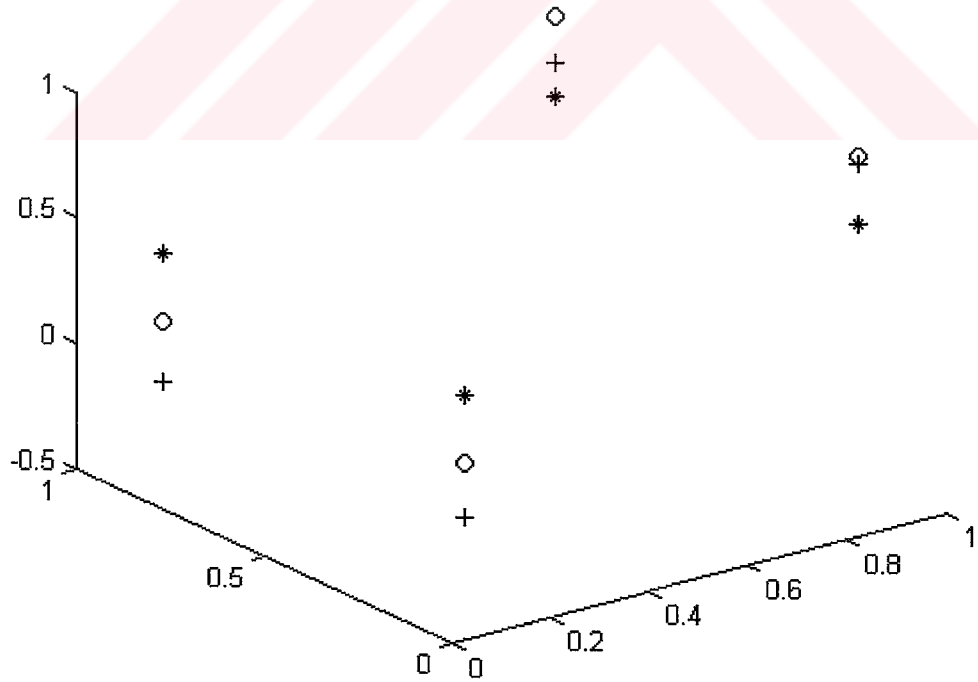
$$b_2 = [1] \quad (7.4)$$

Şekil 7.1'deki ağ yapısının gizli katman nöronlarının ağırlık değerlerine w_1 , gizli katmandaki nöronların biyas değerlerine b_1 , çıkış nöronunun ağırlık değerlerine w_2 , biyas değerine ise b_2 isimleri verilmiştir. Tek tümdevre, XOR problemini üç nöron ile çözmüştür. Şekil 7.1'de gösterilen ağ yapısının gizli katmanı tanjant hiperbolik sigmoid, çıkış katmanı ise doğrusal aktivasyon fonksiyonlarına sahiptir.

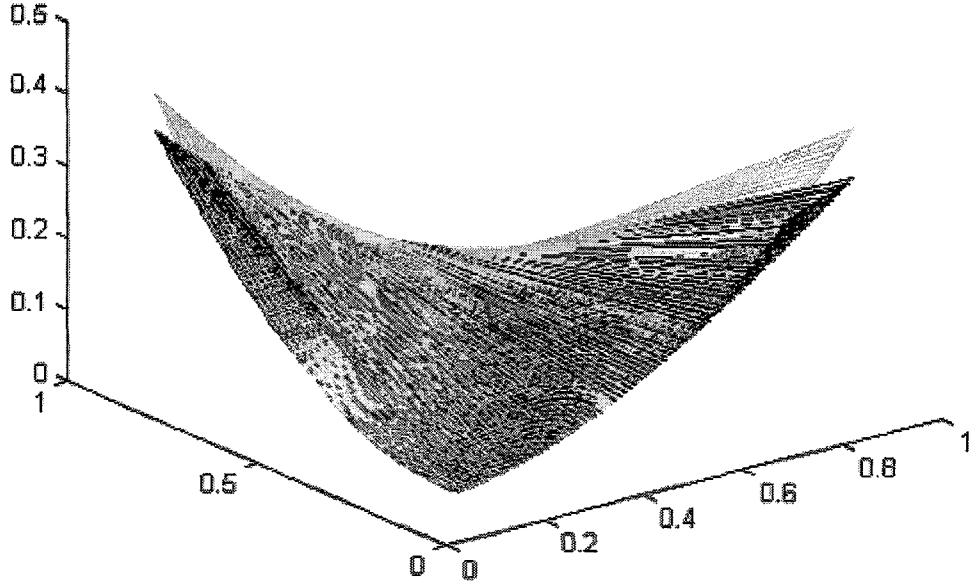
Şekil 7.3'te yer alan grafikte '*', '+' ve 'o' sembolleriyle gösterilen üç farklı sonuç aynı eksen üzerindedir. Bunlardan sırasıyla '*', '+' ve 'o', tümdevrenin benzetim çıkışı, MATLAB ortamında elde edilen ağırlık değerleriyle benzetim sonucu ve ideal hedef değerleridir. Şekil 7.3'te görülen benzetim başarımını etkileyen en büyük faktör ağırlık ve biyas değerlerinin -1 ile 1 aralığına normalize edilmesidir. Performansı arttırmak ağı çıkışını belli katsayılarla çarpma ve toplama işlemleri ile mümkündür, bu bir denormalizasyon etkisi yaparak başarıyı arttırabilir. Elde kullanılmayan bir nöron bulunması böyle bir denormalizasyonu külfetsizce gerçekleştirmeyi mümkün kılacaktır. Bu yaklaşımı uygulamak üzere aynı ağı yeniden eğitirsek denklem (7.5) ile (7.8) arasında görülen ağırlık ve biyas değerleri elde edilir. Bunlar yine -1 ile 1 aralığına normalize edilmiş değerlerdir. Şekil 7.4 ideal MLP ve AY tümdevresi karar düzlemlerini üst üste göstermektedir. Gri olan ideal siyah ise AY tümdevresi çıkışıdır.



Şekil 7.2 XOR uygulaması için AY-tümdevresinin bağlantı şeması



Şekil 7.3 XOR probleminin istenen ve elde edilen çıkış değerleri



Şekil 7.4 İdeal MLP ve AY tümdevresi normalize karar düzlemleri

Bu değerler kullanılarak elde edilen çıkışlar Çizelge 7.2 de normalize çıkışları belirtmek üzere Y_N adı altında yer almıştır. Bu çıkışları denormalize etmek üzere normalize çıkışların tümü 3 ile çarpılmış ve Çizelge 7.2 de yer alan Y_D denormalize çıkışlar elde edilmiştir

$$w_1 = \begin{bmatrix} -0.8922 & 1 \\ 0.7934 & -0.9349 \end{bmatrix} \quad (7.5)$$

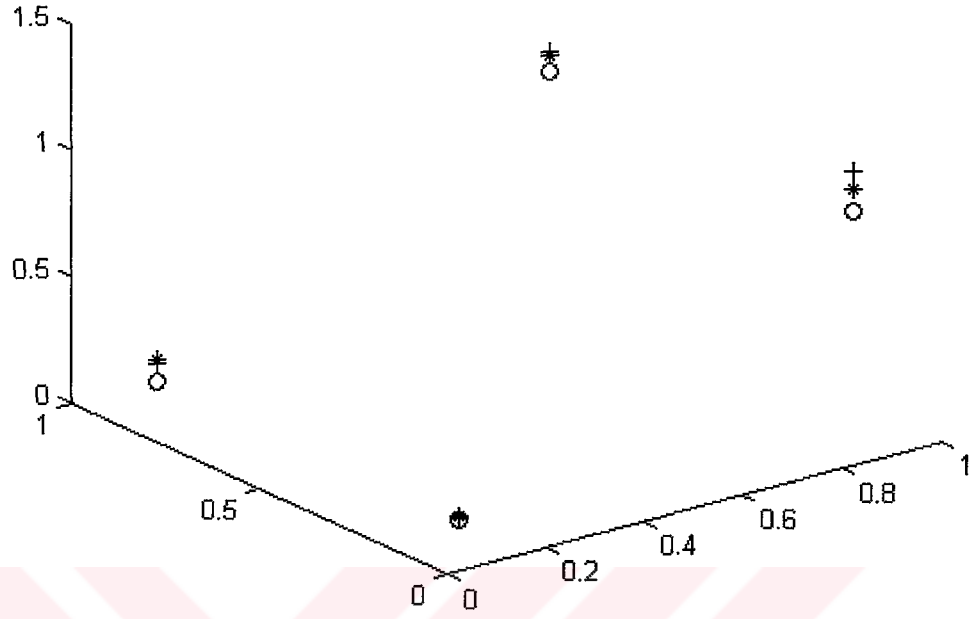
$$b_1 = \begin{bmatrix} 0.473 \\ 0.6851 \end{bmatrix} \quad (7.6)$$

$$w_2 = [-0.8454 \quad -1] \quad (7.7)$$

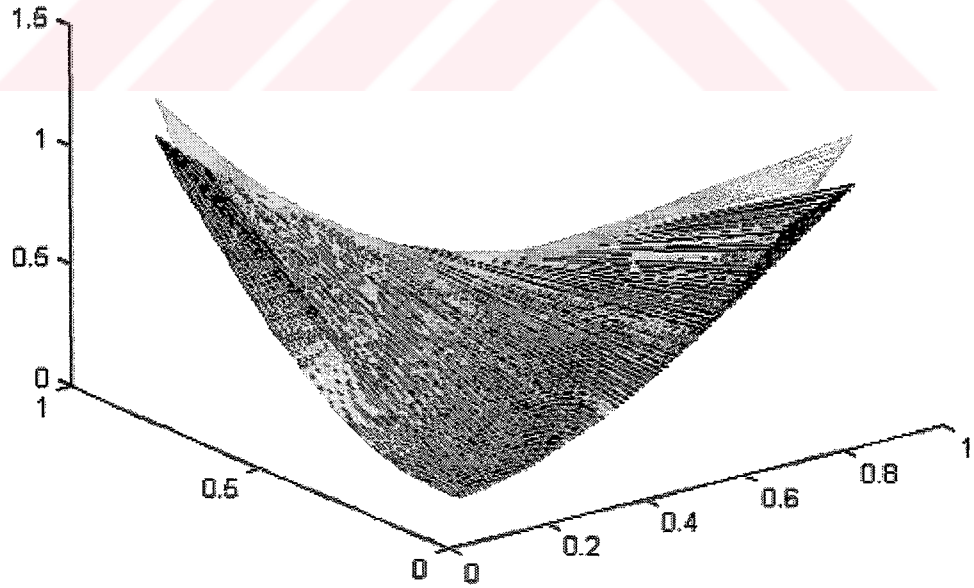
$$b_2 = [1] \quad (7.8)$$

Şekil 7.4'te çizilen karar düzlemleri birbirlerine oldukça yakındır. AY tümdevresi yaklaşımının, MATLAB yazılım ortamındaki ideal çok katmanlı algılayıcı ile çok yakın bir sınıflama yaptığı görülmektedir.

Şekil 7.5'te görülen devre bağlantısı ile herhangi bir ek donanım olmaksızın XOR problemi uygulanmış ve Çizelge 7.2'de görülen donanım çıkışları elde edilmiştir.



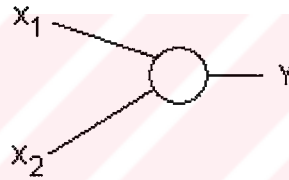
Şekil 7.6 XOR problemi için denormalize edilmiş çıkışların girişlere bağlı grafiği



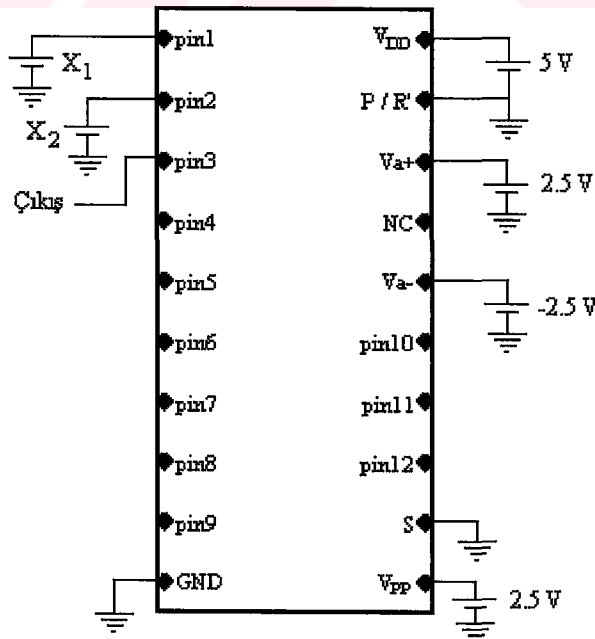
Şekil 7.7 İdeal MLP ve AY tümdevresi denormalize karar düzlemleri

Bu uçtan alınan çıkış değerleri, 8, 9 ve 10 numaralı uçlara giriş olmuş böylece 3 ile çarpılıp denormalize edilmiştir. Çizelge 7.2’de Y_D MATLAB yazılımının, Y ise tümdevrenin çıkışını sembolize etmektedir. Devrenin denormalize çıkışı Şekil 7.5’te gösterilen 11 numaralı uçtan alınmaktadır. Bu denormalizasyon uygulaması devreye herhangi bir ek donanım getirmemiş ama başarıyı çok yükseltmiştir. Şekil 7.6’da hedeflenen ideal çıkış, MATLAB yazılım ortamındaki denormalize çıkış ve donanımdan elde edilen denormalize çıkış girişlere bağlı olarak gösterilmektedir. Burada; istenen çıkışlar ‘+’, MATLAB yazılımından elde edilenler ‘*’ ve donanımın sonuçları ‘o’ işaretleri ile aynı eksen de gösterilmiştir. Başarı denormalizasyonla çok yükselmiştir. Şekil 7.7 denormalize karar düzlemlerini göstermektedir.

Tümdevre üzerinde radyal tabanlı aktivasyon (Radbas) fonksiyonu da sentezlenebildiği için tümdevrenin tek nöronla XOR problemini çözebilmesi de mümkün olmaktadır. Şekil 7.8 tek nöronlu RBF ağının giriş çıkış bağlantılarını göstermektedir.



Şekil 7.8 XOR Problemi için tek RBF nöronu

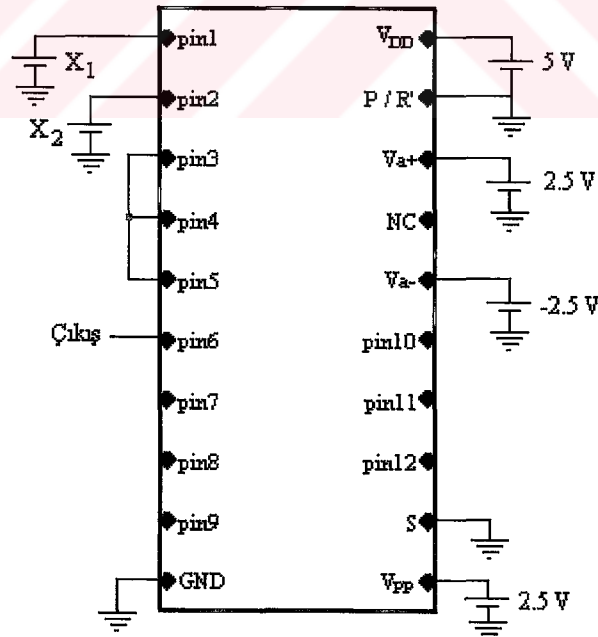


Şekil 7.9 XOR Problemi RBF nöronu çözümü

$$w = [0.98 \quad 0.98] \quad (7.9)$$

$$b = [-1] \quad (7.10)$$

Şekil 7.9’da RBF gerçekteşmesi için AY tümdevresinin bağlantı şeması görölmektedir. Denklem (7.9) ve (7.10) da görölen ağırlık ve biyas değeri için Çizelge 7.3 te görölen normalize çıkışlar elde edilmiştir. Yine Çizelge 7.3 te RBF nöronunun daha iyi sınıflama yapabilmesi için verdiği sonuçtan 0.5 çıkarıp 2 ile çarpılırsa denormalize sonuçlar elde edilmiş olur. Bunu sağlamak Şekil 7.10’daki gibi bir bağlantı ile mümkün olmaktadır. Şekil 7.10’da görölen bağlantıları açıklayacak olursak, X_1 ve X_2 girişleri içeride ilk nörona bağlıdır ve denklem (7.9) ve (7.10) daki ağırlık ve biyas değeri sağıptir. Bu nöron radyal tabanlı aktivasyon fonksiyonunu uygular ve 3 numaralı uçtan çıkış verir. Bu çıkış 4 ve 5 numaralı uçlardan başka bir nörona giriş olmaktadır. Bu nöronun ağırlık değeri 1, biyas değeri ise -1 dir. Doğrusal aktivasyon fonksiyonuna sahip ikinci nöronun kullanımı 0.5 çıkarıp 2 ile çarpma işlemini gerçekteştirmiştir. 2 ile çarpma için 4 ve 5 numaralı uçlardan aynı girişler uygulanmaktadır. Çizelge 7.3’te elde edilen donanım benzetim sonuçları bu denormalizasyonla çok başarılı bir sonuç elde edildiğini göstermektedir. Şekil 7.11’de yine üç boyutlu eksen üzerinde Çizelge 7.3 te elde edilen sonuçlar gösterilmiştir.

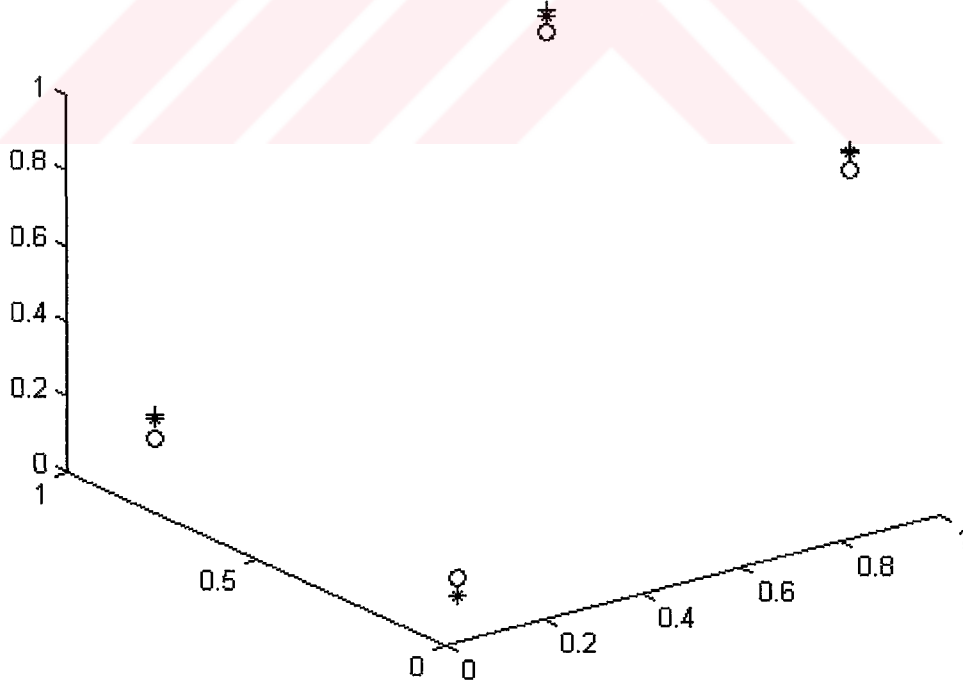


Şekil 7.10 XOR Probleminin denormalize RBF bağlantı şematığı

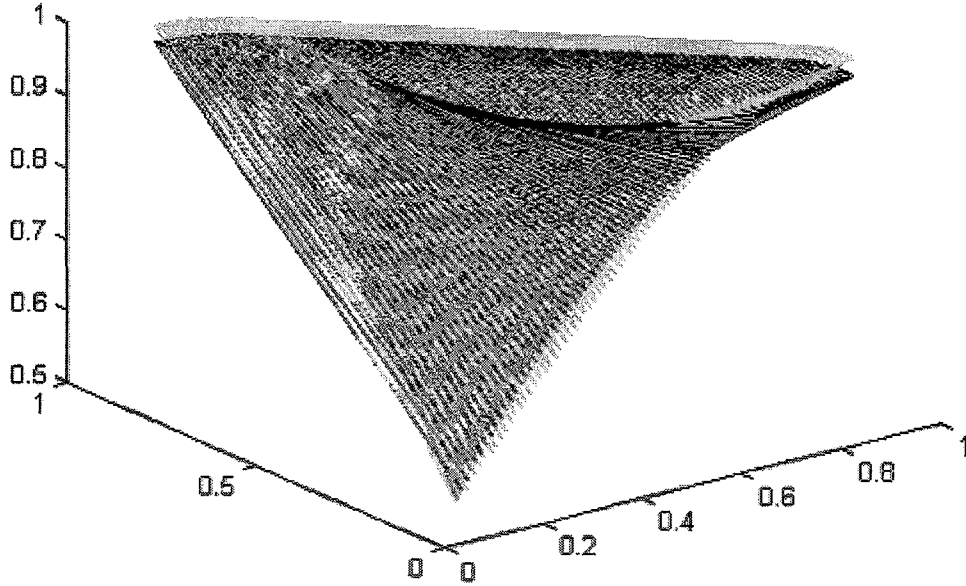
Çizelge 7.3 XOR problemi için RBF nöronunun sonuçları

Ağa Uygulanan Girişler		Normalize Donanım Çıkışları	Denormalize Matlab Çıkışları	Denormalize Donanım Çıkışları
X_1	X_2	Y_N	Y_D	Y
0.1	0.1	0.5297	0.0547	0.0535
0.1	0.9	0.9776	0.955	0.948
0.9	0.1	0.9776	0.955	0.943
0.9	0.9	0.5645	0.1659	0.155

Yine Şekil 7.11’de denormalizasyonun donanımın başarısını arttırmadaki etkinliğini görsel olarak ispatlamaktadır. Hem MLP ağı hem de RBF nöronu gerçeklemelerinde tümdevre çok rahat kontrol edilerek denormalizasyona olanak vermiştir.



Şekil 7.11 XOR problemi tek nöronlu RBF çözümü üç boyutlu eksenle



Şekil 7.12 İdeal RBF ve AY tümdevresi karar düzlemleri

Şekil 7.12’de AY tümdevresi yaklaşımı ve ideal RBF karar düzlemleri aynı grafikte gösterilmiştir. MATLAB ortamından elde edilen RBF karar düzlemi gri, AY tümdevresininki ise siyah olarak çizilmiştir. Değişik açılardan bakıldığı zaman Gauss merkezli fonksiyonun eğriliği daha belirgin olmaktadır. Ancak Şekil 7.12’de bu durum o kadar belirgin olmasa da AY tümdevresinin ideale yaklaşımı yeterince görülmektedir.

7.2 Iris Bitkisi Sınıflandırma Problemi

En örgün veri kümelerinden biri olan iris bitkisi sınıflandırma veri kümesi 1936 yılında Fisher (1936) tarafından oluşturulmuş, 1988 yılında Marshall tarafından güncellenmiş, patern tanınmanın en temel uygulamalarındandır (Marsland ve Yıldırım, 1997). Veri kümesi herbiri 50 adet 4 özellikli veri grubuna sahip 3 iris bitki sınıfı için toplam 150 veri içerir. Bu sınıflar Setosa, Versicolor ve Virginica isimlerine sahiptir. Setosa sınıfı diğerlerinden lineer olarak ayrılabilir halde, diğer sınıflar birbirinden lineer olarak ayıramaz. Bu 150 adet veri dörtlüsünün içinden, her sınıf için 10 adet test verisi, 40 adet eğitme verisi olmak üzere toplam 30 adet test, 120 adet eğitme verisi kullanılmıştır. Her veri için baz alınan dört özellik bilgisi iris bitkisi için ayırt edici olan sepal uzunluk, sepal kalınlık, petal uzunluk ve petal kalınlık bilgilerinin cm cinsinden ölçümüdür. Çizelge 7.4 bu dört özellik için çıkarılan minimum değer, maksimum değer, ortalama değer, standart sapma ve sınıf korrelasyon değerlerini göstermektedir. Veri tabanının detayları ve normalize veri kümesi Ek 2 de verilmiştir (Avcı ve Yıldırım, 2003b).

Çizelge 7.4 Iris bitkisi için istatistiki dağılım değerleri

Nitelik	Minimum Değer	Maksimum Değer	Ortalama Değer	Standart Sapma	Sınıf Korrelasyonu
Sepal Uzunluk	4.3	7.9	5.84	0.83	0.7826
Sepal Kalınlık	2.0	4.4	3.05	0.43	-0.4194
Petal Uzunluk	1.0	6.9	3.76	1.76	0.9490
Petal Kalınlık	0.1	2.5	1.20	0.76	0.9565

İris bitkisi sınıflandırma problemini çözmek üzere Şekil 7.13'te görülen MLP ağı sentezlenmiş, MATLAB 6.5 yazılım ortamında eğitilmiş denklem (7.11) ile (7.14) arasında görülen normalize ağırlık ve biyas değerleri elde edilmiştir. Şekil 7.13'te görülen tek gizli katmanı, 4 girişi ve tek çıkışı olan bu ağ için w_1 , giriş ile gizli katman arasındaki ağırlık değerlerini, w_2 gizli katmanla çıkış arasındaki ağırlık değerlerini, b_1 ve b_2 ise sırasıyla gizli katmandaki ve çıkıştaki nöronların biyas değerlerini matris olarak ifade etmektedir. Ağa uygulanacak girişler çalışma aralığı olan $[-1,1]$ aralığına (7.15) ten (7.18) e kadar olan denklemlere göre normalize edilmiştir. Ağ eğitimiyle ağırlık ve biyas değerleri elde edilirken hedef değerleri birinci sınıf için -0.8, ikinci sınıf için 0.00001 ve üçüncü sınıf için 0.8 olarak kullanılmıştır. Sınıflandırma kriteri olarak ise birinci sınıfa dahil olanlar -0.4 ten küçük, ikinci sınıfa dahil olanlar -0.4 ile +0.4 arasında, üçüncü sınıfa dahil olanlar ise +0.4 ten büyük çıkışlar olarak belirlenmiştir.

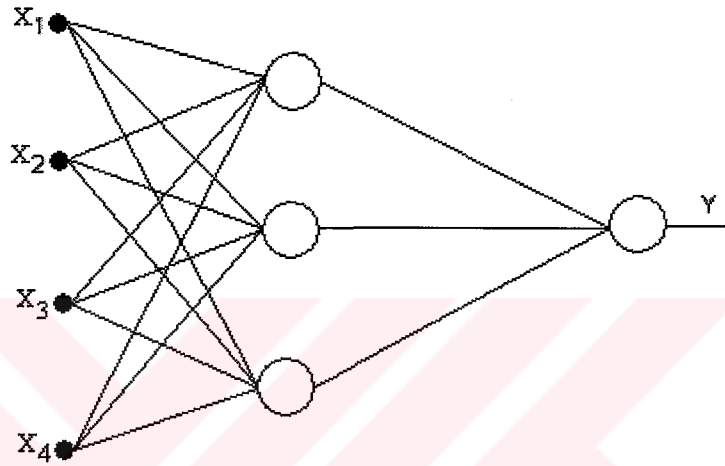
$$w_1 = \begin{bmatrix} -0.0163 & -0.1750 & 0.0981 & 0.4966 \\ -0.1420 & -0.1601 & 1.0000 & 0.3836 \\ 0.0044 & -0.0097 & 0.0197 & 0.0196 \end{bmatrix} \quad (7.11)$$

$$w_2 = [0.2495 \quad 0.7485 \quad 1.0000] \quad (7.12)$$

$$b_1 = \begin{bmatrix} -0.2552 \\ -0.4730 \\ 0.0187 \end{bmatrix} \quad (7.13)$$

$$b_2 = [0.373] \quad (7.14)$$

Ağın hem eğitme hem de test girişlerine verdiği cevaplar numerik olarak Ek-2 de yer almaktadır.



Şekil 7.13 İris Sınıflama problemi MLP ağ yapısı

Denklem (7.15) ile (7.18) arasındaki denklemlerde yer alan iris bitkisinin ağa uygulanan dört özelliğini belirten X_1 , X_2 , X_3 ve X_4 değişkenleri X_1^n , X_2^n , X_3^n ve X_4^n şeklinde normalize edilmiş ve ağa hem eğitme hem de test için normalize olarak uygulanmıştır.

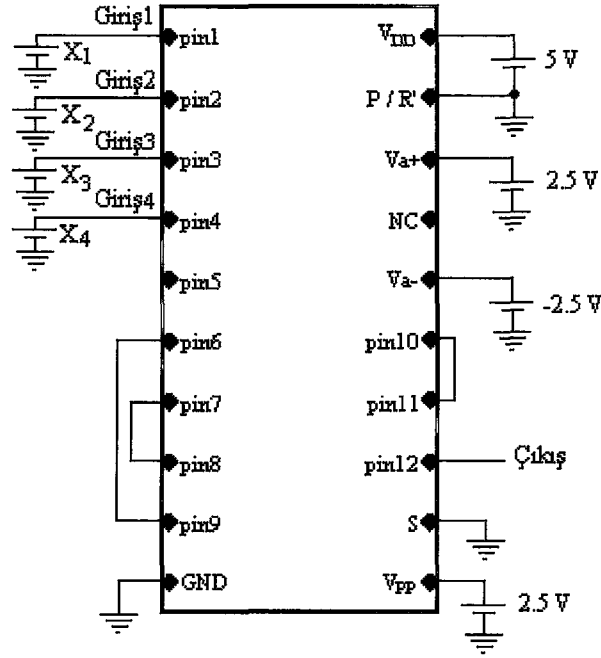
$$X_1^n = 0.5556.X_1 - 3.3891 \quad (7.15)$$

$$X_2^n = 0.8333.X_2 - 2.6665 \quad (7.16)$$

$$X_3^n = 0.3390.X_3 - 1.3391 \quad (7.17)$$

$$X_4^n = 0.8333.X_4 - 1.0833 \quad (7.18)$$

Şekil 7.13'te gösterilen ağ yapısı donanım üzerinde Şekil 7.14'te görülen bağlantılarla gerçekleştirilmiştir.

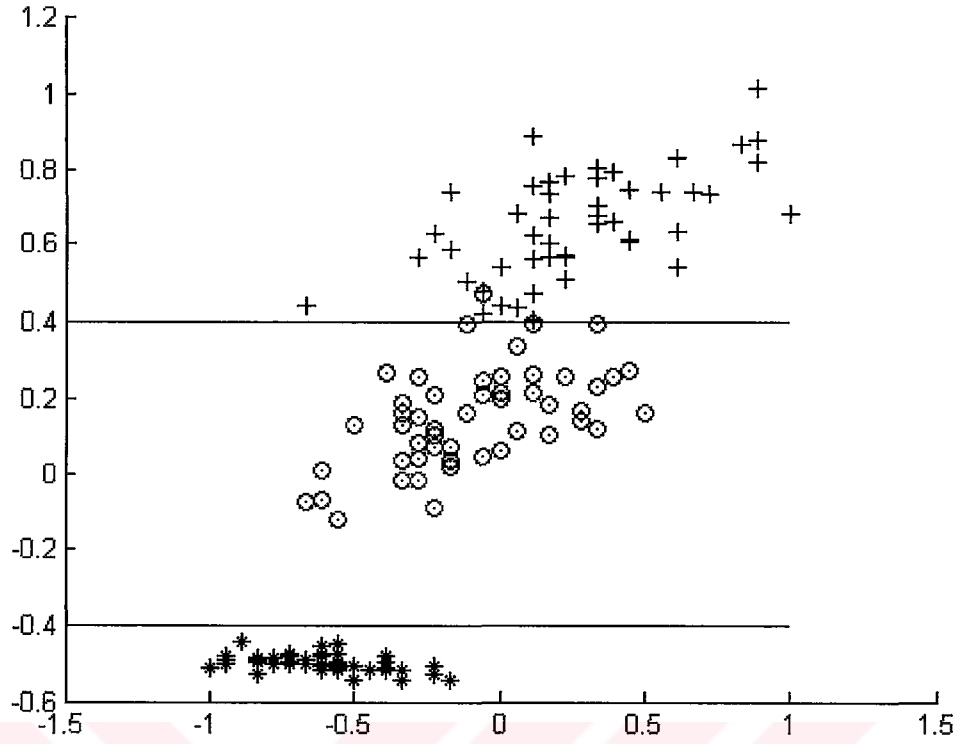


Şekil 7.14 İris bitkisi sınıflandırma problemi için MLP ağının devre bağlantı şeması

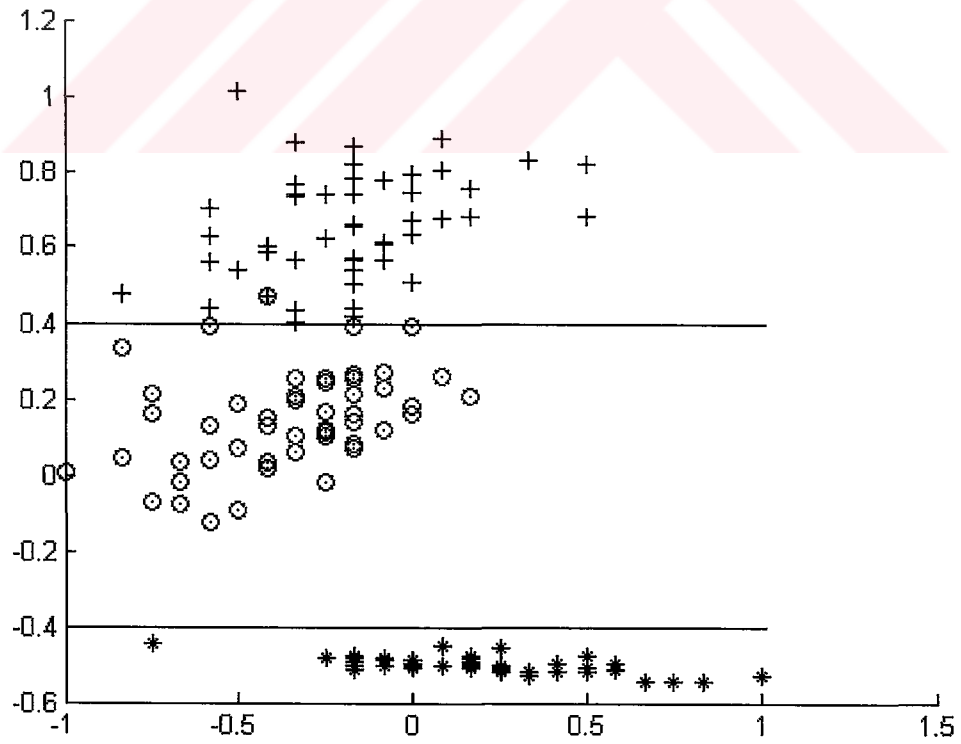
Şekil 7.14'te görüldüğü üzere ilk dört uç giriş olarak kullanılmış, 6,7 ve 10 numaralı uçlar gizli katmandaki her bir nöronun çıkışı, 8, 9 ve 11 numaralı uçlar çıkış nöronunun girişi ve 12 numaralı uç ise çıkışı olarak programlanmıştır. Böylece tek tümdevre üzerinde iki katman sentezlenmiştir. Bu bağlantıda denklem (7.11) ile (7.14) arasında verilen ağırlık değerleri tümdevreye programlanıp, denklem (7.15) ile (7.18) arasında verilen formüllere göre normalize edilmiş girişlerle test edilmiştir.

7.15 ile 7.18 arasındaki bütün şekiller ağın hem eğitme hem de test verilerini aynı grafik üzerinde iki boyutlu olarak göstermektedir. 7.15'ten 7.24'e kadar olan bütün şekillerde birinci sınıf '*', ikinci sınıf 'o', üçüncü sınıf ise '+' işaretleriyle gösterilmiştir. Şekil 7.15'te x-ekseni normalize edilmiş sepal uzunluk özelliği girişi, y-ekseni ise ağın verdiği çıkış cevabıdır. Şekilde sınıflar arası geçişi ayıran çizgiler de mevcuttur. İris bitkisi sınıflandırma ağının dört girişinin ilki ile ağ çıkışı arasındaki ilişki Şekil 7.15'te görülmüş ve toplam 1 verinin hatalı sınıflandırıldığı sonucu gözlenmiştir.

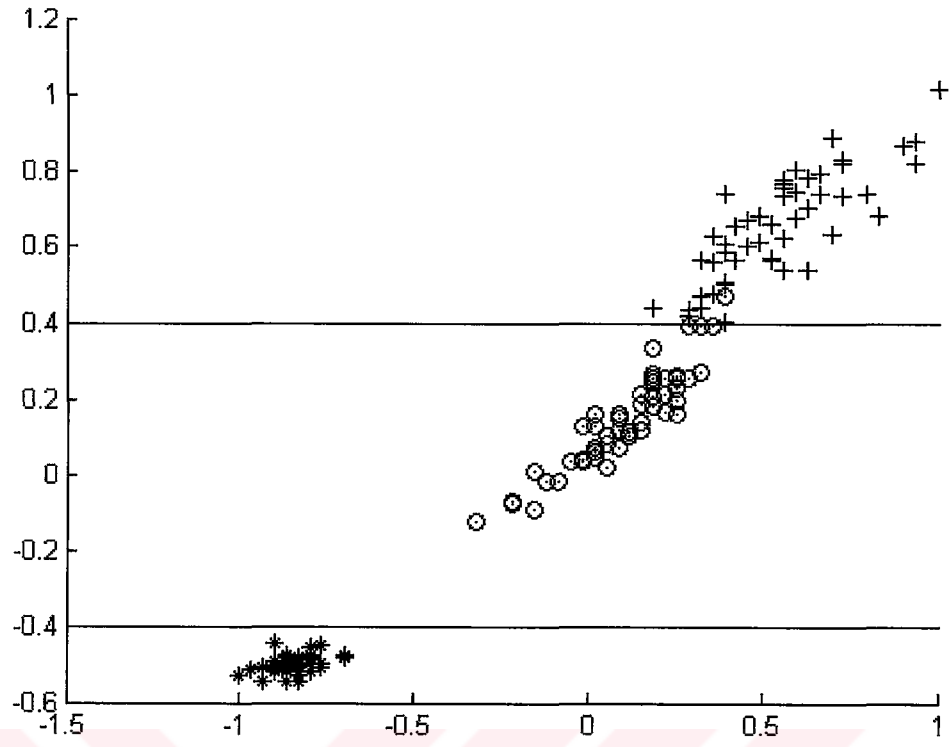
Şekil 7.16'da ise ikinci giriş özelliği olan sepal kalınlığa göre sınıflama çıkışı grafiği verilmiştir. Yine Şekil 7.15'teki gibi 3 tanesi ikinci sınıftan, 1 tanesi üçüncü sınıftan toplam 4 veri karar çizgisine çok yakın sınıflanmış ama hata yapılmamıştır. Yine tek hata ikinci sınıftaki 1 adet veride yapılmıştır.



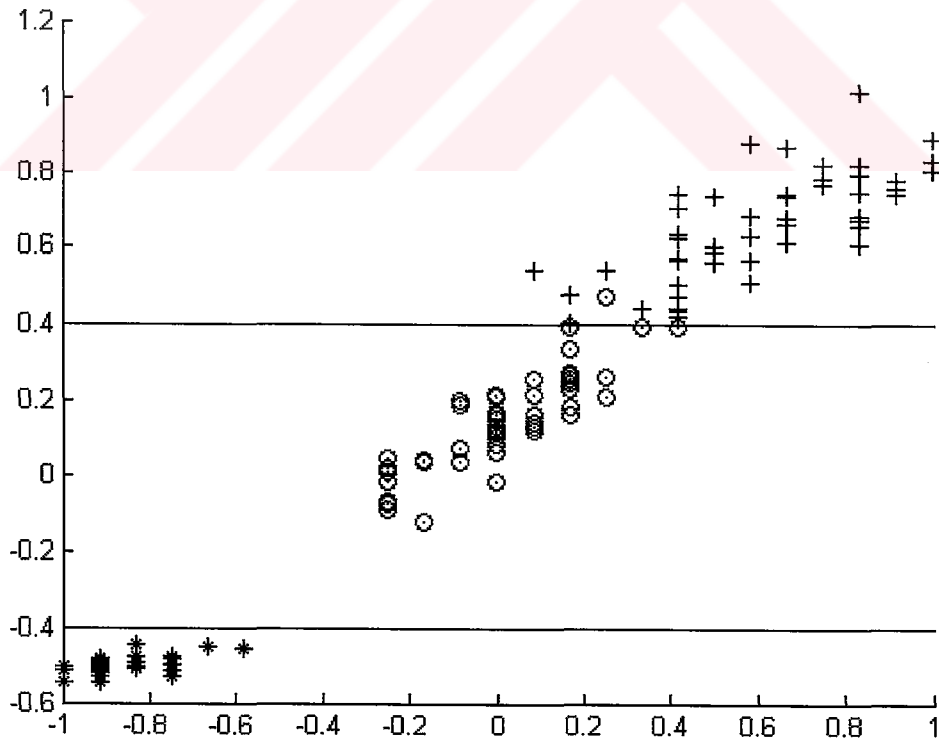
Şekil 7.15 Sepal uzunluk ile ağın sınıflama cevabı ve karar çizgileri



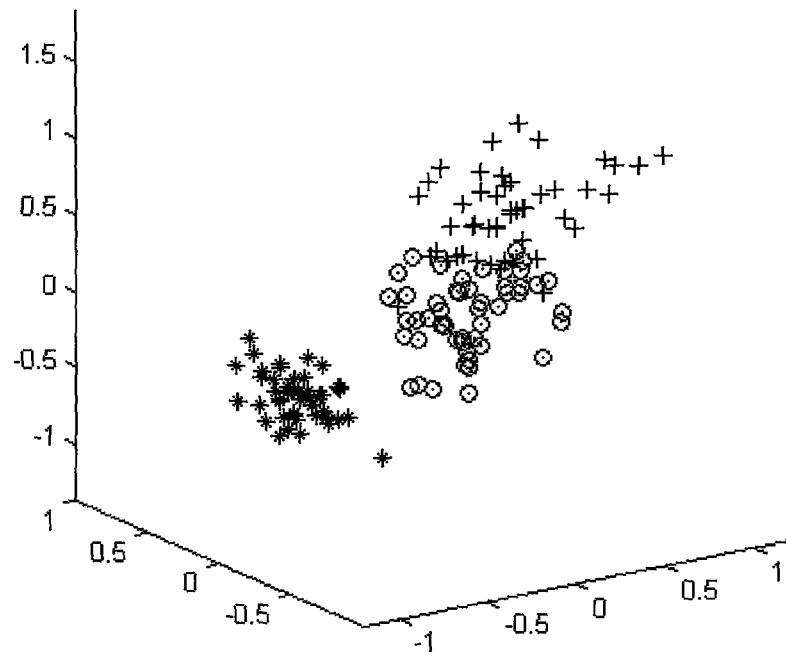
Şekil 7.16 Sepal kalınlığa göre ağın sınıflama cevabı ve karar çizgileri



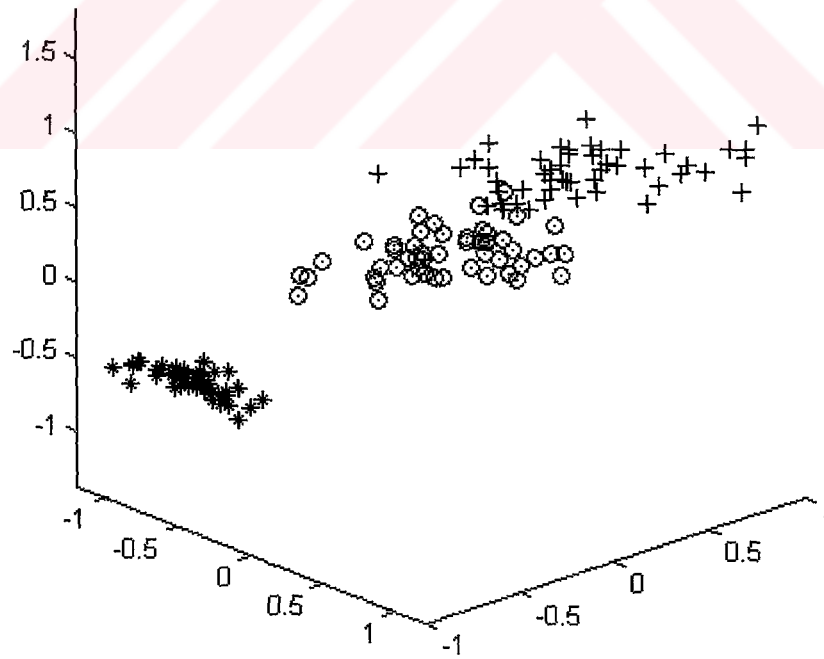
Şekil 7.17 Petal uzunluğa göre ağın sınıflama cevabı ve karar çizgileri



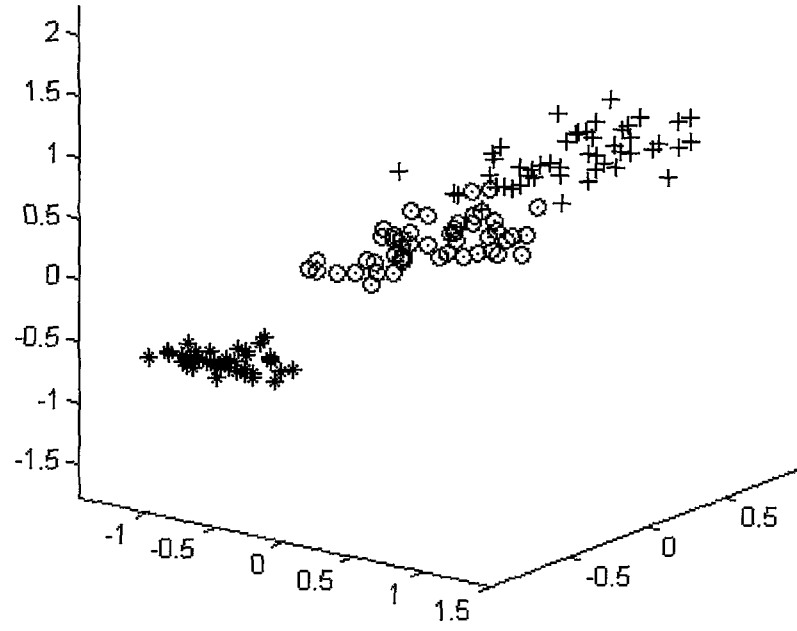
Şekil 7.18 Petal kalınlığa göre ağın sınıflama cevabı ve karar çizgileri



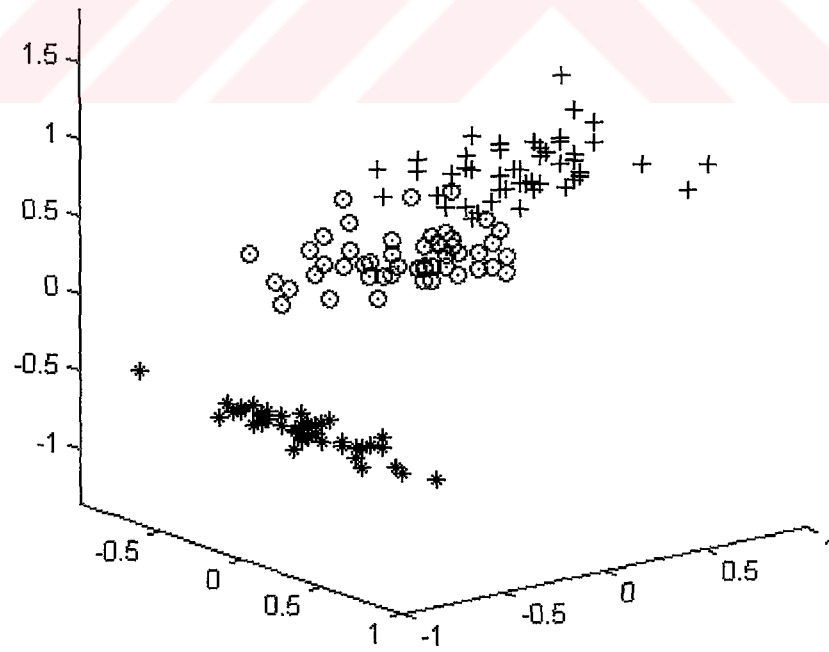
Şekil 7.19 Sepal uzunluk ve kalınlığa göre tüm verilerin ağ çıkışı



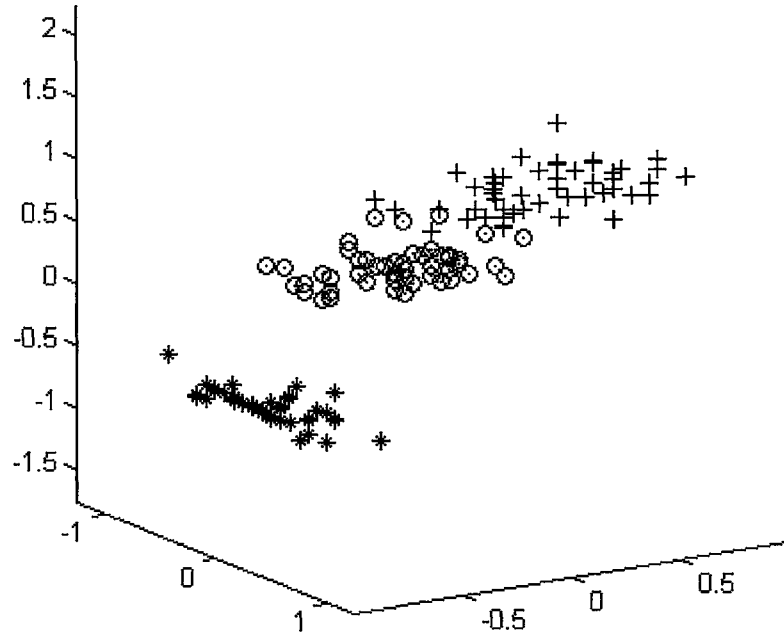
Şekil 7.20 Sepal uzunluk ve Petal uzunluğuna göre tüm verilerin ağ çıkışı



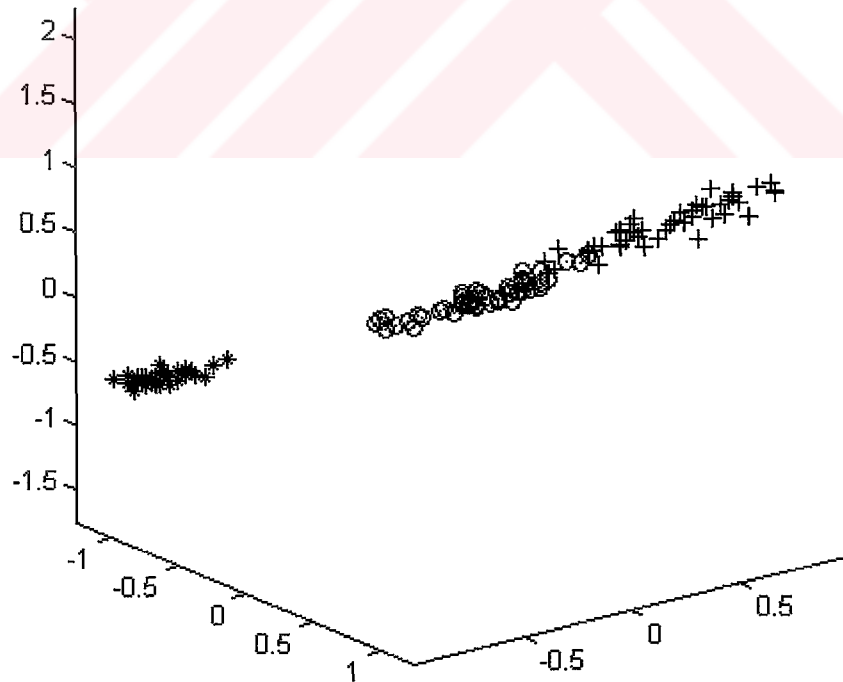
Şekil 7.21 Sepal uzunluk ve Petal kalınlığa göre tüm verilerin ağ çıkışı



Şekil 7.22 Sepal kalınlık ve Petal uzunluğa göre tüm verilerin ağ çıkışı



Şekil 7.23 Sepal kalınlık ve Petal kalınlığına göre tüm verilerin ağ çıkışı



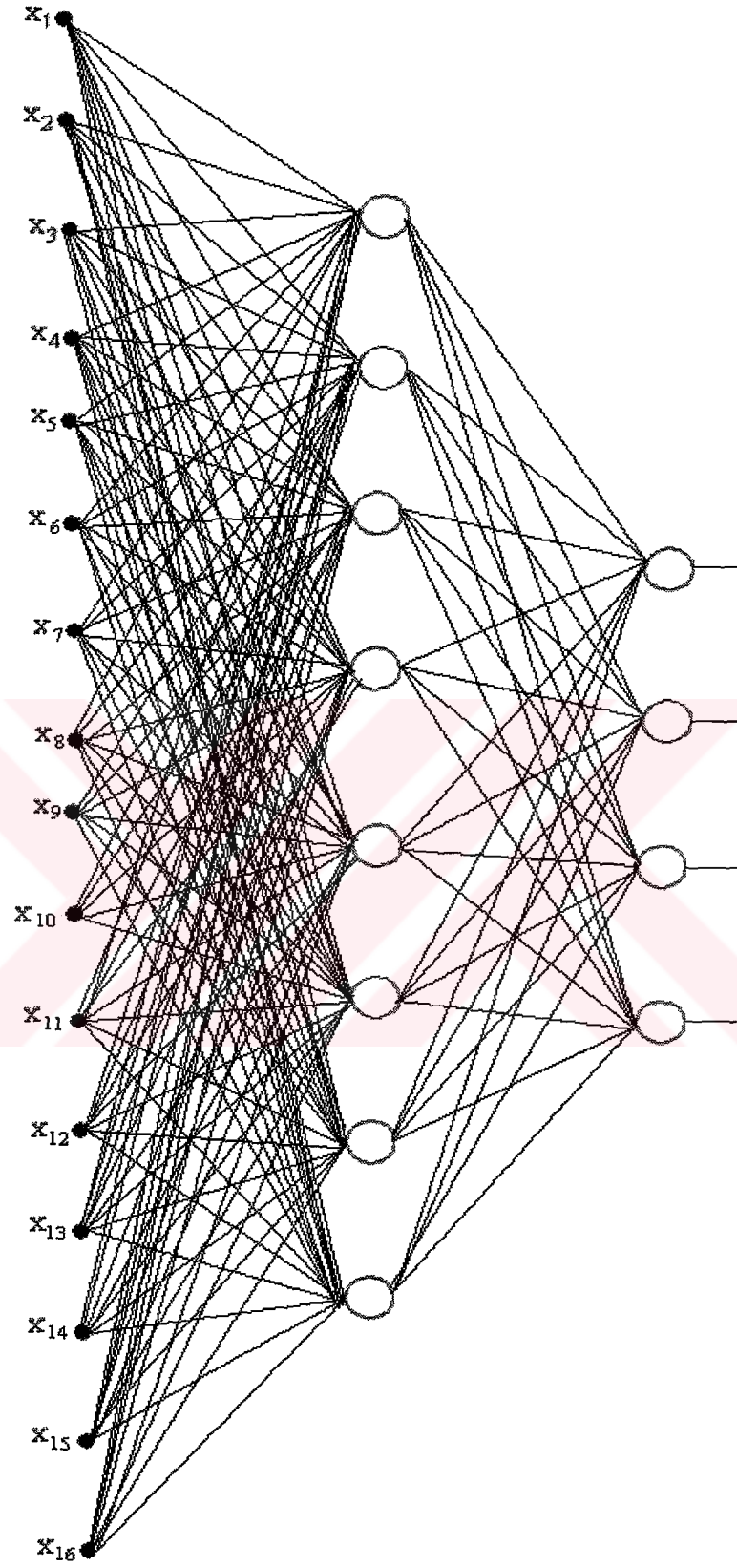
Şekil 7.24 Petal uzunluk ve Petal kalınlığına göre tüm verilerin ağ çıkışı

Şekil 7.17’de ağın üçüncü girişi olan petal uzunluğa göre çıkış ve karar sınırı çizili halinin grafiğini, Şekil 7.18’de ise ağın dördüncü giriş olan petal kalınlık girişi ile ağın çıkışı ve karar sınırını içermektedir. Bütün grafiklerde yanlış sınıflandırılan 1 adet veri görülmektedir. Bu veri İris veri tabanında bulunan eğitime ve test verileri dahil 84. sırada yer alan veridir veya ikinci sınıfın baştan 34. verisidir. Bütün bu sınıflandırmaların her biri için tümdevreye girişler Şekil 7.13’teki bağlantı üzere, dörder dörder uygulanmıştır.

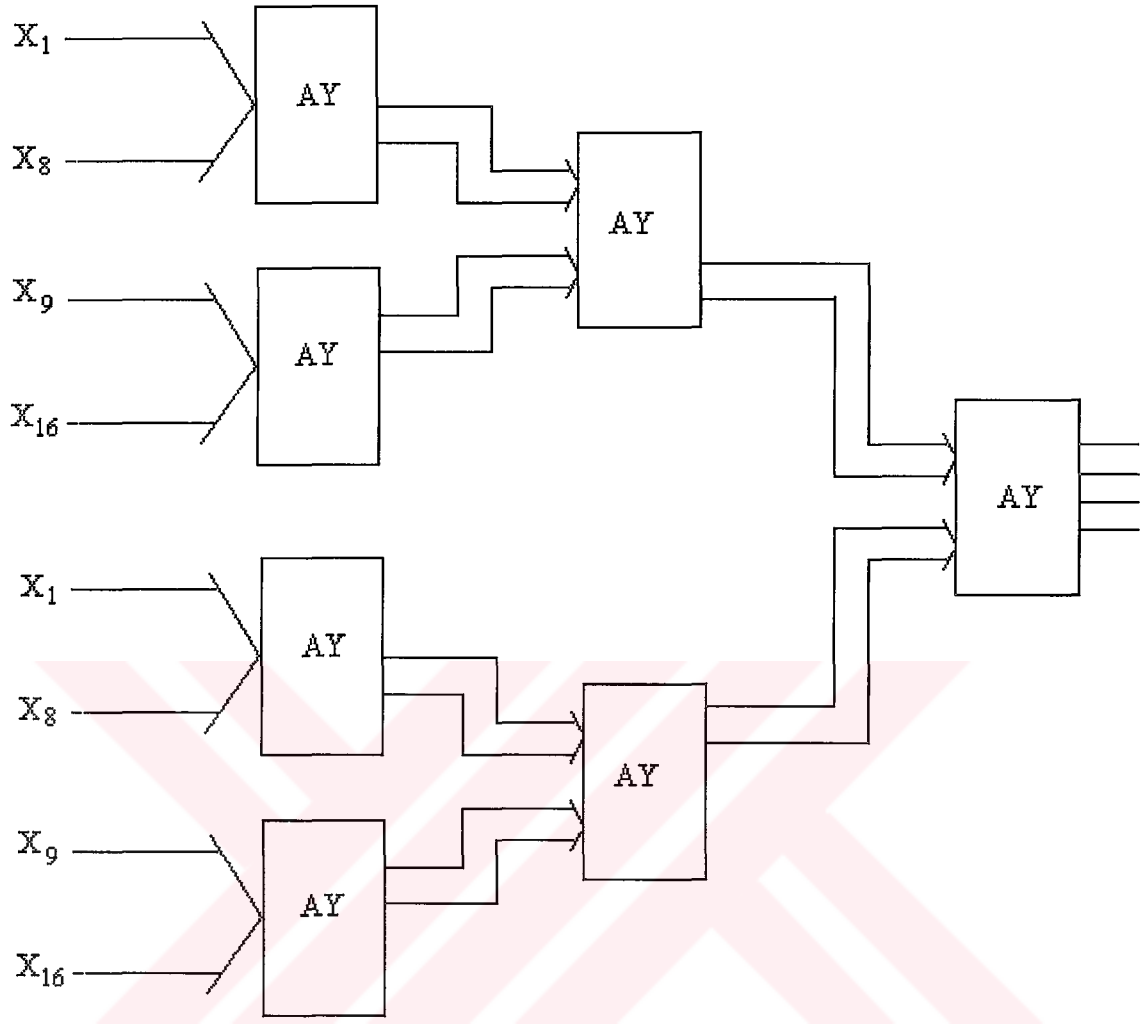
Aynı verilerin üç boyutlu grafikleri Şekil 7.19 ile 7.24 arasında ikişer girişe bağlı çıkış grafikleri şeklinde verilmiştir. Tüm şekiller hem eğitime hem de test verilerini aynı grafik üzerinde içermektedirler. Şekillerde yer alan ağın donanım cevaplarının yanısıra yazılım ortamı nümerik sonuçları da Ek 2’de verilmiştir. Yazılım tabanlı sonuç ile donanım sonucu birbirine neredeyse örtüşük olacak kadar yakındır. Yazılım tabanlı sınıflamada da yine aynı veri yanlış sınıflandırılmaktadır. Daha fazla nöron kullanımı veya ağın farklı eğitimlerindeki daha yüksek başarımı, Iris bitkisi uygulaması için %100 sınıflama sonucu verebilecektir. Ancak bu uygulamada baz alınan MATLAB ortamı sonuçları ile donanım gerçekleştirme sonuçlarının birbirine ne kadar yakın olduğudur. Ek 2’de verilen nümerik sonuçlarla donanımın yazılıma yaklaşım başarısı gözlenmektedir.

7.3 AY Tümdevresi ile Büyük Bir Yapay Sinir Ağının Sentezi

Tasarlanan AY Tümdevresi temel bir yapı elemanı olduğu için kaskat bağlanarak büyük çaplı yapay sinir ağları sentezine izin vermektedir. Örnek olarak, Şekil 7.25’te görülen 16 girişe, 8 gizli katman nöronuna, 4’te çıkışa sahip bir ağ için Şekil 7.26’daki tümdevre bağlantı konfigürasyonu elde edilir. Toplam 7 adet AY tümdevresi kullanılarak bu büyüklükte bir ağ sentezlenebilmektedir. Gizli katmanın aktivasyon fonksiyonu ikinci sırada yer alan 2 adet AY tümdevresi içerisinde gerçekleştirilmektedir. İlk sıradaki 4 adet AY tümdevresi doğrusal aktivasyon fonksiyonuna sahiptir. Bu büyüklükte bir ağın tümdevre üzerinde benzetimi Cadence yazılım ortamı ve güçlü bir iş istasyonu donanımı olmadan oldukça zordur, bu donanıma sahip olunamadığından böyle bir uygulama tezde gerçekleştirilememiştir. Önerilen teoreminin sınanması için nispeten küçük ağlar başarı ile sentezlenmiş ve sonuçları gözlenmiştir. Bu tip bir gerçekleştirme gelecek çalışmalara bırakılmıştır.



Şekil 7.25 AY Tümdevresinin büyük bir ağ uygulaması



Şekil 7.26 Büyük ağ bağlantısı için AY tümdevrelerinin kaskatlanması

8. SONUÇLAR

Bu çalışma sonucunda var olan hibrit nöral tümdevrelerden yapı, tasarlanma ve işlev olarak farklı bir donanım oluşturulmuştur. Tasarım, esnek giriş-çıkış sayısı ve bağlantı stratejisi ile üzerinde istenen ileri yönlü veya geri beslemeli ağ topolojilerinin sentezini mümkün kılmaktadır. AY-ağı adı verilen teknoloji ve tasarım yönteminden bağımsız, yeni ve etkili bir fonksiyon sentezleme yapısı önerilmiş ve nöron içinde aktivasyon fonksiyonunun sentezi için kullanılmıştır. Sayısal olarak programlanabilen analog aktivasyon fonksiyonu yapısı literatürde mevcut en yaygın fonksiyonların sentezi ile hem yazılım ortamında hem de donanım benzetiminde test edilmiştir. Tümdevrenin en belirgin karakteristiğini ortaya koyan bu ağ yapısı sayesinde tümdevre istenen herhangi bir fonksiyonu çalışma aralığında, aktivasyon fonksiyonu olarak belli bir hata yaklaşımı ile kullanabilir. Bu ağın ve tasarlanan tümdevrenin alt ve üst giriş sınırı olan $[-1V, +1V]$ aralığında çalışıyor olması bir dezavantaj değildir. İlerleyen MOS proses teknolojisinin getirisi olan SiO_2 kalınlığındaki inceltme nedeniyle tünelleme olmaması veya oksidi delmemek için zaten düşen besleme ve çalışma gerilim değer aralıklarına uygundur.

Tasarlanan tümdevre XOR ve İris bitki sınıflama problemleri ile denenmiş, donanım ağ çıkışlarının bilgisayar yazılım ortamındaki ağ çıkışları ile yakın olması başarımına kriter alınmıştır. Tümdevrenin ağırlık ve biyas değerleri çalışma aralığına normalize edildiği için MATLAB ortamında standart bir eğitim sonucu alınan ağırlık değerlerinin normalizasyonu ile test etmek yerine, tümdevreye göre bir eğitme fonksiyonu yazılsaydı belki başarımı çok daha yüksek olurdu. Ancak bu çalışmada standart MATLAB 6.5 Neural Network ToolBox yazılımı kullanılmıştır. Bu yaklaşım bile oldukça başarılı sonuçlar vermiştir.

AY tümdevresi herhangi bir görüntü işleme, sınıflama, ses işleme, ses tanıma, akıllı kontrol problemlerinde, akıllı sensör işlemcisi veya nörobilgisayar bileşeni olarak kullanılabilir. Aynı anda bir nöronu tanjant hiperbolik sigmoid aktivasyon fonksiyonuna sahip olurken diğer nöronu da Gauss fonksiyonlu aktivasyon fonksiyonu sentezleyebilir. Üzerinde hem sayısal hem de analog yapay sinir ağı yapıları rahatlıkla sentezlenebilir. AY tümdevresi programlanmasının ardından herhangi bir kontrol sistemine entegre edilip günümüz mikrodenetçilerine alternatif bir çözüm sunan bir nörodenetleyici yapısıdır.

Bu çalışma sırasında edinilen tecrübelerle göre bu konuda yapılacak çalışmalar için şu önerilerde bulunulabilir. Analog tasarım her zaman için proses parametrelerinin değişmesinden çokça etkilenmektedir. Üretilecek bir pul üzerinde farklı bölgelerde farklı

karakteristikler gözlenmektedir. Parametre saçılım analizlerinde gözlenen sonuçlar sayısal tasarımın daha yüksek doğruluk vereceğini ve pulun bir çok bölgesinden üretilen kırmıkların yaklaşık aynı verimi sergileyeceklerini göstermektedir. Günümüzde Giga Hertz saat hızlarında çalışan sayısal tümdevreler mevcuttur. Bu tümdevrenin sayısal bir mimari ile üretilmesi doğruluğun artmasını sağlayacaktır ve hız olarak fazla bir kayıp olmayacaktır. Ancak sayısal tümdevrenin bir çarpıcısının bile çok fazla alan kaplayacağını düşünürsek, yine analog donanımı tercih durumunda; varolan donanım üzerinde doğruluğun artırılmasının bir başka yolu da çalışma gerilim aralığının çok düşürülmesi ile mümkün olur. Böyle bir analog tümdevrenin çok düşük çalışma gerilimleri için akım modlu sentezi doğruluğunu arttıracaktır. Ancak her durumda analog tasarımın gürültü hassasiyeti sayısala göre yüksek olacaktır. Bu nedenle sayısal bir tasarım bilgisayar ortamında eğitilen ağa daha yakın sonuçlar verecektir. Analog bir tasarımdan en yüksek derecede faydalanmak ve üretimde meydana gelen proses parametre saçılımlarının etkisini ihmal etmek için tümdevre üzerinde öğrenme özelliği olması gerekmektedir.

Bu çalışmada tasarlanan tümdevre yapısı önerilen yeni AY ağı topolojisinin denenmesi için kullanılmıştır. Gelecek çalışmalarda bu yeni ağ topolojisinin, sayısal mimaride yüksek çözünürlükle sentezlenmesi veya hibrit mimaride yine yüksek çözünürlükte ve tümdevre üzerinde öğrenme fonksiyonuna sahip olarak gerçekleştirilmesi bu tümdevrenin doğruluğunu ve verimini çok arttıracaktır.

Önerilen AY ağının denenmesi için en yaygın veri kümelerinden iki tanesi kullanılmıştır. Ancak böyle bir tümdevrenin başarısı daha büyük veri kümeleri ile testi sırasında daha açık görülecektir. Eldeki donanım ve yazılım imkanlarının yetersizliği nedeniyle bu büyüklükteki veri kümeleri için yapay sinir ağı benzetimleri yapılmıştır. Güçlü bir iş istasyonu bilgisayar ve Cadence yazılım ortamında büyük veri kümeleri ve ağ yapıları donanım benzetimine tabi tutulabilecektir.

Yeni tanıtılmış olan AY ağı topolojisinin yeni bir yaklaşım olarak gelecek çalışmalara ve bu konuda çalışanlara faydalı olmasını dilerim.

EKLER

- Ek 1 MOSIS-AMIS 0.5 μ proses teknoloji parametreleri
Ek 2 İris bitkisi normalize giriş verileri ile yazılım ve donanım çıkışları



Ek 1: MOSIS-AMIS 0.5 μ Proses ve Model Parametreleri

MOSIS PARAMETRIC TEST RESULTS

RUN: T15M
TECHNOLOGY: SCN05

VENDOR: AMI
FEATURE SIZE: 0.5 microns

INTRODUCTION:

This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: American Microsystems, Inc. C5N

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM Vth	3.0/0.6	0.81	-0.92	volts
SHORT Idss	20.0/0.6	465	-257	uA/um
Vth		0.70	-0.90	volts
Vpt		10.0	-10.0	volts
WIDE Ids0	20.0/0.6	< 2.5	< 2.5	pA/um
LARGE Vth	50/50	0.72	-0.94	volts
Vjbkd		11.6	-11.6	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.47	0.57	V^0.5
K' (Uo*Cox/2)		58.6	-19.3	uA/V^2
Low-field Mobility		471.78	155.38	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask and etch bias use the appropriate value for the parameter XL in your SPICE model card.

Design Technology	XL
SCN_SUBM (lambda=0.30)	0.00
AMI_C5	0.00
SCN (lambda=0.35)	-0.10

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS
Vth	Poly	>15.0	<-15.0	volts

PROCESS PARAMETERS	N+ACTV	P+ACTV	POLY	PLY2_HR	POLY2	MTL1	MTL2	UNITS
Sheet Resistance	80.1	104.1	21.6	1097	41.1	0.08	0.09	ohms/sq
Contact Resistance	60.9	143.2	15.8		27.3		0.79	ohms

Gate Oxide Thickness 139 angstrom

PROCESS PARAMETERS	MTL3	N\PLY	N_WELL	UNITS
Sheet Resistance	0.05	831	828	ohms/sq
Contact Resistance	0.76			ohms

COMMENTS: N\POLY is N-well under polysilicon.

CAPACITANCE PARAMETERS	N+ACTV	P+ACTV	POLY	POLY2	M1	M2	M3	N_WELL	UNITS
Area (substrate)	428	731	88		32	16	10	41	aF/um^2
Area (N+active)			2491		36	16	12		aF/um^2
Area (P+active)			2425						aF/um^2
Area (poly)				881	52	16	9		aF/um^2
Area (poly2)					47				aF/um^2
Area (metall1)						32	13		aF/um^2
Area (metal2)							36		aF/um^2
Fringe (substrate)	322	262			76	59	40		aF/um
Fringe (poly)					61	38	28		aF/um
Fringe (metall1)						53	34		aF/um
Fringe (metal2)							51		aF/um
Overlap (N+active)			207						aF/um
Overlap (P+active)			238						aF/um

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	2.13	volts
Vinv	1.5	2.39	volts
Vol (100 uA)	2.0	0.23	volts
Voh (100 uA)	2.0	4.76	volts
Vinv	2.0	2.57	volts
Gain	2.0	-21.19	
Ring Oscillator Freq.			
DIV256 (31-stg,5.0V)		98.00	MHz
D256_WIDE (31-stg,5.0V)		151.14	MHz
Ring Oscillator Power			
DIV256 (31-stg,5.0V)		0.49	uW/MHz/gate
D256_WIDE (31-stg,5.0V)		1.02	uW/MHz/gate

COMMENTS: SUBMICRON

T15M SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```

* DATE: Jul 20/01
* LOT: T15M WAF: 0206
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1 TNOM = 27 TOX = 1.39E-8
+XJ = 1.5E-7 NCH = 1.7E17 VTH0 = 0.6516076
+K1 = 0.8896025 K2 = -0.0979155 K3 = 23.8061513
+K3B = -7.7691025 W0 = 1E-8 NLX = 1E-9
+DVTOW = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 2.876542 DVT1 = 0.4218664 DVT2 = -0.1397962
+U0 = 451.8826245 UA = 1E-13 UB = 1.489875E-18
+UC = 1.893684E-11 VSAT = 1.704053E5 A0 = 0.5662277
+AGS = 0.1198161 B0 = 2.705871E-6 B1 = 5E-6
+KETA = -2.301173E-3 A1 = 7.285662E-5 A2 = 0.3586004
+RDSW = 1.159376E3 PRWG = 0.0531026 PRWB = 0.0349044

```

```

+WR      = 1
+XL      = 0
+DWB     = 5.50766E-8
+CIT     = 0
+CDSCB   = 0
+DSUB    = 0.1390103
+PDIBLC2 = 2.163004E-3
+PSCBE1  = 5.569704E8
+DELTA   = 0.01
+PRT     = 0
+KT1L    = 0
+UB1     = -7.61E-18
+WL      = 0
+WWN     = 1
+LLN     = 1
+LWL     = 0
+CGDO    = 2.07E-10
+CJ      = 4.256515E-4
+CJSW    = 3.329281E-10
+CJSWG   = 1.64E-10
+CF      = 0
+PK2     = -0.0327168
*
.MODEL CMOS PMOS (
+VERSION = 3.1
+XJ      = 1.5E-7
+K1      = 0.5493891
+K3B     = -0.5844741
+DVTOW   = 0
+DVT0    = 2.6496816
+U0      = 216.8004604
+UC      = -5.60899E-11
+AGS     = 0.1446194
+KETA    = -3.911589E-3
+RDSW    = 3E3
+WR      = 1
+XL      = 0
+DWB     = 2.330863E-8
+CIT     = 0
+CDSCB   = 0
+DSUB    = 1
+PDIBLC2 = 5.000285E-3
+PSCBE1  = 1.444005E10
+DELTA   = 0.01
+PRT     = 0
+KT1L    = 0
+UB1     = -7.61E-18
+WL      = 0
+WWN     = 1
+LLN     = 1
+LWL     = 0
+CGDO    = 2.38E-10
+CJ      = 7.275007E-4
+CJSW    = 2.884359E-10
+CJSWG   = 6.4E-11
+CF      = 0
+PK2     = 3.73981E-3
WINT     = 2.360078E-7
XW       = 0
VOFF     = 0
CDSC     = 2.4E-4
ETA0     = 1.688074E-3
PCLM     = 2.4002094
PDIBLCB  = -0.118451
PSCBE2   = 5.935496E-5
RSH      = 80.1
UTE      = -1.5
KT2      = 0.022
UC1      = -5.6E-11
WLN      = 1
WWL      = 0
LW       = 0
CAPMOD   = 2
CGSO     = 2.07E-10
PB       = 0.99
PBSW     = 0.1
PBSWG    = 0.1
PVTH0    = 0.0661673
WKETA    = -0.0250765
LINT     = 2.450767E-8
DWG      = -1.296776E-8
NFACTOR  = 0.821639
CDSCD    = 0
ETAB     = -8.785487E-4
PDIBLC1  = -0.0558623
DROUT    = 0.385872
PVAG     = 0
MOBMOD   = 1
KT1      = -0.11
UA1      = 4.31E-9
AT       = 3.3E4
WW       = 0
LL       = 0
LWN      = 1
XPART    = 0.5
CGBO     = 1E-9
MJ       = 0.447835
MJSW     = 0.1169342
MJSWG    = 0.1169342
PRDSW    = 201.5784264
LKETA    = 6.176997E-3
)
LEVEL    = 49
TOX      = 1.39E-8
VTH0     = -0.9259178
K3       = 8.9116777
NLX      = 7.795747E-8
DVT2W    = 0
DVT2     = -0.0963638
UB       = 1E-21
A0       = 0.8656114
B1       = 5E-6
A2       = 0.3
PRWB     = -0.0379172
LINT     = 4.581285E-8
DWG      = -1.617949E-8
NFACTOR  = 0.9168444
CDSCD    = 0
ETAB     = -0.112099
PDIBLC1  = 0.1016884
DROUT    = 0.292315
PVAG     = 0
MOBMOD   = 1
KT1      = -0.11
UA1      = 4.31E-9
AT       = 3.3E4
WW       = 0
LL       = 0
LWN      = 1
XPART    = 0.5
CGBO     = 1E-9
MJ       = 0.4937011
MJSW     = 0.3331605
MJSWG    = 0.3331605
PRDSW    = 14.8598424
LKETA    = -3.385326E-3

```

Ek2: İris sınıflama probleminin normalize girişlere karşılık yazılım ve donanım çıkışları

Giriş 1	Giriş 2	Giriş 3	Giriş 4	Yazılım Çıkışı	Donanım Çıkışı
-0.55554	0.25005	-0.8645	-0.91664	-0.51321	-0.5395
-0.66666	-0.1666	-0.8645	-0.91664	-0.48998	-0.57002
-0.77778	0,00006	-0.8984	-0.91664	-0.50234	-0.55438
-0.83334	-0.08327	-0.8306	-0.91664	-0.4866	-0.59167
-0.6111	0.33338	-0.8645	-0.91664	-0.51663	-0.53897
-0.38886	0.58337	-0.7628	-0.74998	-0.49622	-0.57989
-0.83334	0.16672	-0.8645	-0.83331	-0.49413	-0.57549
-0.6111	0.16672	-0.8306	-0.91664	-0.50347	-0.56672
-0.94446	-0.24993	-0.8645	-0.91664	-0.48091	-0.59047
-0.66666	-0.08327	-0.8306	-0.99997	-0.50063	-0.57379
-0.38886	0.41671	-0.8306	-0.91664	-0.51884	-0.53316
-0.72222	0.16672	-0.7967	-0.91664	-0.49666	-0.58963
-0.72222	-0.1666	-0.8645	-0.99997	-0.50051	-0.56584
-1	-0.1666	-0.9662	-0.99997	-0.51122	-0.5348
-0.16662	0.6667	-0.9323	-0.91664	-0.54411	-0.40824
-0.22218	1	-0.8306	-0.74998	-0.52833	-0.50152
-0.38886	0.58337	-0.8984	-0.74998	-0.51523	-0.50671
-0.55554	0.25005	-0.8645	-0.83331	-0.50249	-0.55078
-0.22218	0.50004	-0.7628	-0.83331	-0.50528	-0.5629
-0.55554	0.50004	-0.8306	-0.83331	-0.51049	-0.55459
-0.38886	0.16672	-0.7628	-0.91664	-0.49647	-0.58178
-0.55554	0.41671	-0.8306	-0.74998	-0.49516	-0.56838
-0.83334	0.33338	-10001	-0.91664	-0.53115	-0.4709
-0.55554	0.08339	-0.7628	-0.66665	-0.45184	-0.60331
-0.72222	0.16672	-0.695	-0.91664	-0.47936	-0.62348
-0.6111	-0.1666	-0.7967	-0.91664	-0.47998	-0.59335
-0.6111	0.16672	-0.7967	-0.74998	-0.47483	-0.59352
-0.49998	0.25005	-0.8306	-0.91664	-0.50924	-0.55348
-0.49998	0.16672	-0.8645	-0.91664	-0.50974	-0.53993
-0.77778	0,00006	-0.7967	-0.91664	-0.4866	-0.5984
-0.72222	-0.08327	-0.7967	-0.91664	-0.48284	-0.59746
-0.38886	0.16672	-0.8306	-0.74998	-0.48397	-0.56695
-0.49998	0.75003	-0.8306	-0.99997	-0.54246	-0.50107
-0.3333	0.83336	-0.8645	-0.91664	-0.54249	-0.46776
-0.66666	-0.08327	-0.8306	-0.99997	-0.50063	-0.57379
-0.6111	0,00006	-0.9323	-0.91664	-0.50914	-0.52115
-0.3333	0.25005	-0.8984	-0.91664	-0.52015	-0.49698
-0.66666	-0.08327	-0.8306	-0.99997	-0.50063	-0.57379
-0.94446	-0.1666	-0.8984	-0.91664	-0.49103	-0.5743
-0.55554	0.16672	-0.8306	-0.91664	-0.50424	-0.56247
-0.6111	0.25005	-0.8984	-0.83331	-0.50651	-0.53707
-0.8889	-0.74991	-0.8984	-0.83331	-0.44463	-0.58764
-0.94446	0,00006	-0.8984	-0.91664	-0.50003	-0.56716
-0.6111	0.25005	-0.7967	-0.58332	-0.45426	-0.59667
-0.55554	0.50004	-0.695	-0.74998	-0.47745	-0.61568
-0.72222	-0.1666	-0.8645	-0.83331	-0.47723	-0.57982
-0.55554	0.50004	-0.7967	-0.91664	-0.51622	-0.56141
-0.83334	0,00006	-0.8645	-0.91664	-0.49653	-0.57476
-0.44442	0.41671	-0.8306	-0.91664	-0.51818	-0.53822

-0.6111	0.08339	-0.8645	-0.91664	-0.50406	-0.55406
0.5001	0,00006	0.2542	0.08332	0.16315	0.16632
0.16674	0,00006	0.1864	0.16665	0.17978	0.18279
0.44454	-0.08327	0.322	0.16665	0.26914	0.27095
-0.3333	-0.74991	0.0169	-0,00001	0.15851	0.16147
0.2223	-0.33326	0.2203	0.16665	0.25576	0.25777
-0.22218	-0.33326	0.1864	-0,00001	0.20545	0.20829
0.11118	0.08339	0.2542	0.24998	0.25792	0.25995
-0.66666	-0.66658	-0.2204	-0.25	-0.076089	-0.07643
0.27786	-0.24993	0.2203	-0,00001	0.16695	0.17011
-0.49998	-0.41659	-0.017	0.08332	0.12959	0.13265
-0.6111	-0.9999	-0.1526	-0.25	0.0085203	0.01024
-0.11106	-0.1666	0.0847	0.16665	0.15912	0.16215
-0.0555	-0.83324	0.0169	-0.25	0.047116	0.049751
0,00006	-0.24993	0.2542	0.08332	0.25567	0.25775
-0.27774	-0.24993	-0.1187	-0,00001	-0.016188	-0.015142
0.33342	-0.08327	0.1525	0.08332	0.11844	0.1216
-0.27774	-0.1666	0.1864	0.16665	0.25287	0.255
-0.16662	-0.41659	0.0508	-0.25	0.01674	0.019292
0.05562	-0.83324	0.1864	0.16665	0.33214	0.33265
-0.27774	-0.58325	-0.017	-0.16667	0.037611	0.040173
-0.11106	0,00006	0.2881	0.41664	0.39352	0.39264
0,00006	-0.33326	0.0169	-0,00001	0.061006	0.063644
0.11118	-0.58325	0.322	0.16665	0.39022	0.38942
0,00006	-0.33326	0.2542	-0.08334	0.19999	0.20289
0.16674	-0.24993	0.1186	-0,00001	0.10351	0.10667
0.27786	-0.1666	0.1525	0.08332	0.13718	0.14033
0.38898	-0.33326	0.2881	0.08332	0.25585	0.25789
0.33342	-0.1666	0.3559	0.33331	0.39315	0.39228
-0.0555	-0.24993	0.1864	0.16665	0.24409	0.24632
-0.22218	-0.49992	-0.1526	-0.25	-0.092984	-0.09383
-0.3333	-0.66658	-0.0509	-0.16667	0.03245	0.034813
-0.3333	-0.66658	-0.0848	-0.25	-0.020311	-0.01894
-0.16662	-0.41659	-0.017	-0.08334	0.033998	0.036382
-0.0555	-0.41659	0.3898	0.24998	0.46847	0.46587
-0.38886	-0.1666	0.1864	0.16665	0.26438	0.26631
-0.0555	0.16672	0.1864	0.24998	0.20888	0.21163
0.33342	-0.08327	0.2542	0.16665	0.22821	0.23069
0.11118	-0.74991	0.1525	-0,00001	0.21555	0.21811
-0.27774	-0.1666	0.0508	-0,00001	0.084081	0.087267
-0.3333	-0.58325	0.0169	-0,00001	0.13149	0.13458
-0.3333	-0.49992	0.1525	-0.08334	0.18422	0.1873
0,00006	-0.1666	0.2203	0.08332	0.21549	0.21818
-0.16662	-0.49992	0.0169	-0.08334	0.069811	0.072692
-0.6111	-0.74991	-0.2204	-0.25	-0.068905	-0.069165
-0.27774	-0.41659	0.0847	-0,00001	0.14853	0.15175
-0.22218	-0.1666	0.0847	-0.08334	0.070234	0.073459
-0.22218	-0.24993	0.0847	-0,00001	0.11622	0.11952
0.05562	-0.24993	0.1186	-0,00001	0.11407	0.11731
-0.55554	-0.58325	-0.3221	-0.16667	-0.12382	-0.12608
-0.22218	-0.33326	0.0508	-0,00001	0.10521	0.10839
0.11118	0.08339	0.6949	0.99995	0.88496	0.8832
-0.16662	-0.41659	0.3898	0.49997	0.58602	0.58125
0.55566	-0.1666	0.661	0.66663	0.74051	0.7356
0.11118	-0.24993	0.5593	0.41664	0.62343	0.61861

0.2223	-0.1666	0.6271	0.74996	0.77926	0.77485
0.83346	-0.1666	0.8983	0.66663	0.86828	0.86691
-0.66666	-0.58325	0.1864	0.33331	0.4369	0.435
0.66678	-0.24993	0.7966	0.41664	0.73911	0.73519
0.33342	-0.58325	0.6271	0.41664	0.70497	0.70003
0.61122	0.33338	0.7288	0.99995	0.83033	0.82689
0.2223	0,00006	0.3898	0.5833	0.51022	0.5067
0.16674	-0.41659	0.4576	0.49997	0.60379	0.59879
0.38898	-0.1666	0.5254	0.66663	0.65957	0.65413
-0.22218	-0.58325	0.3559	0.5833	0.62834	0.62302
-0.16662	-0.33326	0.3898	0.91662	0.74106	0.73555
0.16674	0,00006	0.4576	0.83329	0.67184	0.66624
0.2223	-0.1666	0.5254	0.41664	0.57297	0.56854
0.88902	0.50004	0.9322	0.74996	0.81963	0.81755
0.88902	-0.49992	1	0.83329	1.013	1.0145
-0.0555	-0.83324	0.3559	0.16665	0.47787	0.47505
0.44454	0,00006	0.5932	0.83329	0.74251	0.7373
-0.27774	-0.33326	0.322	0.5833	0.56624	0.5617
0.88902	-0.33326	0.9322	0.5833	0.87785	0.87696
0.11118	-0.41659	0.322	0.41664	0.46893	0.46629
0.33342	0.08339	0.5932	0.66663	0.67383	0.66864
0.61122	0,00006	0.6949	0.41664	0.63325	0.6286
0.05562	-0.33326	0.2881	0.41664	0.43358	0.43175
0,00006	-0.1666	0.322	0.41664	0.43747	0.43555
0.16674	-0.33326	0.5593	0.66663	0.73175	0.72659
0.61122	-0.1666	0.6271	0.24998	0.54112	0.53729
0.72234	-0.33326	0.7288	0.49997	0.73319	0.72857
10001	0.50004	0.8305	0.5833	0.67989	0.67548
0.16674	-0.33326	0.5593	0.74996	0.76393	0.75899
0.11118	-0.33326	0.3898	0.16665	0.4007	0.41964
0,00006	-0.49992	0.5593	0.08332	0.53789	0.5342
0.88902	-0.1666	0.7288	0.83329	0.81928	0.81533
0.11118	0.16672	0.5593	0.91662	0.75593	0.75094
0.16674	-0.08327	0.5254	0.41664	0.56459	0.56031
-0.0555	-0.1666	0.2881	0.41664	0.4165	0.41507
0.44454	-0.08327	0.4915	0.66663	0.615	0.60982
0.33342	-0.08327	0.5593	0.91662	0.77418	0.76917
0.44454	-0.08327	0.3898	0.83329	0.6068	0.60162
-0.16662	-0.41659	0.3898	0.49997	0.58602	0.58125
0.38898	0,00006	0.661	0.83329	0.79333	0.78911
0.33342	0.08339	0.5932	0.99995	0.80311	0.79865
0.33342	-0.1666	0.4237	0.83329	0.65747	0.65183
0.11118	-0.58325	0.3559	0.49997	0.55957	0.5551
0.2223	-0.1666	0.4237	0.5833	0.56502	0.5605
0.05562	0.16672	0.4915	0.83329	0.68044	0.67498
-0.11106	-0.1666	0.3898	0.41664	0.50258	0.49925

KAYNAKLAR

- Abouchi, N., Gallorini, R., Vinard, C., Grisel, R., (1999), "Analog EEPROM in standard process AMS 0.8 μ m CMOS" Circuits and Systems", 42nd Midwest Symposium on Vol. 1, 8-11 Aug. 1999, 153 – 156.
- Abuelmeatti, M.T., (2002), "Universal CMOS Analog Function Synthesizer", IEEE Trans. On Circuits and Systems-I, vol. 49, no. 10, pp. 1468-1474
- Adaptive Solutions, (1992), "CNAPS Back-Propagation Guide", September 1992, Adaptive Solutions Inc.
- Aleksander, I., Thomas, W. ve Bowden P., (1984), "WISARD, a radical new step forward in image recognition", Sensor review, 120-124.
- Alhalabi, B.A., Bayoumi, M., (1995), "A scalable analog architecture for neural networks with on-chip learning and refreshing", VLSI, 1995. Proceedings., Fifth Great Lakes Symposium on , 16-18 March 1995, 33 – 38.
- Almeida, A.P., Franca, J.E., (1996), "Digitally programmable analog building blocks for the implementation of artificial neural networks", Neural Networks, IEEE Transactions on, Volume: 7 , Issue: 2 , March 1996 506 – 514
- Alspector, J., (1991), "VLSI Architecture For Neural Networks.", Neural Networks: Concepts, Applications, and Implementations, Vol. 1, 180-213, Prentice-Hall.
- Arena, P., Basile, A., Bucolo, M., ve Fortuna, L., (2003), "An Object Oriented Segmentation on Analog CNN Chip", IEEE Transact. on Circuits and Systems-I, vol. 50, no. 7, pp. 837-846.
- Arif, A.F., Kuno, S., Iwata, A., Yoshida, Y., (1993), "A Neural Network Accelerator Using Matrix Memory with Broadcast Bus", Proceedings of the IJCNN-93-Nagoya, 3050-3053.
- Asai, T., Ohtani, M., ve Yonezu, H., (1999), "Analog Integrated Circuits for the Lotka–Volterra Competitive Neural Networks", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 10, NO. 5, SEPTEMBER 1999, 1222-1231
- Avcı, M. ve Yıldırım, T., (2002a), "123 karar diyagramı ile geçiş transistörlü CMOS devre sentezi ve 4 bit toplayıcı uygulaması" ELECO 2002 Elektrik, Elektronik ve Bilgisayar Mühendisliği Sempozyumu kitabı, sf. 84-44, Bursa, 18-22 Aralık, 2002
- Avcı, M. ve Yıldırım, T., (2002b), "Classification of Eschericia Coli Bacteria by Artificial Neural Networks", IEEE International Symposium on Intelligent Systems, Vol III, 16-20, Varna, Bulgaristan, September 10-12, 2002.
- Avcı, M. ve Yıldırım, T., (2003a), "General design method for complementary pass transistor logic circuits", Electronics Letters , Vol. 39 Issue 1 , Jan. 2003, 46 –48.
- Avcı, M. ve Yıldırım, T., (2003b), "Microcontroller based neural network realization and iris plant classifier application", XII. International TAINN Symposium Proceedings, Vol. E4, 327-329, Çanakkale, Turkey, July 2-4, 2003
- Avcı, M. ve Yıldırım, T., (2003c), "Generation of tangent hyperbolic sigmoid function for microcontroller based digital implementations of neural networks", XII. TAINN Symposium Proceedings, Vol. E4, 339-341, Çanakkale, Turkey, July 2-4, 2003

- Avacı, M. ve Yıldırım, T., (2003d), "A coding method for 123 decision diagram pass transistor logic circuit synthesis", IEEE International Symposium on Circuits and Systems Proceedings (ISCAS), Bangkok, Vol. 5, 189-192, May 25-28, 2003.
- Avacı, M. ve Yıldırım, T., (2003e) "Geçiş transistor lojisi ile CMOS sayısal sinaptik çarpıcı sentezi", Elektrik-Elektronik-Bilgisayar Mühendisliği 10. Ulusal Kongresi, İstanbul, vol. 2, sf. 326-329, 18-21 Eylül, 2003
- Avacı, M. ve Yıldırım, T., (2003f), "DSP kırmıklarının geçiş transistörü lojisi tabanlı tasarımı", 11. Sinyal İşleme ve Uygulamaları (SIU) Kurultayı, İstanbul, sf. 544-547, 18-20 Haziran, 2003
- Avacı, M. ve Yıldırım, T., (2004a), "An introduction to Avci-Yildirim Neural Networks", NEU-CEE 2004 2nd International symposium on Electrical and Computer Engineering Proceedings, March 11-13, 267-271, Nicosia, North Cyprus, 2004.
- Avacı, M. ve Yıldırım, T., (2004b), "AY-Yapay Sinir Ağı ile Radyal Tabanlı Yapay Sinir Hücresi Sentezi", Akıllı Sistemlerde Yenilikler ve Uygulamaları Sempozyumu 2004 (ASYU INISTA 2004) bildiriler kitabı, sf. 100-103, Yıldız Teknik Üniversitesi, İstanbul, 23-25 Haziran 2004.
- Ayala J.L., Lomena A.G., Lopez-Vallejo, M. ve Fernandez, A., (2002), "Design of a pipelined hardware architecture for real-time neural network computations", Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on , Volume: 1 , 4-7 Aug. 2002, 419-22.
- Aybay, I., Çetinkaya, S. ve Halıcı, U., (1996), "Classification of Neural Network Hardware", Neural Network World, IDG Co., Vol. 6, No 1, 1996, pp 11-29 .
- Badel, S., Schmid, A., Leblebici, Y., (2003), "A VLSI Hamming artificial neural network with k-winner-take-all and k-loser-take-all capability", Neural Networks, 2003. Proceedings of the International Joint Conference on , Volume: 2 , 20-24 July 2003 977 - 982 vol.2
- Bambang R. T., Anggono L., Uchida K., (2002), "DSP Based RBF Neural Modeling and Control for Active Noise Cancellation", IEEE Proceedings of the International Symposium on Intelligent Control, Vancouver, Canada, October 27-30, 460-466.
- Barron, A.R., (1993), "Universal Approximation Bounds for Superpositions of a Sigmoidal Function", IEEE Trans. Info. Th., 39(3), 930-945.
- Baxter, D.J., (1992), "Process-Tolerant VLSI Neural Networks for Applications in Optimisation", Doktora Tezi, The University of Edinburgh.
- Bayraktaroğlu, İ., Öğrenci, A., S., Dündar, G. ve diğerleri, (1999), "ANNSyS: An Analog Neural Network Synthesis System", Neural Networks, Vol. 12, 325-338.
- Beiu, V. ve Taylor, J.G., (1995a), "VLSI Optimal Neural Network Learning Algorithm", In D.W. Pearson, N.C. Steele ve R.F. Albrecht (eds.): Artif. Neural Nets ve Genetic Algs. ICANNGA'95, Springer, NY, 61-64.
- Beiu, V. ve Taylor, J.G., (1995b), "Optimal Mapping of Neural Networks onto FPGAs", In J. Mira ve F. Sandoval (eds.): From Natural to Artif. Neural Comp., LNCS 930, Springer, Berlin, 822-829.
- Beiu, V., (1996a), "Optimal VLSI Implementations of Neural Networks: VLSI-Friendly Learning Algorithms", Chapter 18, J.G. Taylor (ed.): Neural Networks and Their Applications, Wiley, Chichester, 255-276, 1996.

Beiu, V. ve Taylor, J.G., (1996b), "On the Circuit Complexity of Sigmoid Feedforward Neural Networks", *Neural Networks*, 9(7), 1155-1171, 1996.

Beiu, V., (1998), "How to Build VLSI-Efficient Neural Chips", *Proceedings of the International ICSC Symposium on Engineering of Intelligent Systems, EIS'98*, Teneferie, Spain, February 1998, 9-13.

Bengtsson, L., Linde, A., Svensson, B., Tavenkiku, M., Ahlander, A., (1993), "The REMAP Massively Parallel Computer for Neural Computations", *Proceedings of the 3rd International Conference on Microelectronics for Neural Networks (Micro Neuro)*, Edinburgh, 47-62.

Bogdan, M., Speckmann, H., Rosenstiel, W., (1994), "Kobold: a neural coprocessor for backpropagation with online learning", *Microelectronics for Neural Networks and Fuzzy Systems, 1994.*, *Proceedings of the Fourth International Conference on*, 26-28 Sept. 1994, 110 – 117.

Camboni, F., Valle, M., (2001), "A mixed mode perceptron cell for VLSI neural networks", *Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on*, Volume: 1, 2-5 Sept. 2001 377 - 380 vol.1

Carmona, R., Jimenez-Garrido, F., Dominguez-Castro, R., Espejo, S., Rodriguez-Vazquez, A., (2002), "CMOS realization of a 2-layer CNN universal machine chip" *Cellular Neural Networks and Their Applications*, CNNA 2002, *Proceedings of the 2002 7th IEEE International Workshop on*, 22-24 July 2002 444 - 51,xviii-x.

Chacon MMI, Zimmerman, S.A., Sanchez, A.D., (2002), "PCNNP: a pulse-coupled neural network processor", *Neural Networks, 2002. IJCNN '02. Proceedings of the 2002 International Joint Conference on*, Volume: 2, 12-17 May 2002 1581 – 1584.

Chernukhin, K.V., Samarin, M.A., Gryasin, E.A., (1995), "Neurotransputers: new hardware component for parallel neurocomputers", *Neuroinformatics and Neurocomputers, 1995.*, *Second International Symposium on*, 20-23 Sept. 1995, 379 – 380.

Chicca, E., Badoni, D., Dante, V., D'Andreagiovanni, M., Salina, G., Carota, L., Fusi, S. ve Del Giudice, P. A., (2003a), "VLSI recurrent network of integrate-and-fire neurons connected by plastic synapses with long-term memory", *Neural Networks, IEEE Transactions on*, Volume: 14 Issue: 5, Sept. 2003 1297 – 1307.

Chicca, E., Indiveri, G., Douglas, R., (2003b), "An adaptive silicon synapse", *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, vol. 1, 25-28 May 2003 I-81 - I-84.

Churcher, S., D.J. Baxter, A. Hamilton, A.F. Murray, ve H.M. Reekie (1992), "Generic analog neural computation - the Epsilon chip", *Advances in Neural Information Processing Systems: Proceedings of the 1992 Conference*, Denver Colorado

Costa, M., Palmisano, D., Pasero, E., (1995), "NESP: an analog NEural Signal Processor", *Circuits and Systems, 1995. ISCAS '95.*, *1995 IEEE International Symposium on*, vol. 3, 28 April-3 May 1995, 2189 - 2192 vol.3.

Cromenco, S.A. ve Benelux, N.V, (1993), "Adaptive Solutions CNAPS Server/64 data sheets", *Adaptive Solutions Inc.*, Beaverton, Oregon,

Current Technology, (1995), *MM32K Preliminary Documentation*, Current Technology Inc.

- Deyong, M., R., Findlley, R., L. ve Fields, C., (1992), "The Design, Fabrication, and Test of a New VLSI Hibrit Analog-Digital Neural Processing Element", IEEE Transactions on Neural Networks, Vol. 3, No 3, May 1992, 363-374
- Diorio, C., Hasler, P., Minch, B., A. ve Mead, C., (1996), "A Single-Transistor Silicon Synapse", IEEE Transactions on Electron Devices, Vol. 43, No. 11, November 1996, 1-9.
- Djahanshahi, H., Ahmadi, M., Jullien, G.A., Miller, W.C., (1996), "A modular architecture for hybrid VLSI neural networks and its application in a smart photosensor", Neural Networks, 1996., IEEE International Conference on , Volume: 2 , 3-6 June 1996 868 - 873
- Dogaru, R., Julian, P., Chua, L., O. ve Glesner, M., (2002), "The Simplicial Neural Cell and Its Mixed Signal Circuit Implementation: An Efficient Neural-Network Architecture for Intelligent Signal Processing in Portable Multimedia Applications", IEEE Transactions on Neural Networks, Vol. 13, No. 4, July 2002, 995-1008.
- Draghici, S., Miller, D.A., (1999), "A VLSI neural network classifier based on integer-valued weights", Neural Networks, 1999. IJCNN '99. International Joint Conference on , Volume: 4 , 10-16 July 1999 2419 - 2424 vol.4
- Düzgün, Ö. O., Avcı, M., Yıldırım, T., (2003), "Mikrodenetleyici tabanlı yapay sinir hücresi gerçekleştirilmesi ve bir patern sınıflama uygulaması", III. Ulusal Proje Aranıyor Öğrenci Sempozyumu, sf. 68-72, Erciyes Üniv., Kayseri, 28-30 Nisan, 2003.
- Eberhardt, S.P., (1992), "Analog VLSI Neural Networks: Implementation Issues and Examples in Optimization and Supervised Learning.", IEEE Transactions on Industrial Electronics, Vol. 39, No. 6, 552-564.
- Eide, A., Lindblad, Th., Lindsey, C.S., Minerskjold, M., Sekhniaidze, G. ve Szekely, G., (1994), "An implementation of the Zero Instruction Set Computer (ZISCO36) on a PC/ISA-bus card", Proceedings of the WNN/FNN-94-Washington DC,
- Eldredge, J.G., Hutchings, B.L., "RRANN: the run-time reconfiguration artificial neural network", Custom Integrated Circuits Conference, 1994., Proceedings of the IEEE 1994 , 1-4 May 1994 77 – 80
- Fisher, R., A., (1936), "The use of multiple measurements in taxonomic problem", Annual Eugenics, 7, Part II, 1936, 179-188.
- Fisher, W., A., Fujimoto, R., J. ve Smithson, R., C., (1991), "A Programmable Analog Neural Network Processor", IEEE Transactions on Neural Networks, Vol. 2, No. 2, March 1991, 222-229.
- Fujita, O. ve Amemiya, Y., (1993), "A floating gate analog memory device for neural networks", IEEE Transactions on Electron Devices, Vol. 40, No. 11, November 1993, 2029-2035.
- Fusi, S., Annunziato, M., Badoni, D., Salamon, A. ve Amit, J., D., (2000), "Spike-Driven Synaptic Plasticity: Theory, Simulation, VLSI Implementation", Neural Computation, Vol. 12, 2000, 2227-2258.
- Gadea, R., Cerda, J., Ballester, F., Macholi, A., (2000), "Artificial neural network implementation on a single FPGA of a pipelined on-line backpropagation", System Synthesis, 2000. Proceedings. The 13th International Symposium on , 20-22 Sept. 2000 225 – 230

Galan, R.C., Francisco Jiménez-Garrido, Rafael Domínguez-Castro, Servando Espejo, Tamás Roska, Csaba Rekeczky, István Petrás, and Ángel Rodríguez-Vázquez, (2003), "A Bio-Inspired Two-Layer Mixed-Signal Flexible Programmable Chip for Early Vision", IEEE Transactions on Neural Networks, Vol. 14, No. 5, 2003, 1313-1336.

Gascuel, J.D., et. al., (1991), "A digital CMOS fully connected neural network with incircuit learning capability and automatic identification of spurious attractors", IEEE Conference on Euro ASIC 1991.

Gatt, E., Micallef, J., (2002), "Analogue radial basis function networks for phoneme recognition", Electronics, Circuits and Systems, 2002. 9th International Conference on, Volume: 2, 15-18 Sept. 2002, 583 – 586.

Gharpure, D.C., Puranik, M.S., (2002), "FPGA implementation of MFNN for image registration", Field-Programmable Technology, 2002. (FPT). Proceedings. 2002 IEEE International Conference on, 16-18 Dec. 2002, 364 – 367.

Glesner, M., ve Pöschmüller, M., (1994), "Neurocomputers. An overview of neural networks in VLSI", Chapman ve Hall, Neural Computing series, London.

Grachev, L.V., ve E.J. Kirsanov (1993), "The general purpose neurocomputer: Hercules", Proceedings of the IJCNN-93-Nagoya, 1935-1938.

Graf, H.P., (1991), "Analog Electronic Neural Networks for Pattern Recognition Applications.", Neural Networks: Concepts, Applications, and Implementations, Vol. 1, 155-179, Prentice-Hall.

Grasjki, K.A. (1992), "Neurocomputing using the MasPar MP-1", In: Przytula and Prasanna (Eds.). Digital Parallel Implementations of Neural Networks. Prentice Hall, Englewood Cliffs, NJ.

Hafliger, P., Rasche, C., (1999), "Floating gate analog memory for parameter and variable storage in a learning silicon neuron" Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on, Volume: 2, 30 May-2 June 1999 416 – 419.

Hamilton, A., v.d., (1993), "Pulse Stream VLSI Circuits and Systems: The EPSILON Neural Network Chipset", International Journal of Neural Systems, Vol. 4, No. 4, 395-405.

Han, I., K. Ahn, H. Park (1993), "Electronic Implementation of Artificial Neural Network with URAN", Proceedings of the IJCNN-93-Nagoya, 1963-1966.

Harrison, R.R., Hasler, P., Minch, B.A., (1998), "Floating-gate CMOS analog memory cell array", Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on, Volume: 2, 31 May-3 June 1998 204 – 207.

Hartmann, G., G. Frank, M. Schafer, and C. Wolff, (1997), "SPIKE128K—An accelerator for dynamic simulation of large pulse-coded networks," in Proc. MicroNeuro'97, 1997, 130–139.

Hasler, P., Minch, B.A., Diorio, C., (1999), "Floating-gate devices: they are not just for digital memories any more", Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on, Volume: 2, 30 May-2 June 1999 388 – 391.

Haykin, S., (1994), "Neural Networks: A Comprehensive Foundation", Chapter 15: "VLSI Implementations of Neural Networks", 593-615, Macmillan.

Hecht-Nielsen, R. (1990). Neurocomputing. Addison-Wesley Publishing Company.

Heemskerk, J.N.H, v.d., (1994), "The BSP400: A Modular Neurocomputer.", Microprocessors and Microsystems, March 1994.

Heemskerk, J.N.H, (1995), "Overview of Neural Hardware.", doktora tezi.

Hikawa, H., (1999), "Frequency-Based Multilayer Neural Network with On-Chip Learning and Enhanced Neuron Characteristics", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 10, NO. 3, MAY 1999, 545-553

Hiraiwa, A., Kurosu, S., Arisawa, S. ve Inoue, M., (1990), "A two level pipeline RISC processor array for ANN", Proceedings of the IJCNN-90-Washington DC, II-137-140.

Hitachi, (1993), My-Neuropower. datasheet. 5-22-1 Jousuihon-cho, Kodaira-shi, Tokyo.

HNC, (1993), High-Performance Parallel Computing. Simd Numerical Array Processor. Data Sheet. 5501 Oberlin Drive, San Diego, CA, USA.

Holler, M., Tam, S., Castro, H., Benson, R., (1989), "An Electrically Trainable Artificial Neural Network (ETANN) with 1024 Floating Gate Synapses". Proceedings of the IJCNN-89-Washington DC, II-191-196.

Hopfield, J.J., (1982) "Neural Networks and Physical Systems with Emergent Collective Computational Abilities", Proceedings of the National Academy of Sciences USA, 79, 2554-2558.

Horio, Y., Aihara, K. ve Yamamoto, O., (2003), "Neuron-Synapse IC Chip-Set for Large-Scale Chaotic Neural Networks", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 14, NO. 5, SEPTEMBER 2003, 1393-1404

Hsu, D., Figueroa, M. ve Diorio, C., (2002), "Competitive Learning With Floating-Gate Circuits", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 13, NO. 3, MAY 2002, 732-744

Ichikawa M., Yamada H., Matsumoto G., (2000), "Realization model for brain computing", Applied Mathematics and Computation, 111, 193-202.

Ienne, P., (1993a), "GENES IV: A Bit-Serial Processing Element for a Multi-Model Neural Network Accelerator.", Proc. Int. Conf. Application-Specific Array Processors 1993, 345-356.

Ienne, P., (1993b), "Architectures for Neuro-Computers: Review and Performance Evaluation.", EPFL Technical Report 93/21.

Ienne, P., v.d., (1994), "Implementation of Kohonen's Self-Organizing Maps on MANTRA I.", Proc. Forth Int. Conf. Microelectronics for Neural Networks and Fuzzy Systems, 273-279.

Ienne, P., (1995), "Digital Systems for Neural Networks.", Digital Signal Processing Technology, SPIE Optical engineering.

Intel, (1990), "80170NW ETANN Experimental Sheet", May 1990, Intel Corp.

Iwata, A., Yoshida, Y., Matsuda, S., Sato, Y. ve Suzumura, N., (1989), "An Artificial Neural Network Accelerator using General Purpose 24 Bits Floating Point Digital Signal Processors", Proceedings of the IJCNN-89-Washington DC, II-171-175.

- Jabri, M.A. ve Flower, B., (1992), "Weight Perturbation: An Optimal Architecture and Learning Technique for Analog VLSI Feedforward and Recurrent Multi-layer Networks", IEEE Trans. on Neural Networks, NN-3(1), 154-157.
- Jackel, L.D., Graf, H.P., ve Howard, R.E., (1987), "Electronic Neural Network chips", Applied Optics, 26, 5077-5080.
- Jahnke, A., Roth, U. ve Klar, H., (1996), "A SIMD/dataflow architecture for a neurocomputer for spike-processing neural networks (NESPINN)," in Proc. MicroNeuro'96, 1996, 232-237.
- Johnson, D., E., Marsland, J., S. Ve Eccleston, W., "Neural Network implementation Using a Single MOST Per Synapse", IEEE Transactions on Neural Networks, Vol. 6, No. 4, July 1995, 1008-1011.
- Kato, H., Yoshizawa, H., Iciki, H. ve Asakawa, K., (1990), "A Parallel Neurocomputer Architecture towards Billion Connection Updates Per Second", Proceedings of the IJCNN-90-Washington DC, 2, 47-50.
- Keleş, F., Avcı, M. ve Yıldırım, T., (2003), "Floating gate MOS transistor based low voltage neuron design and XOR problem implementation", Third International Conference on Electrical and Electronics Engineering (ELECO'2003), 54-57, Bursa, Turkey, December 3-7, 2003
- Kinser, J. M. ve Lindblad, T., (1999), "Implementation of Pulse-Coupled Neural Networks in a CNAPS Environment", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 10, NO. 3, MAY 1999, 584-590.
- Kohonen, T., (1989). "Selforganization and associative memory", 3rd edition, Berlin Germany: Springer-Verlag. Kotilainen, P., J. Saarinen, ve K. Kaski (1993a). Neural network computation in a parallel multiprocessor architecture. Proceedings of the IJCNN-93-Nagoya, 1979-1982.
- Koosh, V.F. ve Goodman, R.M., (2002), Analog VLSI Neural Network With Digital Perturbative Learning, IEEE Transactions on Circuits and Systems II, Vol. 49, No. 5, May 2002, 359-368.
- Kotilainen, P., Saarinen, J., ve Kaski, K., (1993), "A multiprocessor architecture for general purpose neurocomputing applications", Micro neuro, Proceedings of the third International Conference on Microelectronics for Neural Networks, 6-8 April 1993. 35-45.
- Lan, J.F. ve Wu, C.Y., (1995), "Analog CMOS current-mode implementation of the feedforward neural network with on-chip learning and storage", Neural Networks, 1995. Proceedings., IEEE International Conference on , Volume: 1 , 27 Nov.-1 Dec. 1995, 645 - 650
- Landsverk, O., Greipsland, J., Solheim, J.G., Mathisen, J.A., Dahle, H. ve Utne, L., (1992), "RENNS – a Reconfigurable Neural Network Server", In: I. Aleksander ve J. Taylor (Eds.). Artificial Neural Networks II, Proceedings of the ICANN-92, Brighton UK, Amsterdam: Elsevier, 1455-1459.
- Larsson, L., Krol, S., Lagemann, K., (1996), "NeNEB-an application adjustable single chip neural network processor for mobile real time image processing", Neural Networks for Identification, Control, Robotics, and Signal/Image Processing, 1996. Proceedings., International Workshop on , 21-23 Aug. 1996, 154 – 162.

- Lee, B.W., Sheu, B.J., Yang H., (1991), "Analog Floating-gate synapses for general purpose VLSI neural computation", IEEE Transactions on Circuits and Systems Vol. 38, No. 6, June 1991, 654-658.
- Leong, P.H.W, (1993), "Kakadu - A Low Power Analogue Neural Network Classifier.", International Journal of Neural Systems, Vol. 4, No. 4, 381-394.
- Leong, P.H.W., Jabri, M.A., (1995), "A low-power VLSI arrhythmia classifier", Neural Networks, IEEE Transactions on , Volume: 6 , Issue: 6 , Nov. 1995, 1435 – 1445.
- Leung, C.S., ve Setiono, R., (1993). "Efficient neural network training algorithm for the Cray Y-MP supercomputer", Proceedings of the IJCNN-93-Nagoya, 1943-1946.
- Li, B., Li, Z. ve Shi, B., (1993), "An Analog Integrated Circuit of A Hamming Neural Network Designed And Fabricated in CMOS Technology", Proceedings of the IJCNN-93-Nagoya, 879-882.
- Linan-Cembrano, G., Espejo S., Dominguez-Castro R. ve Rodriguez-Vazquez A., (2000), "The CNNUC3: An Analog I/O 64x64 CNN Universal Machine Chip Prototype with 7-bit Analog Accuracy", 6th International Workshop on Cellular Neural Networks and Their Applications Proceedings, 201-206.
- Linares-Barranco, B., Sanchez-Sinencio, E., Rodriguez-Vazquez, A., Huertas, J.L., (1992), "Modular analog continuous-time VLSI neural networks with on-chip Hebbian learning and analog storage", Circuits and Systems, 1992. ISCAS '92. Proceedings., 1992 IEEE International Symposium on , Volume: 3 , 3-6 May 1992 1533 - 1536 vol.3
- Lippmann, R.P. (1991), "A Critical Overview of Neural Network Pattern Classifiers", Proceedings of the 1991 Workshop on Neural Networks for Signal Processing, 266-275.
- Liu, J. ve Brooke, M., (1999), "A fully parallel learning neural network chip for real-time control", Neural Networks, 1999. IJCNN '99. International Joint Conference on , Volume: 4, 10-16 July 1999 2323 - 2328 vol.4
- Liu, J., Brooke, M.A. and Hirotsu, K., (2002), "A CMOS Feedforward Neural-Network Chip With On-Chip Parallel Learning for Oscillation Cancellation", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 13, NO. 5, SEPTEMBER 2002, 1178-1186
- Lobato-Lopez, F. ve Finol, J. L., (2002), "A Low Voltage CMOS Implementation of a Linear Cellular Neural Network for Image Processing Applications", 4th International Caracas Conference on Devices, Circuits and Systems, Aruba, April 17-19, C026,1-6
- Lont, J., B. ve Guggenbühl, W., (1992), "Analog CMOS Implementation of a Multilayer Perceptron with Nonlinear Synapses", IEEE Transactions on Neural Networks, Vol. 3, No. 3, May 1992, 457-465.
- Lu C., Shi B., Chen L., (2000), "Analogue circuit realization of a programmable sigmoidal function and its derivative for on-chip BP learning", Circuits and Systems, 2000. IEEE APCCAS 2000. The 2000 IEEE Asia-Pacific Conference on , 4-6 Dec. 2000, 626 – 629.
- Lu C., Shi B., Chen L., (2001), "Hardware implementation of an on-chip BP learning neural network with programmable neuron characteristics and learning rate adaptation", Neural Networks, 2001. Proceedings. IJCNN '01. International Joint Conference on , Volume: 1 , 15-19 July 2001, 212 – 215.

- Lu C., Shi B. ve Chen L., (2002a), "Hardware Implementation of an Expandable On-Chip Learning Neural Network with 8-Neuron and 64-Synapse", Proceedings of IEEE, TENCON'02, 1451-1454.
- Lu C., Shi B., Chen L., (2002b), "A general-purpose neural network with on-chip BP learning" Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on, Volume: 2 , 26-29 May 2002 II-520 - II-523.
- Lu C., Bingxue Shi, (2000), "Building blocks for PWM VLSI neural network", Signal Processing Proceedings, 2000. WCCC-ICSP 2000. 5th International Conference on , Volume: 1 , 21-25 Aug. 2000 563 - 566 vol.1
- Maeda, Y., ve Tada, T., (2003), "FPGA Implementation of a Pulse Density Neural Network With Learning Ability Using Simultaneous Perturbation", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 14, NO. 3, MAY 2003, 688-695.
- Mathia, K., Clark, J., (2002), "On neural network hardware and programming paradigms", Neural Networks, 2002. IJCNN '02. Proceedings of the 2002 International Joint Conference on , Volume: 3 , 12-17 May 2002 2692 – 2697.
- McCulloch, W.S., ve Pitts, W., (1943), "A logical calculus of the ideas immanent in nervous activity", Bulletin of Mathematical Biophysics, Vol. 5, 115-133.
- Melton, M.S., v.d., (1992), "The TInMANN VLSI Chip.", IEEE Transactions on Neural Networks, Vol. 3, No. 3, 375-384.
- Micro Devices, (1990), "Neural Bit Slice, Data Sheet", Neural Circuits for Today's Applications. 30 Skyline Drive, Lake Mary, FL, USA.
- Mihu, I.Z., Caprita, H.V., (2002), "Architectural Improvements and FPGA Implementation of a Multimodel Neuroprocessor", Proceedings of the 9th International Conference on Neural Information Processing ICONIP'02, Vol. 4, 1749-1753.
- Minch, B.A., Hasler, P., (1999), "A floating-gate technology for digital CMOS processes" Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on , Volume: 2 , 30 May-2 June 1999 400 – 403
- Mirhassani, M., Ahmadi, M., Miller, W.C., (2003), "A mixed-signal VLSI neural network with on-chip learning", Electrical and Computer Engineering, 2003. IEEE CCECE 2003. Canadian Conference on , Volume: 1 , 4-7 May 2003 591 - 594 vol.1
- Miyakawa, N., Ichikawa, M., Matsumoto, G., (2000), "Large-scale neural network method for brain computing", Elsevier Applied Mathematics and Computation 111 (2000) 203-208
- Moerland, P., D. ve Flesler, E., (1996), "Hardware-Friendly Learning Algorithms for Neural Networks: An Overview", Proceedings of 5th International Conference on Microelectronics on Neural Networks and Fuzzy Systems: MicroNeuro'96, Lausanne, Switzerland, February 1996.
- Montalvo, A.J., Gyurcsik, R.S., Paulos, J.J., (1997a), "An analog VLSI neural network with on-chip perturbation learning", Solid-State Circuits, IEEE Journal of , Volume: 32 , Issue: 4 , April 1997, 535 – 543.
- Montalvo, A.J., Gyurcsik, R.S., Paulos, J.J., (1997b), "Toward a general-purpose analog VLSI neural network with on-chip learning", Neural Networks, IEEE Transactions on , Volume: 8 , Issue: 2 , March 1997, 413 – 423.

- Montalvo, A.J., Paulos, J.J., (1993), "Improved floating-gate devices using standard CMOS technology", *Electron Device Letters, IEEE* , Volume: 14 , Issue: 8 , Aug. 1993 372 – 374
- Moody, R.E., Darken, C.J., (1989), "Fast Learning in networks of locally tuned processing units. *Neural Computation*", 1, 281-294.
- Morgan, N., Beck, J., Kohn, P., Bilmes, J., Allman, E. ve Beer, J., (1992), "The Ring Array Processor: A Multiprocessing Peripheral for Connectionist Applications", *Journal of Parallel and Distributed Computing*, 14, 248-259.
- Moriea, T., Uchimura, K., Amemiya, Y., (1999), "Analog LSI implementation of self-learning neural Networks", *Computers and Electrical Engineering* 25, 339-355
- Mueller, P., van der Spiegel, J., Blackman, D., Chiu, T., Clare, T., Dao, J., Donham, C., Hsieh, T. ve Loinaz, M., (1989), "A general purpose analog neural computer", *Proceedings of the IJNNC-89-Washington DC*, 2, 177-182.
- Mukai, P., Busa, M., Kazlas, P., (1993), "Neural system design with the integrated neurocomputing architecture", *VLSI, 1993. Design Automation of High Performance VLSI Systems, Proceedings. Third Great Lakes Symposium on* , 5-6 March 1993, 32 – 36.
- Mumford, M.L., Andes, D.K. ve Kern, L.R., (1992), "The Mod2 Neurocomputer System Design", *IEEE Transactions on Neural Networks*, 3, 3, 423-433.
- Murahashi, Y., Doki, S., Okuma, S., (2002), "Hardware realization of novel pulsed neural networks based on delta-sigma modulation with GHA learning rule", *Circuits and Systems, 2002. APCCAS '02. 2002 Asia-Pacific Conference on* , Volume: 2 , 28-31 Oct., 157 – 162.
- Murakawa, M., Yoshizawa, S., Kajitani, I., Yao, X., Kajihara, N., Iwata, M. ve Higuchi, T., (1999), "The GRD Chip: Genetic Reconfiguration of DSPs for Neural Network Processing", *IEEE TRANSACTIONS ON COMPUTERS*, VOL. 48, NO. 6, JUNE 1999, 628-639
- Murasaki, M., Arima, Y. ve Shinohara, H., (1993), "A 20-Tera CPS Analog Neural Network Board", *Proceedings of the IJCNN-93-Nagoya*, 3027-3030.
- Murray, A.F., v.d., (1994), "Pulse Stream VLSI Neural Networks.", *IEEE Micro*, June 1994, 29-38.
- Murray, A., F., Del Corso, D. ve Tarassenko, L., (1991), "Pulse-Stream VLSI Neural Networks Mixing Analog and Digital Techniques", *IEEE Transactions on Neural Networks*, Vol. 2, No. 2, March 1991, 193-204.
- Murre, J.M.J., (1995), "Neurosimulators", M.A. Arbib Editör., *Handbook of Brain Research and Neural Networks*, MIT Press.
- Myers, D.J., Hutchinson, R.A., (1989), "Efficient implementation of piecewise linear activation function for digital VLSI neural networks", *Electronics Letters* , Volume: 25, Issue: 24 , 23 Nov. 1989 1662 – 1663
- Neal M. J., (2000), "An analog VLSI design for a neuron with a choice of learning rules", *Neurocomputing*, 30, 185-200
- Nedjah N., Macedo Mourelle L., (2003), "FPGA base hardware architecture for Neural Networks: Binary Radix vs. Stochastic", *Proceedings of the 16th Symposium on Integrated Circuits and Systems Design (SBCCI'03)*

- Nestor, (1994), "Ni1000 Recognition Accelerator Manual", 1994, Nestor Inc.,
- Newcomb, R., W. ve Lohn, J., D., (1995), "Analog VLSI for Neural Networks", Handbook of Brain Theory and Neural Networks, Arbib, M. Editor, Bradford Books, MIT Press, 1995.
- Nordstrom, T., ve B. Svensson, (1992), "Using and Designing Massively Parallel Computers for Artificial Neural Networks", Journal of Parallel and Distributed Computers, 14, 260-285.
- Omondi, A.R., Rajapakse, J.C., (2002), "Neural Nets in FPGAs", Proceedings of the 9th International Conference on Neural Information Processing ICONIP'02, Vol.2, 954-959.
- Onorato, M., Valle, M., Caviglia, D.D., Bisio, G.M., (1994), "Non-linear circuit effects on analog VLSI neural network implementations", Microelectronics for Neural Networks and Fuzzy Systems, 1994., Proceedings of the Fourth International Conference on , 26-28 Sept. 1994 430 – 438
- Onuki, J., Maenosono, T. , Shibata, M., Iijima, N., Mitsui, H., Yoshida, Y. ve Sobne, M., (1993), "ANN Accelerator by Parallel Processor Based on DSP", Proceedings of the IJCNN-93-Nagoya, 1913-1916.
- Park, Y., Liaw, J.-S., Sheu, B.J., Berger, T.W., (2000), "Compact VLSI neural network circuit with high-capacity dynamic synapses", Neural Networks, 2000. IJCNN 2000, Proceedings of the IEEE-INNS-ENNS International Joint Conference on , Volume: 4 , 24-27 July, 214 – 218.
- Porrman, M., Witkowski, U., Ruckert, U., (2003), "A massively parallel architecture for self-organizing feature maps", Neural Networks, IEEE Transactions on , Volume: 14 , Issue: 5, Sept. 2003 1110 – 1121
- Porrman, M., Witkowski, U., Kalte, H., Ruckert, U., (2002), "Implementation of artificial neural networks on a reconfigurable hardware accelerator", Parallel, Distributed and Network-based Processing, 2002. Proceedings. 10th Euromicro Workshop on , 9-11 Jan. 2002 243 – 250
- Rahimi, K., Diorio, C., Hernandez, C., Brockhausen, M.D., (2002), "A simulation model for floating-gate MOS synapse transistors" Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on , Volume: 2 , 26-29 May 2002 II-532 - II-535.
- Ramacher, U., v.d., (1994), "SYNAPSE 1- A General Purpose Neurocomputer.", Siemens AG Proprietary Information Manual, February 1994, Siemens AG.
- Rodriguez-Vazquez, A., (2002), "CMOS design of cellular APAPs and FPAPAPs: an overview", Cellular Neural Networks and Their Applications, 2002. (CNNA 2002). Proceedings of the 2002 7th IEEE International Workshop on , 22-24 July 2002 507 – 511.
- Rodriguez-Vazquez, A., Linan-Cembrano, G., Carranza, L., Roca-Moreno, E., Carmona-Galan, R., Jimenez-Garrido, F., Dominguez-Castro, R., Meana, S.E., (2004), "ACE16k: the third generation of mixed-signal SIMD-CNN ACE chips toward VsoCs", IEEE Transactions on Circuits and Systems I, Volume: 51 , Issue: 5 , May 2004 851 – 863
- Rodriguez-Vazquez, A., Espejo, S., Dominguez-Castro, R., Carmona, R., (1997), "Design of a programmable mixed-signal CMOS image-processing chip in 0.8 μm CMOS", Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on, Volume: 1 , 9-12 June 1997, 725 – 728.
- Roska, T. ve Chua, L., O., (1993), "The CNN Universal Machine: an analogic array computer", IEEE Transactions on Circuits and Systems II, vol. 40, 3, 163-173.

- Rumelhart, D.E., McClelland J.L., ve PDP Research Group (eds.), (1986), "Parallel Distributed Processing: Explorations in the Microstructure of Cognition", A Bradford Book, The MIT Press, Cambridge, MA.
- Sackinger, E., B.E. Boser, J. Bromley, Y. LeCun, ve L.D. Jackel (1992), "Application of the ANNA Neural Network Chip to High Speed Character Recognition", IEEE Transactions on Neural Networks, 3, 3, 498-505.
- Salam, F., Wang, Y. ve Oh, H.J., (1999), "A 50-neuron CMOS analog chip with on-chip digital learning: design, development, and experiments", Computers and Electrical Engineering 25, 357-378.
- Salerno, M., Sargeni, F., Bonaiuto, V., (2002), "PDE-DPCNN: a CNN chip for analogue simulations of RD equations", Cellular Neural Networks and Their Applications, 2002. (CNNA 2002). Proceedings of the 2002 7th IEEE International Workshop on , 22-24 July 2002 363 – 368
- Sato, S., Nemoto, K., Akimoto, S., Kinjo, M. ve Nakajima, K., (2003), "Implementation of a New Neurochip Using Stochastic Logic", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 14, NO. 5, SEPTEMBER 2003, 1122-1127
- Satyanarayana, S., Tsividis, Y.P., Graf, H.P., (1992), "A reconfigurable VLSI neural network", Solid-State Circuits, IEEE Journal of , Volume: 27 , Issue: 1 , Jan. 1992 67 – 81
- Schmid, A., Leblebici, Y. ve Mlynek, D., "A Mixed Analog-Digital Artificial Neural Network Architecture with On-Chip Learning", Circuits, Devices and Systems, IEE Proceedings, Vol. 146, Issue 6, December 1999, 345-349.
- Schoenauer, T., Atasoy, S., Nasser Mehrtash, and Heinrich Klar,(2002), "NeuroPipe-Chip: A Digital Neuro-Processor for Spiking Neural Networks", IEEE TRANSACTIONS ON NEURAL NETWORKS, VOL. 13, NO. 1, JANUARY 2002, 205-213
- Schoenauer, T., N. Mehrtash, A. Jahnke, and H. Klar, (1998), "MASPINN: Novel concepts for a neuro-accelerator for spiking neural networks," in Proc. VIDYNN'98, 1998.
- Seow, M.J, Valaparla, D., Asari, V.K., (2003), "Neural network based skin color model for face detection", Applied Imagery Pattern Recognition Workshop, 2003. Proceedings. 32nd, 15-17 Oct. 2003, 141 – 145.
- Serrano-Gotarreno, (1995), "Experimental Results of an Analog Current-Mode ART1 Chip", ISCAS'95.
- Serrano-Gottareno, T. ve LInares-Barranco, B., (1997), "An ART1 Microchip and Its Use in Multi-ART1 Systems", IEEE Transactions on Neural Networks, Vol. 8, No. 5, September 1997, 1184-1194.
- Shams, S. ve Gaudiot, J., (1992), "Efficient implementation of neural networks on the DREAM machine", Proceedings of the 11th International Conference on Pattern Recognition, The Hague, The Netherlands, 204-208.
- Sharma, A.K., (2003), "Advanced Semiconductor Memories: Architectures, Designs and Applications", Wiley-Interscience, 2003 IEEE Press.
- Shibata, T., Ohmi, T., (1997), "Neural microelectronics", Electron Devices Meeting, 1997. Technical Digest., International , 7-10 Dec. 1997 337 – 342.

- Siemens, (1994), "SYNAPSE1 User's Guide", December 1994, Siemens-Nixdorf AG.
- Simoni, F., M. ve DeWeerth, S., (1999), "Adaptation in an a VLSI Model of a Neuron", IEEE Transactions on Circuits and Systems-II:Analog and Digital Signal Processing, Vol. 46, No. 7, July 1999, 967-970.
- Speckmann, HThole, P. ve Rosenstiel, W., (1993), "COKOS: A COprocessor for Kohonen's Selforganizing map", In: C.C.A.M. Gielen ve B. Kappen (Eds.). Proceedings of the ICANN-93-Amsterdam, London: Springer-Verlag, 1040-1045
- Stüpmann F., Rode S. ve Geske G., (2002a), "Single Chip-VLSI-realization of a neural net for image recognition", IEEE ICIT'02, Bangkok, Thailand, 1345-1348.
- Theeten, J.B., v.d., (1990), "The Lneuro chip: A digital VLSI with on-chip learning mechanism.", Proc. INNC 1990, 593-596.
- Thomsen, A. ve Brooke, M.A., (1994), "Low control gate programming of floating-gate MOSFETs and applications", IEEE Transactions on Circuits and Systems Vol. 41, No. 6, June 1994, 443-452.
- Tomlinson, M.S. ve Walker, D.J., (1990), "DNNA: A digital neural network architecture", In: B. Angeniol ve B. Widrow (Eds.). Proceedings of the INNC-90-Paris. Dordrecht: Kluwer, 589-592.
- Treleaven, P.C., (1989), "Neurocomputers", International Jour. of Neurocomputing, 1, 4-31.
- Uebel, L.F., Barone, D., (1993), "GSN neural network in hardware", Artificial Neural Networks and Expert Systems, 1993. Proceedings., First New Zealand International Two-Stream Conference on , 24-26 Nov. 1993, 126 – 129.
- UCLi, (1994), "UCLi pRAM-256 Data Sheet", February 1994, King's College London
- Van Keulen, E., Colak, S., Withagen, H. ve Hegt, H., (1994), "Neural Network Hardware Performance Criteria", Proceedings of IEEE International Conference on Neural Networks, June 28-July 2, 1885-1888.
- Verleysen, M., v.d., (1994), "An Analog Processor Architecture for a Neural Network Classifier.", IEEE Micro, Vol. 14, No. 13, 16-28.
- Vidal-Verdua, F., Manuel Delgado-Restitutoa, Rafael Navasb, Angel Rodriguez-Vazquez, (1999), "A design approach for analog neuro/fuzzy systems in CMOS digital technologies", Computers and Electrical Engineering 25 (1999) 309-337
- Viredaz, M.A. ve P. Ienne (1993), "MANTRA I: A Systolic Neuro-Computer", Proceedings of the IJCNN-93-Nagoya, 3054-3057.
- Vuurpijl, L.G., (1992), "Using Transputer Systems for Neural Network Simulations", Proceedings of the SNN Symposium on Neural Networks, 27-28.
- Waheed, K., Salam, F.M., (2001a), "A mixed mode self-programming neural system-on-chip for real-time applications", Neural Networks, 2001. Proceedings. IJCNN '01. International Joint Conference on , Volume: 1 , 15-19 July 2001 195 - 200 vol.1
- Waheed, K., Salam, F.M., (2001b), "A mixed mode neuro-VLSI chip for high speed applications", Circuits and Systems, 2001. MWSCAS 2001. Proceedings of the 44th IEEE 2001 Midwest Symposium on , Volume: 2 , 14-17 Aug. 2001, 580 - 583 vol.2.

- Wakamura, M., Maeda, Y., (2003), "FPGA implementation of Hopfield neural network via simultaneous perturbation rule" SICE 2003 Annual Conference , Volume: 2 , 4-6 Aug. 2003 1272 – 1275.
- Watanabe, T., Sugiyama, Y. , Kondo, T., Kitamura, Y., (1989), "Neural Network Simulation on a Massively Parallel Cellular Array Processor: AAP-2", Proceedings of the IJCNN-89-Washington DC, II-155-161.
- Watanebe, T., v.d., (1993), "A Single 1.5V Digital Chip for a 106 Synapse Neural Network.", IEEE Transactions on Neural Networks, Vol. 4, No. 3, 387-393.
- Wawryn, K., Mazurek, A., (2001), "Implementation of current mode circuits for programmable neural network", Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on , Volume: 1 , 2-5 Sept. 2001, 357 – 360.
- Wawrzynek, J., Asanovic, K., Kingsbury, B., Johnson, D., Beck, J., Morgan, N., (1996), "Spert-II: a vector microprocessor system", Computer , Vol: 29 , Issue: 3 , March, 79 – 86.
- Withbrock, M. ve Zagha, M., (1989), "An Implementation of Back-Propagation learning on GF11, a Large SIMD Parallel Computer", Internal Report CMU-CS-89-208, School of Computer Science, Carnegie Mellon University, Pittsburgh, PA.
- Yasunaga, M., Masuda, N., Yagyu, M., Asai, M., Shibata, K., Ooyama, M. ve Yamada, M., (1991), "A Self-Learning Neural Network composed of 1152 Digital Neurons in Wafer-Scale LSIs", Proceedings of the IJCNN-91-Singapore, 1844-1849.
- Yıldırım, T., Marsland, J.S., (1996), "A conic section function network synapse and neuron implementation in VLSI hardware", Neural Networks, 1996, IEEE International Conference on , Vol. 2 , 3-6 Jun 1996, 974 –979.
- Yıldırım, T., (1997), "Development of Conic Section Function Neural Networks in Software and Analogue Hardware", Doktora Tezi, University of Liverpool, Mayıs 1997.
- Yıldırım, T., Marsland, J.S., (1997), "Improved backpropagation training algorithm using conic section functions", Neural Networks, 1997, International Conference on , Vol. 2 , 9-12 Jun 1997, 1078 –1081.
- Zhu, J., Milne, G.J. ve Gunther, B.K., (1999), "Towards an FPGA based Reconfigurable Computing Environment for Neural Network Implementations", Artificial Neural Networks Conference Publication, No 470, 7-10 September, 1999, 661-666.

INTERNET KAYNAKLARI

- [1] <http://www.mosis.org>
- [2] <http://cmosedu.com>
- [3] <http://www.tamu.edu/~sinencio>

ÖZGEÇMİŞ

Doğum tarihi 25.01.1976

Doğum yeri İskenderun

Lise 1989-1992 İskenderun Lisesi

Lisans 1992-1998 Şubat Gaziantep Üniversitesi Mühendislik Fak.
Elektrik-Elektronik Mühendisliği Bölümü

Yüksek Lisans 1999-2001 Çukurova Üniversitesi Fen Bilimleri Enstitüsü
Elektrik-Elektronik Müh. Ana Bilim Dalı,
Elektronik Programı

Doktora 2001-2005 Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü
Elektronik ve Haberleşme Ana Bilim Dalı,
Elektronik Programı

Çalıştığı kurum(lar)

1999-2000

Çukurova Üniv. Fen Bilimleri Enstitüsü Arş. Gör.

2000-2001

Niğde Üniv. Elektronik Ana Bilim Dalı Arş. Gör.

2001-Devam ediyor YTÜ Elektronik Ana Bilim Dalı Araştırma Görevlisi