

**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

84961

**SOI-SIMOX TABAN ÜZERİNDE CMOS TÜMDEVRE
ÜRETİM SÜRECİ TASARIMI ve GERÇEKLENMESİ**

Elk. Yük. Müh. Aziz Ulvi ÇALIŞKAN

F.B.E.Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Elektronik Programında
Hazırlanan

DOKTORA TEZİ

Tez Savunma Tarihi : 29/11/1999
Tez Danışmanı : Prof. Dr. Atilla ATAMAN
Jüri Üyeleri : Prof. Dr. Duran LEBLEBİCİ
Prof. Dr. Sabih TANSAL

Ataman
Duran
Sabih

84961

**T.C. YÜKSEKÖĞRETİM KURULU
DOKÜMANTASYON MERKEZİ
İSTANBUL, 1999**

İÇİNDEKİLER

Sayfa

SİMGE LİSTESİ.....	1
ÖNSÖZ.....	11
ÖZET.....	111
ABSTRACT.....	111
1. GİRİŞ.....	1
2. SOI CMOS SÜREÇ TASARIMI.....	9
2.1 SOI MOS Tranzistorlar.....	9
2.2 Süreç Simülasyonları.....	16
2.2.1 SOI NMOS Tranzistoru Süreç Simülasyonu	16
2.2.2 SOI PMOS Tranzistoru Süreç Simülasyonu	17
3. SOI CMOS TÜMDEVRE ÜRETİM SÜRECİ.....	31
3.1 SOI CMOS Test Kırmığı Tasarımı.....	31
3.1.1 Test Tümdevresi Tasarım Kuralları.....	33
3.2 SOI CMOS Test Kırmığı Üretimi.....	35
3.3 Kanal Bölgesi Silisyum Film Kalınlığının Ölçülmesi.....	47
4. TEST TÜMDEVRESİ ÖLÇÜ SONUÇLARI.....	52
4.1 SOI NMOS Tranzistoru Ölçüm Sonuçları.....	56
4.2 SOI PMOS Tranzistoru Ölçüm Sonuçları.....	69
4.3 Ring Osilatörü Ölçümleri.....	71
5. SONUÇLAR.....	73
KAYNAKLAR.....	74
EKLER	
Ek 1 SOI NMOS ATHENA-SSUPREM4 Giriş Deyimleri.....	76
Ek 2 SOI PMOS ATHENA-SSUPREM4 Giriş Deyimleri.....	78
Ek 3 SOI NMOS Test Tranzistorları Silisyum Pul Haritası.....	82
Ek 4 SOI-SIMOX Taban Özellikleri.....	95
ÖZGEÇMİŞ.....	96

SİMGE LİSTESİ

C_{ox}	Geçit oksiti kapasitesi,
C_{box}	Gömük oksiti kapasitesi,
C_{PARA}	Geçit-savak arası parazitik kapasite (Bindirme kapasitesi),
g_m	MOS tranzistor eğimi (Transconductance),
I_{off}	Eşikaltı kaçak akımı,
L	MOS tranzistor kanal boyu,
L_A	Aktif alan genişliği,
L_{GR}	İnceltilmiş kanal bölgesi genişliği,
N	Kanal bölgesi katkı yoğunluğu,
N_B	Taban malzemesi katkı yoğunluğu,
S	MOS Tranzistor eşikaltı eğimi,
t_{ox}	Geçit Oksidi kalınlığı,
t_{si}	Silisyum film kalınlığı,
V_b	Taban gerilimi,
V_g	MOS Tranzistor geçit gerilimi,
V_{th}	MOS Tranzistor eşik gerilimi,
W	MOS tranzistor kanal genişliği
X_{dmax}	Maksimum fakirleşmiş bölge genişliği,
ϕ_{mf}	Geçit oksidi iş foksiyonu farkı,
ϕ_{mb}	Gömük oksit iş fonksiyonu farkı,

ÖNSÖZ

Henüz üretim ortamına geçmemiş ve üzerinde çeşitli araştırmaların sürdüğü SOI taban üzerinde CMOS tümdevre üretim sürecini tasarlama ve gerçekleştirme olanağı veren tez danışmanım Sayın Prof. Dr. Atilla ATAMAN'a ve Ulusal Elektronik ve Kriptoloji Araştırma Enstitüsü Müdürü Sayın Önder YETİŞ'e çok teşekkür ederim.

YİTAL laboratuvarını kurup, yürüttüğü projelerle CMOS teknolojisini ülkemize kazandıran sayın Prof. Dr. Duran LEBLEBİCİ'ye verdiği destekten dolayı teşekkür ederim.

SOI taban üzerinde CMOS sürecinin geliştirilmesinde bana her türlü desteği veren tüm mesai arkadaşlarıma ve isimlerini anmadan geçemiyeceğim Sayın Sema İMRAHOR İLYAS'a, Sayın Yaman ÖZELÇİ'ye ve Sayın Arzu ERGİNTAV'a çok teşekkür ederim.

Aziz Ulvi ÇALIŞKAN
Haziran 1999, Gebze

ÖZET

Daha hızlı ve daha yüksek tümleştirme yoğunluğuna sahip MOS tümdevreler üretebilmek amacıyla daha küçük hat genişliğine sahip tranzistor üretme çalışmaları sürdürülmektedir. Fakat bu durum tümdevrelerin güç tüketiminde yükseltecektir. Güç tüketiminin düşürülmesi üzerinde önemle durulması gereken bir konudur. Düşük güç, düşük gerilim uygulamaları için SOI (Oksit Yalıtımlı Silisyum) teknolojisi ümit verici bir çözüm olarak görülmektedir. SOI teknolojinin getirdiği değişiklik devrenin toplam parazitik kapasitesini azaltmaktadır.

Bu çalışma çerçevesinde oyuk kanallı SOI CMOS tümdevre üretim süreci geliştirilmiştir. Geliştirilen bu süreç mikron-altı NMOS ve PMOS tranzistorlar ile ring osilatörler içeren bir test tümdevrenin üretimine uygulanmıştır. Üretim akışının kanal inceltme sürecinde büyütülen oksitin kalınlığı değiştirilerek, silisyum film kalınlıkları 73nm ve 46nm olan iki farklı tür SOI MOS tranzistor tipi üretilmiştir. Silisyum film kalınlığı 46nm olan SOI NMOS tranzistorun eğiminin aynı süreçle üretilen standart taban NMOS tranzistorun eğimine göre kanal boyları kısaldıkça küçük kaldığı gözlenmiştir. Eğimdeki bu bozulmanın nedeni kanal inceltme aşamasında oluşan gerilmelerden kaynaklandığı düşünülmektedir.

SOI CMOS test tümdevresinde bulunan 99 evirici kattan oluşan ring osilatörü 250 °C ortam sıcaklığında ve 1V gibi düşük besleme geriliminde test edildi ve sonuçları verildi.

Anahtar Kelimeler: VLSI, CMOS, SOI, Düşük Güç, Düşük Gerilim

ABSTRACT

In order to realize higher-speed and higher-packing density MOS integrated circuits, dimensions of transistors have continued to shrink. However the power consumption of modern VLSI's has become large as a result of higher speed and higher packing density and reducing the power is strongly desired. For this purpose, Silicon-On-Insulator (SOI) technology has been proposed as a potential candidate for low power and low voltage application in modern VLSI circuits due to reduced parasitic capacitance.

In this study, a recessed-channel (RC) SOI CMOS technology has been developed and applied to produce a test chip including sub-micron NMOS and PMOS transistors, ring oscillators. Thin-film fully depleted RCSOI MOSFET's with channel film thickness of 73nm and 46nm have been fabricated by the recess oxide variation. We presented experimental data on the degradation of the transconductance in the fully depleted RCSOI transistors with channel lengths ranging from 27 μ m to 0.75 μ m. It has been shown that decreasing the length of recessed area increases the degradation of the transconductance for 46nm silicon film thickness. Degradation of transconductance of RCSOI NMOS transistors was calculated with respect to the RC bulk silicon NMOS transistors which processed simultaneously together with SOI wafers. Degradation attributed to oxidation induced stress at the recessed channel region occurred during recess oxide formation.

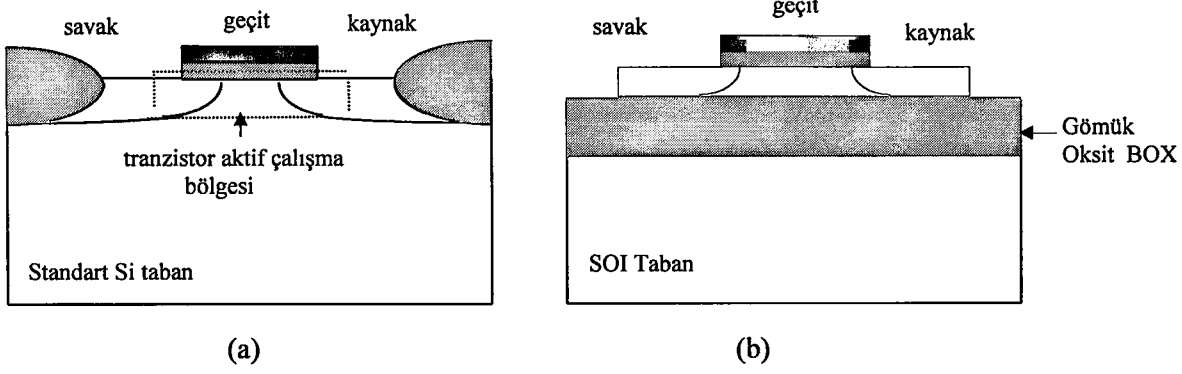
SOI CMOS inverter type with 99 stage ring oscillator were tested up to 250 °C ambient temperature and down to 1 V and results are also given.

Key Words: VLSI, CMOS, SOI, Low Power, Low Voltage

I – GİRİŞ

Dünya elektronik sanayi pazarı 90'lı yılların başından bu yana ortalama %12'lik bir artış göstererek 1994 yılı itibariyle yaklaşık olarak 1.1 trilyon dolara ulaşmış olup makina ve otomobil gibi sanayi sektörlerini geride bırakarak dünyanın bir numaralı pazarı haline gelmiştir. Tümdevrelerin çalışma hızının ve tümleştirme yoğunluğunun sürekli artması, elektronik sanayinin itici gücünü oluşturmuştur (Ataman 1995). Pazar gereksinimleri, firmalar arası rekabet ve insanoğlunun yaratıcılığı gibi etkenlerle tümleştirme yoğunluğu ve çalışma hızı gelecekte de yükselmeye devam edecektir. Günümüzdeki yaygın öngörüm, $0.07\mu\text{m}$ teknolojisi ile 2007 yılında tümdevre üretime başlanacağıdır (Hu, 1994). Bir başka öngörüm ise yakın gelecekte kişisel haberleşme ve bilgi işlemede kullanılan (cep telefonu, dizüstü bilgisayar vs.) cihazların önemli bir kısmının 1 - 1,5V aralığında düşük bir gerilimle (ve/veya güneş pili) besleneceği üzerinedir (Herve vd., 1995). Tümleştirme yoğunluğunun artması ve çalışma hızının yükselmesi nedeniyle hızla artan tümdevrelerin güç tüketimine karşı besleme gerilimini düşürmeye ilave yeni devre tasarım teknikleri ve yeni teknolojiler gibi çözümler de sunulmalıdır. 1990'lı yıllara ait teknolojilerde dahi bir güç krizi vardır. Öyleki, 100MHz civarı çalışma hızına sahip mikroişlemcilerin harcadıkları güç 10W kadardır, halbuki taşınabilir sistemlerde kabul edilebilecek güç harcaması 100 mW'dan çok değildir.

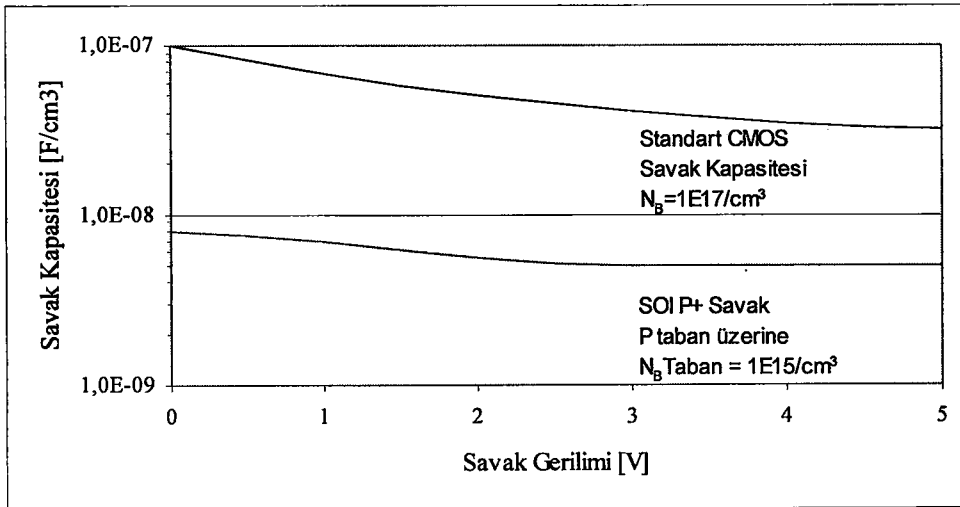
Düşük gerilim, düşük güç pazarının artan teknolojik gereksinimlerini karşılamada SOI (Silicon On Insulator) taban standart silisyum tabana göre önemli avantajlar sunmaktadır.(Shahidi, vd., 1995, Taur, vd. 1995). SOI teknolojisinin önerdiği değişiklik, devrenin toplam parazitik kapasitesini düşürmektir. Standart tabanda üretilen MOS tranzistorlarının aktif kısmı, savak-kaynak bölgelerinin derinliği ($0.1-0.05\mu\text{m}$) kadardır ve aktif kısım dışında kalan yaklaşık $500\mu\text{m}$ kalınlığındaki silisyum tabanın tranzistorun çalışmasına katkısı yoktur. Şekil1.1'de Standart ve SOI tabanda bulunan tranzistor kesitleri gösterilmiştir. Tranzistorlar bir dielektrik tabaka üzerine yerleştirilmiş ve kalınlığı savak-kaynak bölgeleri kadar olan silisyum filmlerde (SOI) üretildiklerinde, jonksiyon kapasiteleri çok daha küçük olmaktadır. 20 yılı aşkın bir süredir SOI teknolojisinin avantajlarının bilinmesine rağmen, sadece uzay ve askeri uygulamalar gibi sınırlı alanlarda kullanılmış olması, mevcut standart taban teknolojisinin şimdiye kadar oluşan beklentiyi karşılamasından kaynaklanmaktadır. Kurulu mikroelettronik fabrikalarında herhangi bir değişiklik yapılmadan aynı teknoloji ile bir üst jenerasyon devre üretme olanağı verdiğinden, SOI teknolojisi kullanım alanının 21. yüzyılda genişleyeceği yaygın bir beklentidir. SOI tabanın standart tabana kıyasla sağladığı faydaları altı ana başlık altında gruplayabiliriz ;



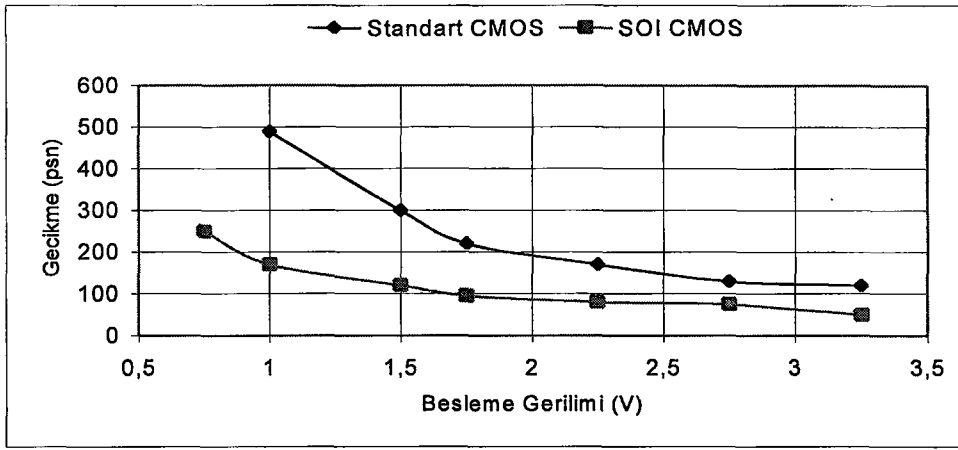
Şekil 1.1 (a) Standart ve (b) SOI tranzistorların kesitleri.

Bunlar ; Hız, Tümlleştirme Yoğunluğu, Güç Tüketimi ,Maliyet, Yüksek Sıcaklıkta Çalışma, Radyasyona Karşı Düşük Duyarlılık.

Hız: SOI tabanlı tranzistorda savak ve kaynak bölgelerinde aktif alanların dışında kalan kısımlarda jonksiyon kapasitesi bulunmamaktadır. Bilindiği gibi, sert geçişli bir jonksiyonun kapasitesi tıkama geriliminin kare kökü ile ters orantılıdır ve tıkama yönündeki gerilim azaldıkça kapasitenin değeri artacaktır. Şekil1.2’de standart ve SOI tabanda savak kapasitesinin gerilimle değişimi verilmektedir. Standart tabanda savak kapasitesinin değeri azalan besleme gerilimi ile artmakta iken SOI tabanda savak kapasitesi artımı daha azdır ve değeri standart tabaninkinden bir mertebe daha küçüktür. Bu durumun doğal bir sonucu olarak SOI tabanlı devrelerde gecikmeler daha az olacaktır.



Şekil 1.2 Savak Bölgesinin Standart ve SOI Tabanlarda jonksiyon kapasitesinin besleme gerilimi ile değişimi (Herve, 1995)



Şekil 1.3 : 0.5μm CMOS ring osilatörünün gecikmesinin besleme gerilimine bağımlılığı.

(Wilson vd., 1994)

Şekil 1.3’de SOI ve standart taban üzerinde üretilen 0.5μm CMOS ring osilatörünün gecikmesinin besleme gerilimine bağımlılığı verilmiştir (Wilson vd, 1994).

Tümleştirme Yoğunluğu: SOI taban üzerinde üretilen MOS tranzistorları tamamen oksit yalıtımlıdır. Bu durum standart tabanlı CMOS yapılarında gerekli olan ve geniş alan kaplayan kuyu bölgelerinin SOI yapıları için gerekliliğini ortadan kaldırır. Aynı şekilde takılma (Latch-up) olayı nedeniyle NMOS ve PMOS tranzistorlar arasında, kuyu bölgesi derinliğinin iki katına yaklaşık bir uzaklık bırakma gerekliliği SOI tabanda bulunmamaktadır. Sonuç olarak SOI teknolojisi, devre yerleşim planına bağlı olarak standart tabana göre aynı tümdevre için yaklaşık olarak %30 daha az kırmık alanı gerektirir. Yani, SOI tabanında standart tabana göre aynı teknolojiyi kullanarak birim alana daha yüksek sayıda tranzistor yerleştirmek mümkündür.

Güç Harcaması: SOI-CMOS devreler, toplam parazitik kapasitenin azalmasından dolayı daha az güç tüketmektedirler. CMOS devrelerde güç harcaması aşağıdaki gibi ifade edilir;

$$P \cong C V^2 f + V I_{\text{kaçak}} \quad (1.1)$$

Yukarıdaki ifadeden görülebileceği gibi bir devrenin harcadığı gücün iki bileşeni vardır; birinci terim dinamik güç, ikincisi ise statik güç ifade etmektedir. SOI taban devrenin toplam kapasitesini düşürdüğünden, dinamik güç tüketiminin düşük oluşacağı ifadeden görülmektedir.

Statik güç ifadesindeki kaçak akımının ($I_{\text{kaçak}}$) iki bileşeni bulunur. Birincisi tıkamada kutuplu jonksiyonun ters tıkama akımıdır ve SOI yapısında toplam jonksiyon alanı azaldığından toplam tıkama akımı azalacaktır. $I_{\text{kaçak}}$ 'da bulunan bir diğer bileşen ise, eşik altı kaçak akımıdır (I_{off}) ve minimum geçit geriliminde tranzistorun çektiği akımdır. Bu akımın ifadesi;

$$I_{\text{off}} = I_D 10^{-(V_g - V_{th})/S} \quad (1.2)$$

şeklindedir. Burada tranzistora eşik gerilimi uygulandığı durumda tranzistorun çektiği akım I_D olarak ifade edilmiştir. Bu ifadeden de görülebileceği gibi eşik altı eğim (S) küçüldükçe I_{off} 'da azalacaktır. Ticari CMOS tümdevre süreçlerinde kabul edilebilir eşik altı eğimi 90-100 mV/dec civarındadır. Bununla beraber SOI MOS tranzistorlarda silisyum filmin kalınlığına bağlı olarak eşik altı eğimi 65 mV/dec gibi değerlerde bulunmaktadır. Bu ise I_{off} akımının standart MOS yapılarına göre çok daha küçük gerçekleştirilmesi sonucunu doğurur. Bu iki farklı kaçak akımının ikisinin birden standart yapıya göre küçük yapılabilmesi, SOI yapısının statik güç bileşeninin de küçük kalmasına neden olur.

Eşik altı eğiminin 65-70 mV/dec mertebelerine indirilebilmesi, SOI CMOS tranzistorların eşik gerilimlerinin, standart CMOS tranzistorlarının eşik geriliminden daha küçük yapılabilmesi avantajını vermektedir. Besleme geriliminin küçültülememesi standart tranzistorun eşik geriliminin 0.5V'un altına indirilememesinden kaynaklanmaktadır. Bu durum 1.5V besleme geriliminin altında çalışma şartları için çok önemli bir avantaj oluşturmaktadır. Besleme geriliminin düşürülmesi güç tüketiminin azaltılması ve güvenirliliğinin yükseltilmesi için temel bir adımdır. SOI tümdevreler, tranzistor savak-kaynak bölgelerinden gelen jonksiyon kapasiteleri en azda olduğundan, SOI taban savak-kaynak bölgelerinin yerleşim planından bağımsız bir teknoloji sunmaktadır ki, buda düşük güç uygulamaları için önemli bir fayda sağlar.

Güç tüketimine bir örnek olarak, 0,24 μ m SOI-CMOS teknolojisi ile üretilen faz kenetlemeli çevrim (PLL) tümdevresi 1,2V gerilimle beslendiğinde GHz'lerde çalışmakta ve güç tüketimi 1mW civarında olmaktadır. Aynı devre BiCMOS teknolojisi ile üretildiğinde aynı frekanstaki güç tüketimi 10 kez daha yüksek olmaktadır (Herve vd., 1995).

Maliyet: SOI tabanlı tümdevreler, daha az üretim işlemi ile üretildiklerinden ve yüksek tümleştirme yoğunluğuna sahip olduklarından standart teknolojiye göre daha düşük üretim maliyeti vermektedir. SOI tabanlı CMOS tümdevrelerin üretim akışında kuyu oluşturma

işlemine gerek olmaması ve standart tabanlı sürece göre çok daha kolay bir şekilde yerel oksitleme işleminin gerçekleştirilebilmesi, %30 daha az işlemle tümdevre üretme olanağı verir. Daha az işlemle tamamlanabilen süreçte sağlam ürün oranı da yüksek olacaktır ve daha kısa sürede üretimi tamamlanacaktır.

Standart tabanlılara göre SOI tabanlı devrelerin daha küçük alanlı tasarlanabilmesi ile hem pul başına üretilen devre miktarı artacak ve hem de küçük alanlı devrelerde sağlam ürün oranı yüksek olacaktır. Bu nedenlerle başlangıç SOI taban maliyeti standart tabana kıyasla daha pahalı olmasına rağmen SOI tekniği ile üretilen devrelerin maliyeti düşük olacaktır. Bir örnek olarak, 64Mb SRAM sürecinin SOI tabanda üretim maliyeti standart sürece göre %10 daha ucuzdur (Peters, 1993).

Bir üretim sürecinin maliyetini hesaplarken göz önünde tutulması gereken bir diğer husus ise; süreç üretim hattına girdikten sonra oluşacak bir hata nedeniyle sürecin sağlam ürün oranının beklenen değerin altında seyretmesi durumunda hatalı işlemin kısa sürede bulunabilmesidir. Bir tümdevre üretim sürecinin tamamlanabilmesi, uygulanan teknolojiye ve hedeflenen üretim kapasitesine bağlı olarak değişir, fakat ortalama 10 hafta olarak kabul edilebilir. Alınacak herhangi bir kararın sonuçlarının geç alınması, oluşmuş hatayı en kısa süre içinde bulma zorunluluğu getirmektedir. Uygulanan süreç, çeşitli nedenlerle oluşacak hataları bulmada kolaylık sağlayacak şekilde tasarlanmış olmalıdır. SOI tabanlı üretim sürecinde, NMOS ve PMOS tranzistorlarının bağımsız üretim süreçleri ile üretiliyor olması oluşmuş üretim hatalarının bulunmasında kolaylık sağlamaktadır.

Yüksek Sıcaklıkta Çalışma: Bir tümdevrenin yüksek sıcaklıkta bozulma nedenlerinin başında jonksiyon kaçak akımı gelmektedir. Sıcaklıkla beraber artan kaçak akımı ya devrenin fonksiyonunda bir bozulma oluşturacaktır yada takılma (latch-up) olayının tetikleyicisi olacaktır. Kaçak akımı jonksiyon alanı ile doğru orantılıdır. CMOS devrelerde en geniş alanlı jonksiyon kuyu (well) bölgesine aittir. Hem kuyu bölgelerinin ve hemde tıkamada kutuplu jonksiyonun olmayışı, SOI tabanda üretilen devrelere yüksek sıcaklıkta çalışma özelliği vermiştir. SOI tabanda tüm tranzistorlar tamamen oksit yalıtımlı olduklarından tıkamada kutuplu jonksiyon bulunmamaktadır. 500⁰C ortam sıcaklığında çalışan ring osilatörlerinden literatürde bahsedilmiştir (Meszara 1990). Yüksek sıcaklık uygulamaları gerektiren otomatik ve havacılık gibi sektörlerde SOI tabanlar kullanılmaya başlanmıştır. Bu tez çalışması çerçevesinde üretilen ring osilatörlerinde 250 ⁰C ortam sıcaklığında güvenilir bir şekilde çalıştığı gözlemlenmiştir.

Radyasyona Karşı Düşük Duyarlılık: SOI teknolojisi ile üretilen tümdevrelerin radyasyona karşı yüksek bağışıklığından dolayı uzay ve askeri uygulamalarında tercih edilmektedirler (Colinge, 1991).

SOI taban üretim teknolojilerinin getirdiği sınırlamalar nedeniyle ince silisyum filmin kalınlık üniformitesi, kristal hatası yoğunluğu ve gömük oksit kaçağına ilave olarak SOI tranzistorlarda görülen yüzer taban etkisi ve yüksek ısı direnç nedeniyle oluşan erken belverme olayı, özellikle 0.15µm ve altı teknolojiler için önemli bir zayıf noktadır. Yapısal özelliklerine bağlı olarak ortaya çıkan ikincil olaylar nedeniyle, standart teknolojiye göre SOI teknolojisinin zayıf noktaları da bulunmaktadır. SOI tranzistorlarının eşik gerilimlerinin film kalınlığına doğrudan bağlı olması film kalınlığı üniformitesini önemli kılan nedendir. SOI teknolojisinin yaygın kullanım alanı bulması için doğru cevaplandırılması gereken üç sorun bulunmaktadır. Bunlar;

- Erken Belverme olayını besleme geriliminin üzerine çıkartılması,
- SOI tabanların üretim maliyetlerinin düşürülmesi ve
- İnce silisyum filmin ve dielektrik tabakanın kalitelerinin yükseltilmesidir.

Bir dielektrik tabaka üzerinde ince bir silisyum film oluşturmak amacıyla çeşitli teknikler geliştirilmiştir. En yaygın yöntemler şunlardır;

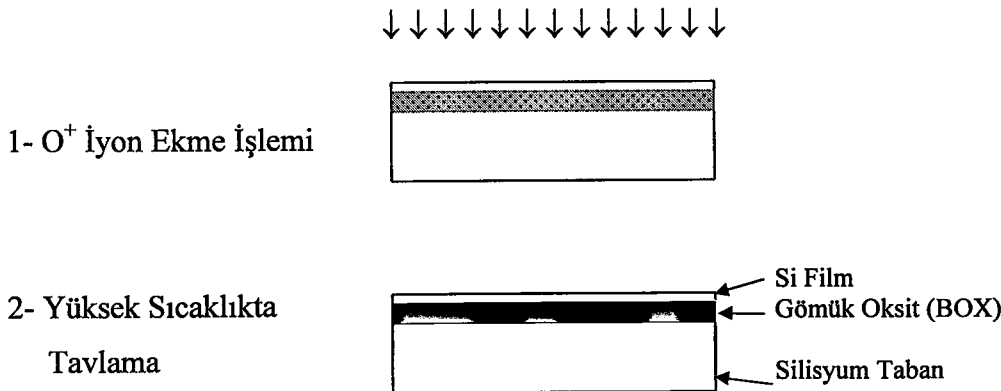
Silicon-on-Sapphire (SOS): Monokristal silisyum film, kristal kafes yapısı ve ısı genleşme katsayısı silisyuma uyan safir (Al_2O_3) üzerine epitaksiyel film depolama tekniği ile üretilen taban malzemeleridir. SOI tekniğinin ilk ticari uygulamaları SOS taban üzerinde yapılmışsa da, bu taban malzemesinin üretim maliyetinin yüksek ve veriminin düşük olması nedeniyle artık kullanılmayan bir tekniktir.

Zone-Melting Recrystallization (ZMR): Oksitlenmiş silisyum pul yüzeyine depolanmış polisilisyumun kristalleştirilmesi ile aktif elemanların gerçekleştirileceği film oluşturulur. Araştırma fazından ticari bir uygulamaya geçememiş bir tekniktir.

Silisyum Pul Yapıştırma (Bonded Wafer-BESOI): Oksitlenmiş iki silisyum pul birbirine yapıştırılır ve pullardan biri istenen film kalınlığı elde edilene kadar inceltir. Yapıştırma yöntemi pahalı olmayan bir tekniktir ve kalın gömük oksit ve silisyum film gerektiren uygulamalar için kullanılırlar. Otomotiv endüstrisi gibi yüksek sıcaklık yada yüksek

Smart Cut Technology: Bir silisyum pula, istenen film kalınlığına eşit derinlikte hidrojen iyonu ekilir. Oksitli bir başka pulun oksitli yüzeyine hidrojen ekilmiş pul yapıştırılır. Hidrojen ekilen bölgesinde koparılmış bağlar nedeniyle zayıflatılmış kristal düzleminden pul yarılır ve böylelikle oksitli pul yüzeyinde birinci puldan kalan ince bir silisyum film oluşturulur.

SIMOX Üretim Teknolojisi: SIMOX tabanlar, standart silisyum pullara yüksek akımlı iyon ekme cihazlarında 50 mA gibi yüksek akımlarda ve 200 keV yüksek enerjilerde, tipik olarak $1.8 \cdot 10^{18} \text{ cm}^{-2}$ dozlu oksijen iyonunun ekilmesi ile elde edilirler. Bu koşullarda ekilen oksijen iyonu ile 3800 Å kalınlığında, pul yüzeyinden yaklaşık 2000 Å derinliğinde gömük bir SiO_2 tabakası elde edilir. İyon ekme işleminde toplam oksijen dozunu değiştirerek gömük oksit kalınlığını, iyon enerjisini değiştirerek silisyum film kalınlığını değiştirmek mümkündür. İyon ekme işlemini takiben, stökiyometrik (stoichiometric) oksit tabakası ile sert geçişli silisyum-silisyumdioksit arayüzeyi elde etmek ve iyon ekme işlemi ile yorulan silisyumun kristal yapısını tekrar oluşturmak (restore etmek) amacıyla, yüksek sıcaklıkta ($>1200^\circ\text{C}$) 5 saat gibi sürelerde tavlama işlemi gerçekleştirilir (Herve, vd.,1994). Şekil-1.4'de üretim akışı özetlenmiştir. SIMOX tekniğinde iyon ekme işlemi ile oksit tabakası oluşturulduğu için, silisyum film ve gömük oksit kalınlığının üniformitesi çok yüksektir ($\pm 25\text{Å}$). Bu diğer SOI taban üretim tekniklerine nazaran bir avantaj oluşturmaktadır. Mesela, yapıştırma tekniği ile hazırlanan tabanlarda 1 µm kalınlıklı silisyum filmlerin üniformitesi %10-%20 arasındadır. SIMOX tekniğinde, iyon ekme işlemi sırasında oluşan partikül ve metalik kirlenme önemle izlenmesi gereken noktalardır.



Şekil 1.4- SIMOX-SOI Taban Üretim Akış

ULSI ölçeğinde devre üretiminin şartlarına uyacak şekilde Si film üniformitesinin artırılması, metalik kirlenmenin $<10^{10} \text{ cm}^{-2}$ mertebelerine indirilmesi, ince gömük oksitli taban üretimi gerçekleştirilmesi üzerine çalışmalar sürmektedir. Tablo-1.1 de halen üretimde olan SIMOX tabanlara ait özellikler verilmiştir (Herve, vd.,1994). Söz konusu tekniklerden, Pul Yapıştırma, SIMOX ve Smart Cut Tekniği ile hazırlanmış SOI tabanlar ticari olarak dünya pazarında bulunmaktadır.

Tablo 1.1: SIMOX Tabana ait Özellikler			
SOI Kalınlığı	100 nm	SOI Üniformite	10 nm
Gömük Oksit Kalınlığı	400 nm	Gömük Oksit Üniformitesi	20 nm
Hatalı Yerleşim Yoğunluğu	$<10.000 \text{ cm}^{-2}$	İğne Deliği Yoğunluğu	$< 0.2 \text{ cm}^{-2}$
Yüzey Pürüzlülüğü	3 Å^0	Metalik Kirlenme	$< 10^{11} \text{ cm}^{-2}$

TÜBİTAK – Ulusal Elektronik ve Kriptoloji Araştırma Enstitüsü bünyesinde bulunan Yarıiletken Teknolojisi Araştırma Laboratuvarında (YİTAL) VLSI CMOS teknolojisi üzerine araştırma ve geliştirme çalışmaları ve düşük hacimde VLSI ölçeğinde Tümdevre üretim yapılmaktadır. TÜBİTAK ve Yıldız Teknik Üniversitesi Araştırma Fonunca desteklenen bir proje çerçevesinde yürütülen bu tez çalışmasında Türkiye’de ilk kez konvansiyonel CMOS teknolojisine alternatif bir yöntem olan SOI taban üzerinde CMOS tümdevre üretim süreci özgün bir şekilde tasarlanmış ve optimize edilmiştir. Bu çalışma kapsamında tam fakirleşmiş aktif silisyum tabakalı devre yapılarında tabaka kalınlığının tranzistor parametreleri üzerindeki etkisi incelenmiş ve konvansiyonel CMOS sürecinde üretilen tranzistorlarla karşılaştırılmıştır.

Çalışmanın ikinci bölümünde SOI tranzistorların yapısal özellikleri ile elektriksel özellikleri arasındaki ilişki irdelenecek ve hedef NMOS ve PMOS tranzistorların yapısal özellikleri belirlenecektir. Üretim sürecinin geliştirilmesinde iki boyutlu ATHENA-SSUPREM4 ve ATLAS simülasyon programları kullanılmıştır. Bölüm 3, üretim akışı ve geliştirilen SOI CMOS süreci ile üretilen test kırımı tanımlamasını içermektedir. Bölüm-4’de, gerçekleştirilen üretimin süreç-içi ölçümleri, üretilen test tranzistorlarının dc karakteristikleri ve ring osilatörünün ölçümleri verilmiştir. SOI CMOS süreci ile ilgili varılan sonuçlar son bölümde verilecektir.

II . SOI CMOS SÜREÇ TASARIMI

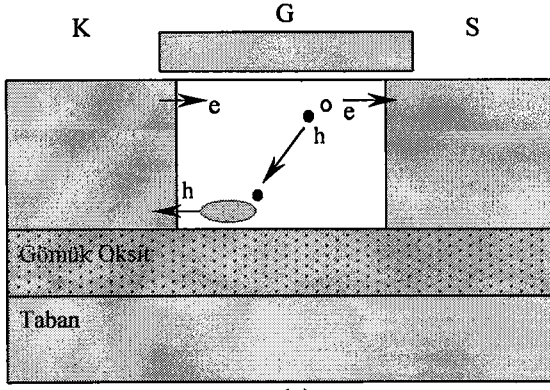
Bu bölümde tranzistorun elektriksel özelliklerinin üretim süreciyle kontrol edilen yapısal parametrelerine (kanal katkı yoğunluğu, kanal film kalınlığı, vb.) olan bağımlılığı incelenecektir. Karar verilen yapısal özellikleri elde edecek süreç akışının tasarımı iki boyutlu SSUPREM4 programını da içeren ATHENA ve ATLAS (Silvaco International) simülasyon programları kullanılarak gerçekleştirilecektir. Bu bölümün sonunda SOI CMOS süreç akışı verilecektir.

2.1 SOI MOS Tranzistorlar

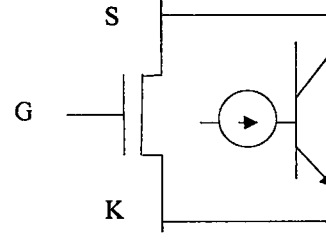
SOI tranzistorları silisyum film kalınlığının maksimum fakirleşmiş bölge genişliğine oranına göre değişen özellikler gösterir. Eğer film kalınlığı, maksimum fakirleşmiş bölge genişliğinden daha geniş ise ($t_{si} > 2 X_{dmax}$) tranzistor, Kısmi fakirleşmiş (Partially Depleted, PDSOI) veya kalın film SOI tranzistor olarak adlandırılır. Eğer silisyum film kalınlığı fakirleşmiş bölge genişliğinden küçük ise ($t_{si} < X_{dmax}$) tranzistor Tümüyle fakirleşmiş (Fully Depleted, FDSOI) veya ince film SOI tranzistoru olarak adlandırılır.

Tümüyle fakirleşmiş SOI tranzistorlar gövde bölgesinin katkı türüne göre Kanal Oluşturmalı (Enhancement) ve Yığmal (Accumulation) tip olarak gruplanabilirler. Kanal oluşturmalı tip tranzistorların gövde bölgesi katkısı ile savak-kaynak bölgesi farklı tiptendir. Kanal oluşturmalı NMOS SOI tranzistor gövde bölgesi p tipi, savak-kaynak bölgeleri ise n^+ tiptedir. Kanal oluşturmalı PMOS SOI tranzistorların gövde bölgesin n tipi, savak-kaynak bölgeleri ise p^+ tiptedir. Yığmal tip SOI tranzistorlarda savak-kaynak katkısı ile gövde katkısı aynı tiptedir. Yığmal tip NMOS SOI tranzistorlarda gövde n tipi, savak-kaynak bölgeleri ise n^+ iken, PMOS SOI tranzistorlarda gövde p tipi, savak-kaynak bölgeleri p^+ tiptendir. Kabul edilebilir eşik gerilimleri ile düşük kesim akımları ($I_{kaçak}$) elde edebilmek için, gövde tipine uygun geçit katkısı kullanılmalıdır. Kanal oluşturmalı NMOS ve PMOS SOI tranzistorlar için sırasıyla n^+ ve p^+ geçit katkısı, yığmal tip NMOS ve PMOS SOI tranzistorları için ise sırasıyla p^+ ve n^+ geçit katkısı seçilmelidir. Diğer tip geçit ve gövde tip kombinasyonları zayıf elektriksel karakteristik gösterirler (Herve vd, 1994).

Doymalı bölgede kutuplanmış SOI NMOS tranzistorlarında, aynı standart tranzistorda olduğu gibi savak bölgesi yakınlarında yüksek enerji kazanan elektronların kristal atomlarına



(a)



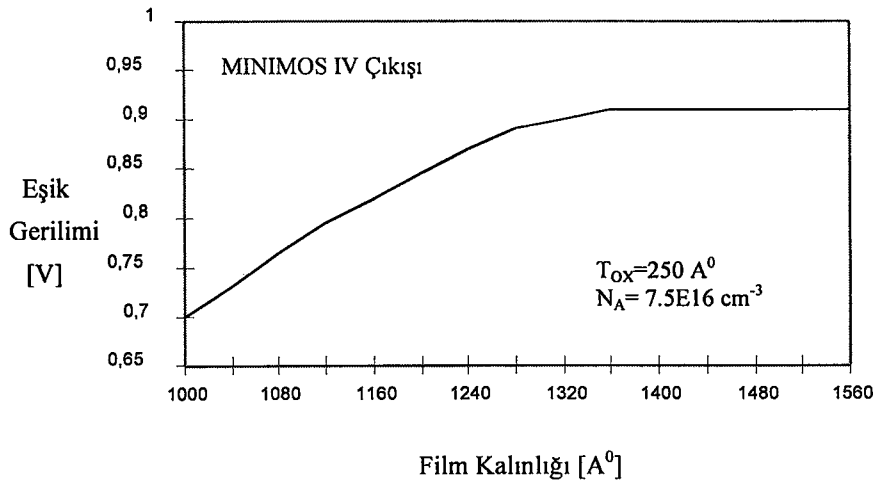
(b)

Şekil 2.1a) SOI NMOS tranzistör kesidi b) SOI NMOS tranzistörün karşılık gelen devre eşdeğeri modeli

çarpması elektron-delik çiftlerini üretecektir. Elektronlar kanal akımı ile savak bölgesine doğru yönelirken, delikler savak jonksiyonuna ait elektrikselsel alanın etkisi ile tranzistörün kaynak bölgesine doğru ve kısmi fakirleşmiş SOI tranzistörlerde tabanın nötr bölgesine doğru sürüklenirler. Şekil 2.1 'de deliklerin üremesi ve taban bölgesinde birikmesi ile olayın elektrikselsel eşdeğeri gösterilmiştir. Çarpışmalar ile üreyen delikler tranzistörün nötr bölgesinde birikecekler ve belli bir potansiyele bağlı olmayan taban bölgesinin potansiyelini yükselteceklerdir (Tsuchiya vd., 1998). Bu durum tranzistörün eşik geriliminin ve çıkış direncinin düşmesi ile sonuçlanacaktır. Kink Etkisi yada yüzer taban etkisi olarak adlandırılan bu ikincil etki kendisini kısmi fakirleşmiş SOI tranzistörde belirgin bir şekilde göstermektedir. Kısmi fakirleşmiş tranzistörler kanal bölgesinde bir nötr bölge içermektedir ve bu bölge ile tranzistör kaynak bölgesi arasındaki tıkama gerilimi tümüyle fakirleşmiş SOI tranzistöre göre yüksektir. Çarpışmalar ile üreyen delikler bu yüksek tıkama gerilimi nedeniyle nötr bölgede birikecekler ve taban bölgesinin potansiyelinin yükselmesine neden olacaklardır. Taban potansiyelinin yükselmesi, deliklerin kaynak jonksiyonuna ait tıkama gerilimini iyice düşürüp, kaynağa doğru akım oluşturuncaya kadar sürecektir. Halbuki tümüyle fakirleşmiş SOI tranzistörün taban bölgesinde nötr bölge bulunmamaktadır ve taban-kaynak jonksiyonunun tıkamada olduğu da tam söylenemez. Bu durumda çarpışmalar ile üreyen delikler savak jonksiyonuna ait elektrikselsel alan etkisiyle kaynak jonksiyonuna doğru sürüklenirler ve jonksiyonda belli bir potansiyel farkıyla karşılaşmadan kaynak bölgesine geçerler. Böylelikle tranzistörün taban bölgesinin potansiyelini değiştirmezler (Colinge, 1986, Choi, ve Fossum, 1991). Tümüyle fakirleşmiş tranzistörlerde kink etkisi görülmemesi, bu tür tranzistörlerle bir çalışma kolaylığı sağlamaktadır. En azından uzun kanallı tranzistörler için bundan söz edebiliriz. Çünkü kısa kanallı tümüyle fakirleşmiş SOI NMOS tranzistörünün taban bölgesi şekil 2.1'de gösterildiği gibi bir bipolar tranzistörünün baz bölgesi olarak

davranmaya başlamakta ve bu bipolar tranzistörünün baz akımını, savak-taban jonksiyonunda çarpışmalar ile üreyen delikler oluşturmaktadır. Çarpışmalar ile üreyen delikler tranzistörün taban bölgesinin potansiyelini yükselttiklerinden, kaynak-taban jonksiyonunun iletim yönünde kutuplanmasına neden olur ki bu durum bipolar yapısının aktif bölgede kutuplanmasına yolaçar. Bu parazitik bipolar yapısı MOS tranzistörünün savak akımının geçit gerilimi ile kontrolünü zayıflatır ve anormal dik eşik altı eğimi oluşturur. Bu olayın bir diğer ve çok önemli bozucu etkisi ise tranzistörün erken belvermesine neden olmasıdır. Bu belverme geriliminin (BV_{CE0}) tranzistörün savak bölgesi belvermesinden daha küçük olacağı açıktır ve hedef besleme geriliminden daha küçüktür. SOI teknolojisinin çok kısa kanallı (deep sub-micron) uygulamaları için standart teknolojiyi unutturacak şekilde bir alternatif oluşturmamasının altında bu erken belverme olayı yatmaktadır. Az katkılı savak-kaynak (LDD, Lightly Doped Drain) bölgelerine sahip MOS üretimi, erken belvermenin oluşma gerilimini besleme geriliminin üzerine çıkartılması için uzun kanallı tranzistörlerde kullanılan yaygın yöntemdir. LDD tekniği ile gerçekleştirilen savak ve kaynak bölgelerine sahip NMOS yapısında, parazitik bipolar tranzistörün akım kazançı ve savak-taban jonksiyonundaki elektrik alanı küçülmektedir. Bunlara ilave olarak kaynak-taban jonksiyonunun iletimde kutuplanması da zorlaştığından, LDD yapısı içeren SOI tranzistörlerde erken belverme, standart savak-kaynak yapılarına göre daha büyük gerilimlerde oluşmaktadır.

Uzun kanallı kısmi fakirleşmiş SOI tranzistörlerin eşik gerilim ifadesi standart tabanlı tranzistörler ile benzerdir. Tümüyle fakirleşmiş tranzistörlerin eşik gerilimi ise silisyum film kalınlığı ve gömük oksit altında bulunan taban kutuplamasına bağlıdır. Şekil 2.2'de taban katkı yoğunluğu $7.5 \cdot 10^{16} \text{ cm}^{-3}$ ve geçit oksit kalınlığı 250 Å olan SOI nMOS tranzistörünün



Şekil 2.2 SOI Tabanlı NMOS tranzistörün eşik geriliminin silisyum taban kalınlığı ile değişimi.

eşik geriliminin silisyum film kalınlığı ile değişimi MINIMOS IV (Selberherr, 1991) simülasyon programı kullanılarak çıkartılmıştır. Yapılan simülasyonlarda, gömük oksit ve silisyum film arasında varolan arayüz yükleri hesaba alınmamıştır ve taban elektrodu toprak potansiyeline bağlanmıştır. Şekil 2.2 'den görüldüğü gibi MOS tranzistorun eşik gerilimi, kanal katkı seviyesine uyan fakirleşmiş bölge genişliğinden sonra, silisyum film kalınlığı ile azalmaktadır. Söz konusu kanal katkısına karşılık gelen fakirleşmiş bölge genişliği $X_{dmax} \cong 1100 \text{ Å}$ dır.

Tümüyle fakirleşmiş tranzistorlarda yüklerle bağlaşım etkisi (charge coupling effect) nedeniyle eşik gerilimi, taban kutuplamasından, gömük oksit kalınlığından ve arayüzey yüklerinden etkilenir. Taban bölgesi tranzistorun geçit elektroduna benzer bir davranış gösterdiğinden literatürde alt geçit elektrodu olarakta adlandırılır. Açık literatürde, Ortiz-Conde (1989), Pierret-Shields (1983), Marlikarjun-Bhat (1990), Yang-Li (1993), Lim-Fossum (1984) gibi yazarlar da tümüyle fakirleşmiş NMOS SOI tranzistorun modellenmesi üzerine çeşitli çalışmalar yayınlamışlardır. Bu modeller arasında ölçülen değerlere en iyi yaklaşan, Ortiz-Conde (1989) 'un önerdiği modeldir (Jurczak 1997).

McKitterick-Caviglia (1989) tarafından önerilen modele göre eşik geriliminin ifadesi ;

$$V_{th} = -\phi_{mf} - \frac{C_{box}}{C_{ox}} (V_b + \phi_{mb}) + \frac{q N t_{si}}{C_{ox}} + \frac{C_{ox} + C_{box}}{C_{ox}} \frac{1}{\beta} \left\{ 1 + \sinh^{-1} \left(\frac{C_{ox} + C_{box}}{2 \beta q t_{si} n_i} \right) \right\} \quad (2.1)$$

şeklindedir. Bu ifadeden de görüleceği gibi eşik gerilimi film kalınlığının bir fonksiyonudur. McKitterick-Caviglia bu ifadenin oluşturulmasında yük yaprağı yaklaşımını (charge-sheet approximation) kullanmışlardır ve böylece silisyum film boyunca potansiyel sabit alınmıştır. Yük yaprağı yaklaşıklığının geçerliliğini yitirdiği çok ince (ultra thin) filmlerde bu model de geçerliliğini yitirmektedir (Jurczak 1997). Bu ifade de eşik gerilimi silisyum film kalınlığına bağımlılığı basit olarak görüldüğünden ilerideki çalışmalarda kullanılacaktır.

SOI MOS tranzistorun eşik altı eğimi $S = \delta V_G / \delta(\ln I_D)$ olarak tanımlanır ve bu ifade belli bir yaklaşıklıkla (Colinge 1986),

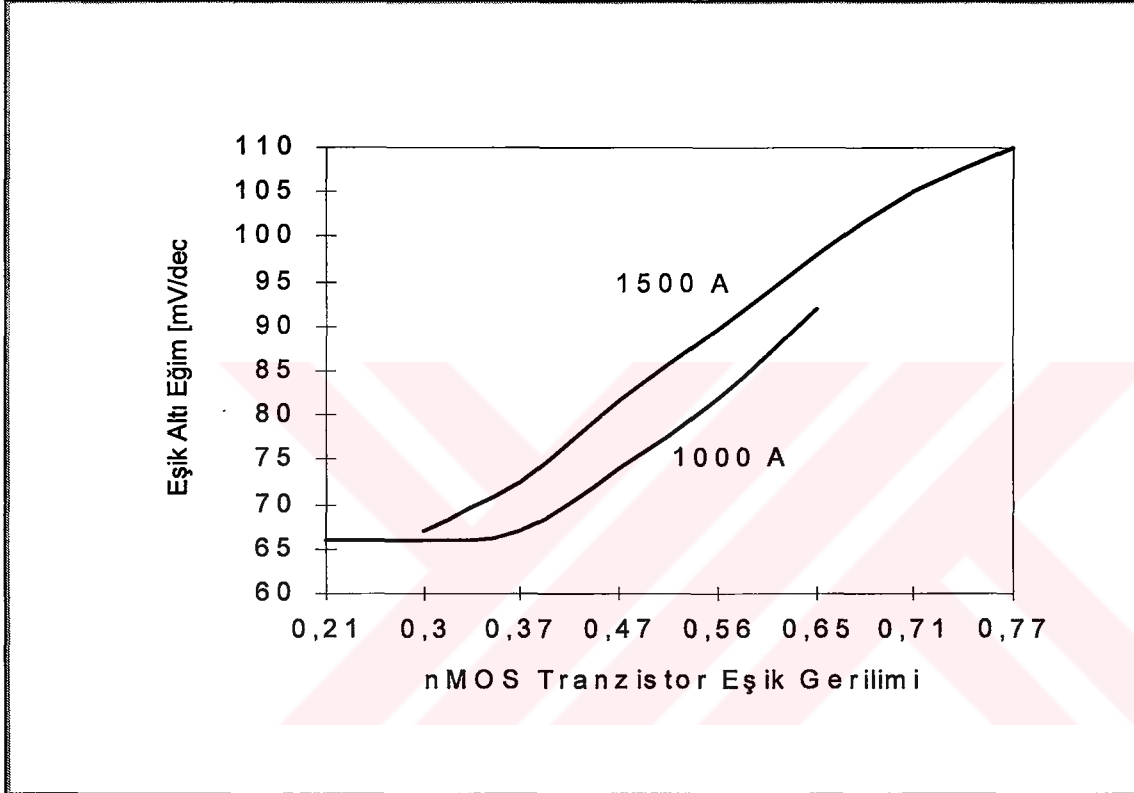
$$S \cong kT/q \ln 10 (1 + (C_D + C_{it})/C_{ox}) \quad (2.2)$$

olarak yazılabilir. Buradaki fakirleşmiş bölge kapasitesi $C_D = \epsilon_{Si}/X_d$, şeklindedir. Yukarıdaki ifadede de görüleceği gibi, en iyi eşik altı eğimini C_D 'nin en küçük değeri verecektir. Yani silisyum filmin kalınlığı inceldikçe eşik altı eğimi de azalacaktır. Tümüyle fakirleşmiş tranzistorların eşik altı eğimi, standart ve kalın filmli SOI tranzistorlarından daha küçük olacaktır. Si-SiO₂ arayüzey tuzakları olmayan ince filmli tranzistorun sahip olabileceği "teorik minimum S değeri" 59.6 mV/dec ($S \approx kT/q \ln 10$) dır. Sonuç olarak, SOI MOS tranzistorlarının eşik altı eğimlerinin küçük yapılabilmesi için silisyum film kalınlığı, maksimum fakirleşmiş bölge genişliğinden küçük yapılmalıdır. S değerindeki azalma film kalınlığının X_{dmax} değerinin altına inmesiyle başlar ve bu azalma teorik minimum değerine ulaşınca kadar devam eder. Eşik altı eğimi, SOI tranzistorun çalışma rejimini belirlemede bir kriter olarak kullanılabilir. Öyleki 70 mV/dec 'ın altında bir eşik altı eğimine sahip olan tranzistor için tümüyle fakirleşmiş SOI yapıya sahip olduğu tanısı konulabilir. Eğer bir SOI tranzistor 80 mV/dec 'un üzerinde bir eğime sahipse tranzistorun kanal bölgesi kısmi fakirleşmiştir. SOI tranzistorlarında yüksek eşik gerilimi ve düşük eşik altı eğimi birbirlerine ters gelişen büyüklüklerdir. Zaten SOI teknolojisinin getirdiği avantajlardan biri, düşük eşik altı eğimi ve düşük eşik gerilimini birlikte gerçekleştirebilmesidir. MINIMOS IV programı kullanılarak eşik gerilimi ile eşik altı eğim arasındaki ilişki araştırılmıştır. Tablo 2.1'de değişen eşik ayar iyon ekme dozuna göre 1500 ve 1000 A⁰ film kalınlıklarına ait eşik gerilimlerinin ve eşik altı eğimlerinin değişimi verilmiştir. MOS yapısında geçit malzemesi fosfor katkılı poli-silisyumdur ve geçit oksit kalınlığı 250 A⁰ dur. Tablo 2.1 'de verilen eşik altı eğimi değerlerinin eşik gerilimine göre değişimi şekil 2.3'de çizilmiştir.

Bu şekilden de görüldüğü gibi 1000 A⁰ veya daha kalın silisyum film kalınlıklı tranzistorların örnek olarak, hem 0.6V eşik gerilime ve hemde 70 mV/dec eğime sahip olma olasılığı bulunmamaktadır. 1000 A⁰ film kalınlığı için 0.4 V eşik gerilimi hedeflenmesi durumunda ancak 70 mV/dec'lık eğim olası görülmektedir.

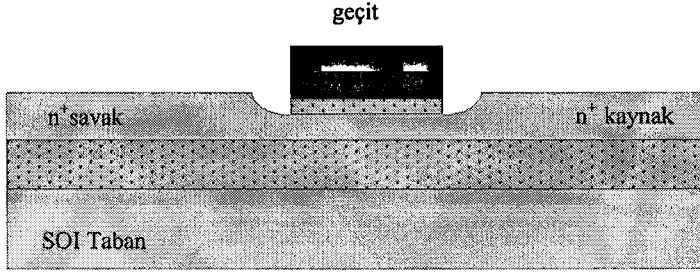
Tablo 2.1'deki verilerde, kanal katkısı iyon ekme işlemi kullanılarak hazırlanmıştır. İyon ekme işlemi takiben 900 °C sıcaklıkta, 40 dakika azot ortamında tavlama işlemi gerçekleştirilmiştir. Simülasyonlarda her iki Si-SiO₂ arayüzeyine ait tuzakların etkileri ihmal edilmiştir. 25KeV olan iyon ekme enerjisi ile yukarıda bahsedilen tavlama koşullar değiştirildiğinde ve arayüzey tuzakları hesaba katıldığında, katkı dozu ile eşik gerilimi arasındaki ilişkinin değişeceği açıktır.

Tablo 2.1: NMOS SOI Tr. Eşik Gerilimi ve Eşik Altı Eğiminin Kanal Katkısı ile Değişimi							
Film Kalınlığı	Parametreler	Kanal Katkısı İyon Ekme Dozu (cm^{-2}) (Enerji=25keV)					
		5E11	6E11	7E11	8E11	9E11	1E12
1000 $\text{\AA}$	V_{th} (V)	0.21	0.3	0.37	0.47	0.56	0.65
	S (mV/dec)	66	66	67	74	82	92
1500 $\text{\AA}$	V_{th} (V)	0.31	0.42	0.53	0.64	0.71	0.77
	S (mV/dec)	67	77	88	98	105	110



Şekil 2.3 NMOS Tranzistorda eşik altı eğiminin eşik gerilimi ile değişimi

Şekil-2.3 NMOS tranzistorun eşik gerilimi ile eşik altı eğimi arasındaki ilişkiyi film kalınlığına bağlı olarak verdiğinden tranzistorun kanal bölgesinin tasarımında kullanılabilecek önemli bir araçtır. Bu şekle göre NMOS tranzistor için 70 mV/dec'lık veya daha küçük eşik altı eğimine ve 0.5V 'luk eşik gerilimine ulaşmak için silisyum film kalınlığının 1000 $\text{\AA}$ 'dan mutlaka küçük ve 800-700 $\text{\AA}$ civarında olacağı öngörülebilir. Kanal katkı yoğunluğu ise hedef eşik gerilimini elde edilecek ve maksimum fakirleşmiş bölge genişliği 1000 $\text{\AA}$ 'dan büyük olacak şekilde seçilmelidir. Bu durumda üniform katı durumunda kanal katkı yoğunluğu $1 \cdot 10^{17} \text{ cm}^{-3}$ mertebesinde olmalıdır.



Şekil 2.4- Kanal bölgesi inceltilmiş SOI tabanlı MOS tranzistor kesidi.

Yüzer taban etkisinin azaltılması ve eşik altı eğiminin düşük gerçekleştirilmesi nedenleriyle tranzistorun tümüyle fakirleşmiş yapıda tasarlanmasına karar verilmiştir. Bununla beraber savak-kaynak bölgelerinin ve kontak dirençlerinin yükselmemesi için silisyum filmin kalın yapılma zorunluluğu vardır. Silisyum film kalınlığı ile ilgili olarak ters gelişen iki gereklilik oluşmuştur. Yani savak-kaynak bölgelerinde kalın, kanal bölgesinde ise ince silisyum film kullanma gerekliliği vardır. Şekil 2.4 de bu şekilde tasarlanmış bir tranzistorun kesidi verilmiştir. Yerel oksitleme işlemini takiben silisyum nitrür filmi silinmeden bir fotorezist şekillendirme işlemi gerçekleştirilir. Öyleki tranzistorların geçit alanlarına karşılık gelecek yerlerdeki rezist uzaklaştırılır ve bu bölgedeki nitrür aşındırılır. Rezist silinip oksitleme işlemine devam edilir. Böylece tranzistorun kanal bölgesindeki silisyum film yerel oksitleme tekniği ile inceltir.

Buraya kadar üretilecek olan SOI CMOS süreç için varılan sonuçlar tekrarlanacak olursa;

I.- Kanal katkısı 110^{17} cm^{-3} mertebesinde ve film kalınlığı 700-800 Å civarında olmalıdır. Bu sayede tranzistorlarda yüzer taban etkisi görülmeyecek ve kararlı bir tranzistor üretilecektir.

II- Tranzistorların eşik altı eğimleri 65 mV/dec civarında olacaktır. Güç tüketimi ve küçük eşik gerilimiyle çalışma olanağını elde etmenin ötesinde 80mV/dec 'den küçük eşik altı eğim incelenmesi gereken bir konudur.

III- Tranzistor yukarıda bahsedildiği gibi oyuk kanallı bir yapıda üretilecektir. Böylelikle tranzistorun kanal bölgesi tümüyle fakirleşmeye ait özellikler gösterirken, savak-kaynak bölgelerinde kalın silisyum film kullanılacak ve kontak dirençlerinin yükselmesinin önüne geçilecektir.

IV- NMOS tranzistorun savak-kaynak yapısında LDD yapısı kullanılacaktır. Bu yapı ile, savak bölgesindeki elektriksel alanın değeri küçültülecek, parazitik Bipolar tranzistorun akım kazancı küçültülecek, kaynak jonksiyonunun iletimde kutuplanması geciktirilecektir. Tüm bu etkilerin hepsi tranzistorun belvermesini geciktirecektir.

2.2 Süreç Simülasyonları

Gerçeklenecek SOI CMOS sürecinin sağlaması gereken koşullar olarak şunlar alınmıştır;

- Süreç 5V beslemeye uygun olmalıdır,
- Transistor eşik gerilimlerinin $V_{TN} = |V_{TP}| = 0.6V$ olmalıdır,
- Transistorlerin eşik altı eğimleri 70 mV/dec 'den küçük olmalıdır (yani transistörler tümüyle fakirleşmiş tipte olmalıdır) ve
- Transistörler kısa kanal etkileri göstermemelidir.

Bilindiği gibi transistörlerde kısa kanal etkilerini bastırmak için geçit oksidi kalınlığını inceltmek ve jonksiyon derinliklerini sıkılaştırmak yoluna gidilmektedir. SOI transistörlerin uzun kanal karakteristiğine sahip olması için sağlaması gereken koşul, kanal boyunun λ dan büyük olmasıdır. λ tanımı,

$$\lambda = \left[\frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} t_{Si} \right]^{1/2} \quad (2.3)$$

olarak (Yu vd., 1992) tarafından yapılmıştır. Yani SOI transistörlerde da aynı parametreler kısa kanal etkilerini azaltmada kullanılabilir. 250 Å kalınlığına sahip geçit oksidinin, bu çalışma çerçevesinde gerçekleştirilecek transistörlerin 0,5µm ve daha uzun kanal boylara sahip olacakları göz önünde tutulduğunda yeteri kadar ince olduğu söylenebilir. Olabildiğince kalın geçit oksitleriyle çalışmak, tümleştirme verimini ve güvenilirliğini yükseltmeye yardım edecek bir durumdur. Yukarıda verilen koşulları sağlayacak sürecin tasarımı ATHENA-SSUPREM4 ve ATLAS (Silvaco International) program seti kullanılarak gerçekleştirilmiştir. Yapılan NMOS ve PMOS transistörler için yazılan giriş deyimleri Ek-1 ve Ek-2 'de verilmiştir.

2.2.1 SOI NMOS Transistörü Süreç Simülasyonu Sonuçları

Şekil 2.5 de SSUPREM4 programının süreç simülasyon çıktıları verilmiştir. Şekil 2.5a 'da NMOS transistörün kesidi görülmektedir. Şekil 2.5'de 1, 2 ve 3 ile işaretlenen çizgiler sırasıyla transistörün Kanal, LDD ve Savak/Kaynak bölgelerine ait katkı profillerinin alındığı bölgeleri göstermektedir. Bu kesitlere ait katkı profilleri şekil 2.5 b ,c ve d 'de verilmiştir. Şekil 2.5 b 'den görülebileceği gibi transistörün kanal katkısı Si - SiO₂ geçişlerinde $9 \cdot 10^{16} \text{ cm}^{-3}$ iken film ortalarında hedeflere uygun olarak 110^{17} cm^{-3} 'e yükselmektedir. Transistörün

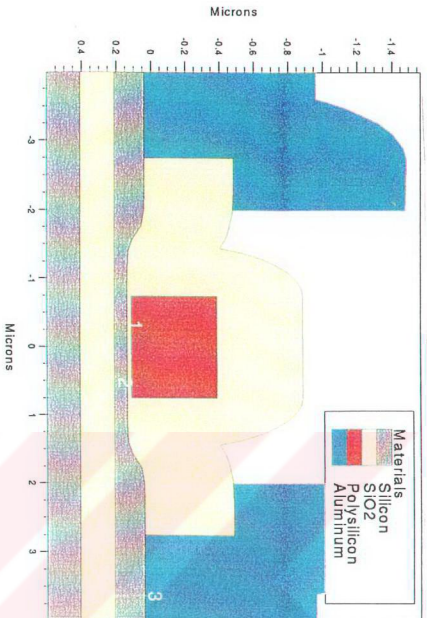
LDD bölgesi katkısı ise şekil 2.5 (c)'de verildiği üzere 210^{18} cm^{-3} mertebelerindedir. Savak/Kaynak katkısı ise $2 \cdot 10^{20} \text{ cm}^{-3}$ kadardır.

Yukarıda bahsedilen katkı profilleri için ATLAS programının hesapladığı $1.5\mu\text{m}$ kanal uzunluğuna sahip tranzistorun çıkış özeğrisi ($V_G - I_D$) ve eşik altı eğimleri şekil 2.6 (a) ve (b) 'de sırasıyla verilmiştir. Bu eğrilerden; 110^{11} cm^{-2} arayüzey yük yoğunluğu ve 700 A kalınlığındaki silisyum film için eşik geriliminin 0.55 V ve eşikaltı eğiminide 65 (mV/dec) olduğu gözlenir. Eşik geriliminin başlangıç hedefi olarak 0.6 V olarak seçilmesine rağmen 0.55 V 'un yeterli bulunmasının nedeni tranzistorun tümüyle fakirleşmiş yapıda olmasından ve dolayısı ile 65 (mV/dec) 'lık eşikaltı eğiminden vazgeçilmemesinden ve SOI sürecinin ilk kez gerçekleşmesi nedeniyle buradaki simülasyon sonuçlarının üretim sonucuna ne ölçüde yakın olacağı da bilinmemesinden kaynaklanmaktadır. Yüksek eşik gerilimi ile düşük eşik altı eğimi birbirine ters gelişen büyüklükler durumundadır. Bu ilişki Şekil 2.3'de irdelenmişti. 0.6 V eşik gerilimini elde edecek şekilde katkı yoğunluğu artırılması durumunda eşikaltı eğimin değeri yükselecektir. Film kalınlığı 700 A^0 civarında tümüyle fakirleşmiş SOI tranzistor bu çalışmanın ana hedefi olduğundan 0.55 V eşik gerilimi simülasyon sonucu olarak kabul edilmiştir.

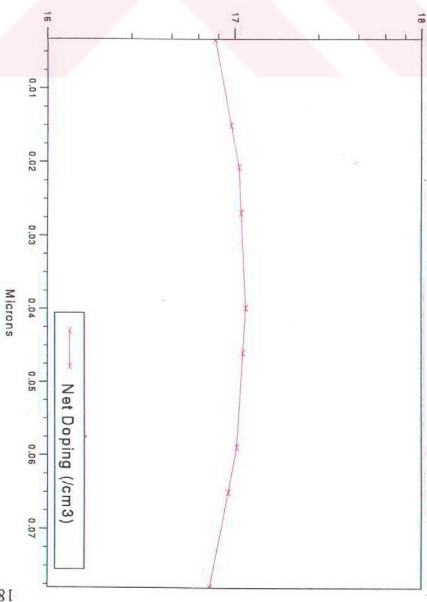
2.2.2 SOI PMOS Tranzistoru Süreç Simülasyonu

Şekil 2.7 (a)'da PMOS tranzistoru kesidi, (b)'de kanal bölgesi katkı yoğunluğu, (c)'de kanal ile (S/D) bölgesi geçiş katkı iyonu dağılımı ve (d) ise savak-kaynak (S/D) bölgesi katkı yoğunluğu verilmiştir. Bu katkı yoğunluklarına sahip $1.5\mu\text{m}$ kanal uzunluğunda ve 110^{11} cm^{-2} arayüzey yükü durumunda PMOS tranzistorun çıkış özeğrisi ve eşikaltı eğimi şekil 2.8 (a) ve (b) de verilmiştir. Sonuç olarak bu süreç koşullarında PMOS tranzistorunun kanal bölgesi film kalınlığı 700 A^0 , eşik gerilimi 0.7 V ve eşikaltı eğimi 65 mV/dec olmaktadır.

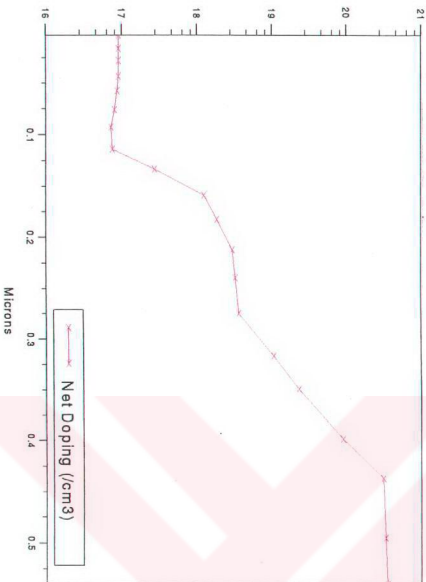
Şekil 2.5 a SOI nMOS Transiztor Kesidi



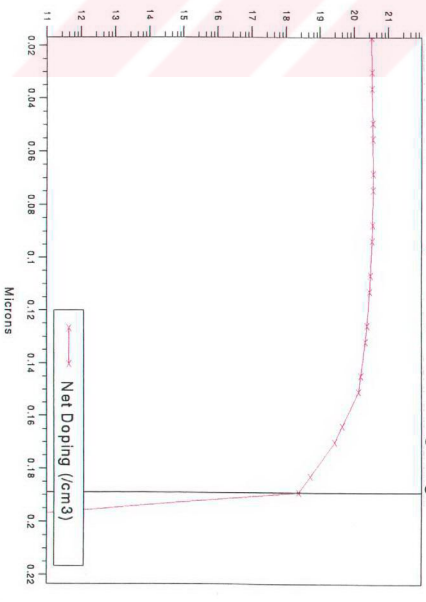
Şekil 2.5 b Kanal Katkı Yoğunluğu Simülasyonu



Şekil 2.5 c LDD Bölgesi Katkı Yoğunluğu

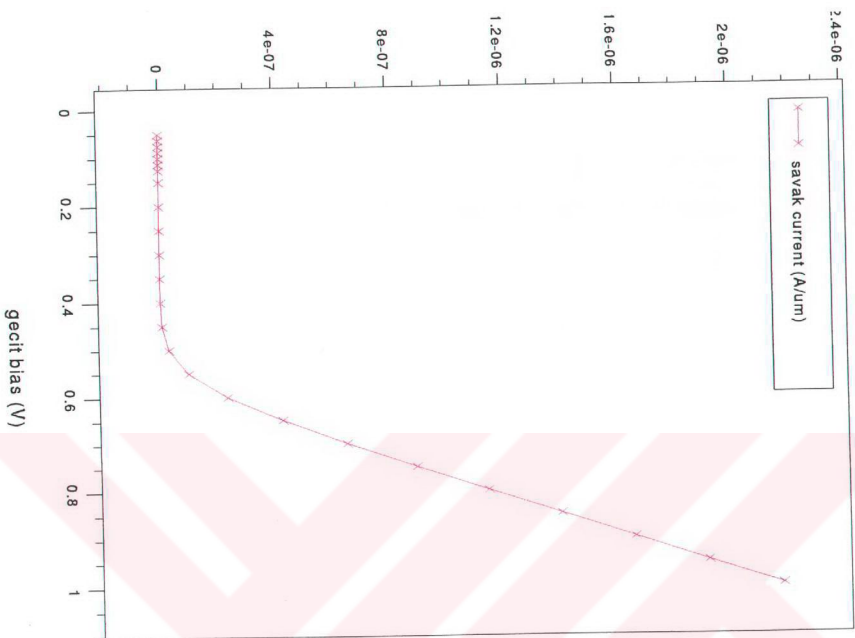


Şekil 2.5 d Savak - Kaynak Bölgesi Katkı Yoğunluğu



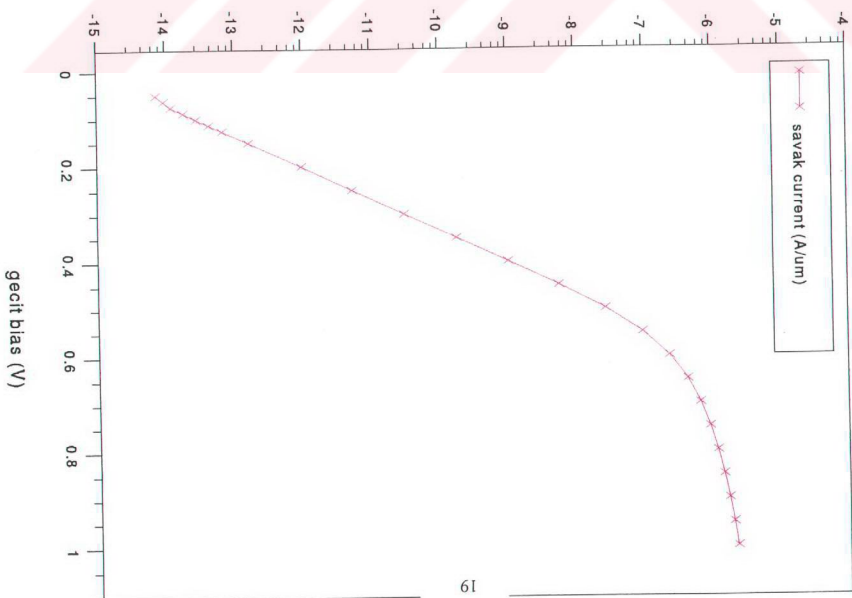
Şekil 2.6 (a)

Data from idvg.log

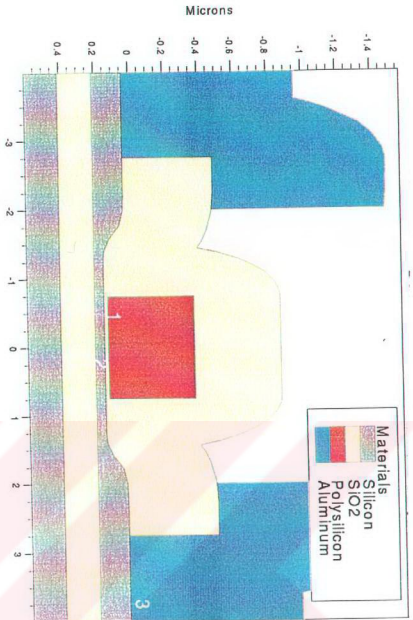


Şekil 2.6 (b)

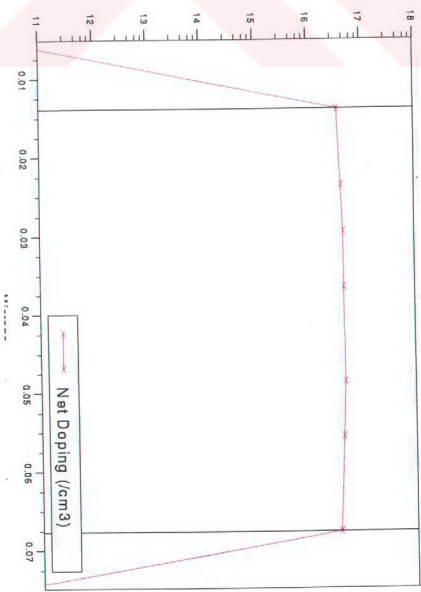
Data from idvg.log



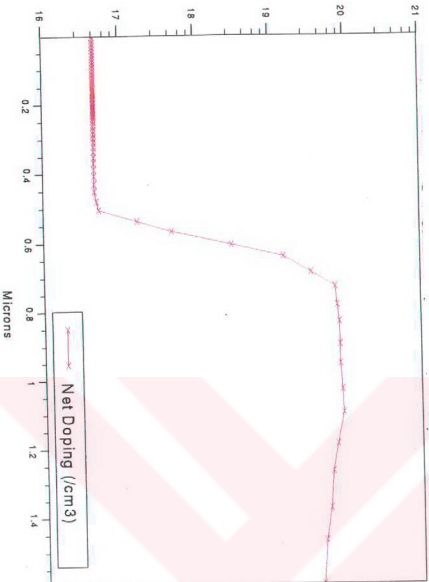
Şekil 2.7 (a) SOI PMOS Transizör Kesidi



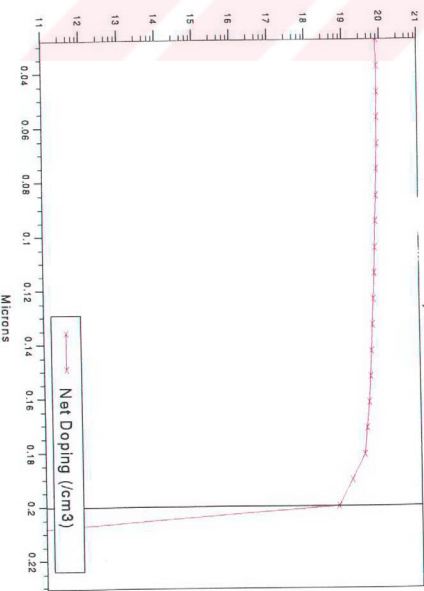
Şekil 2.7 (b) Kanal Katkı Yoğunluğu Simülasyonu



Şekil 2.7 (c) LDD Bölgesi Katkı Yoğunluğu

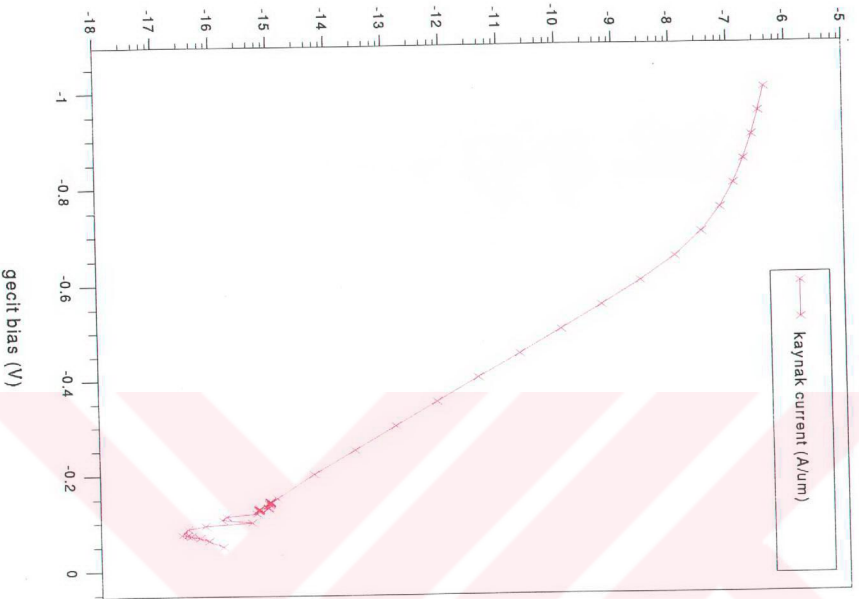


Şekil 2.7 (d) Savak-Kaynak Bölgesi Katkı Yoğunluğu



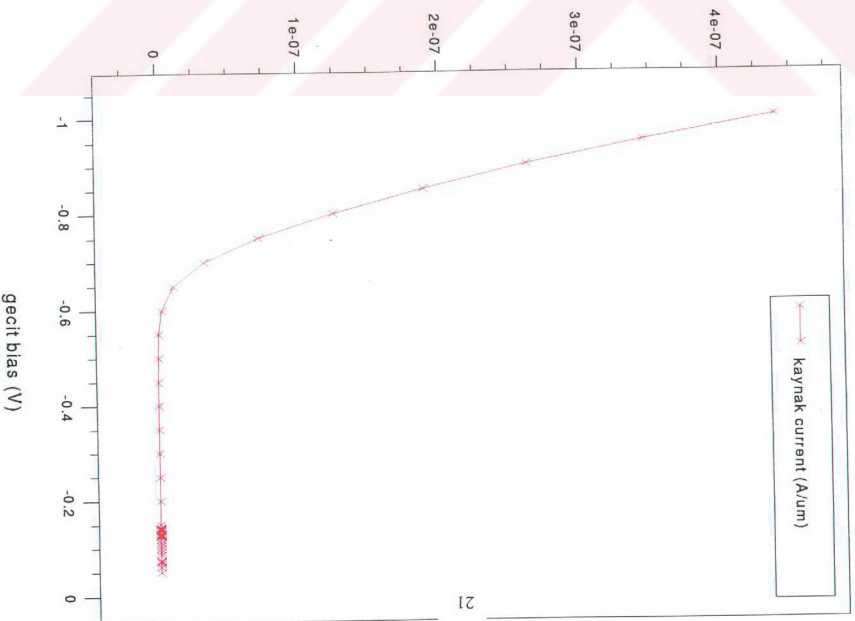
Şekil 2.6 (b)

Data from idvg.log



Şekil 2.8 (a)

Data from idvg.log



2.3 SOI CMOS Tümdevre Üretim Süreci

SOI CMOS sürecinin uygulanacağı taban özellikleri aşağıda özetlenmiştir ve kullanılacak SIMOX tabana ait üretici firmanın verdiği spesifikasyonlar Ek-3'de verilmiştir.

SIMOX Taban Si kalınlık: 2000 $\text{\AA}$

Oksit kalınlığı: 4000 $\text{\AA}$

Taban özgül direnci: 15 - 25 ohm.cm

Yönelim: 1.0.0

Tipi: p (Bor)

Tasarlanan 1.5 μm SOI CMOS tümdevre üretim sürecinde toplam 65 işlem bulunmaktadır ve bunlar dört ana adım altında gruplanabilir. Üretimdeki işlem sırasına göre bunlar;

- 1- Aktif Alanların Belirlenmesi,
- 2- MOS Yapısının Oluşturulması,
- 3- Savak- Kaynak Bölgelerinin Gerçeklenmesi,
- 4- Arabağlantıların Oluşturulması (Metalizasyon)'dır ve bu dört ana adımın alt işlemleri aşağıda verilmiştir.

SÜREÇ AKIŞI

Süreç akışının kesitleri şekil 2.9 verilmiştir.

I-Aktif Alanların Belirlenmesi:

- A1. Standart Temizlik, (H_2SO_4 + RCA),
- A2. Geçiş oksidi büyütme,
- A3. Nitrür Depolama,
- A4. (M1), Aktif alan PR,
- A5. Nitrür Aşındırma,
- A6. Alan İyon Ekimi,
- A7. PR silme (H_2SO_4),
- A8. Temizlik (RCA),
- A9. Yerel Oksitleme,
- A10. (M2), Kanal Şekillendirme PR,

- A11. Nitrür Aşındırma,
- A12. PR silme (H_2SO_4),
- A13. Temizlik (RCA),
- A14. Kanal Bölgesi Oksitleme,
- A15. Nitrür silme, (H_3PO_4),
- A16. Oksit Silme (HF : DI),
- A17. Temizlik (RCA),

II - MOS Yapısının Oluşturulması:

- M1. Geçiş Oksidi Büyütme,
- M2. (M3), n-kanal PR,
- M3. n-kanal iyon ekme,
- M4. PR silme (H_2SO_4),
- M5. (M4), p-kanal PR,
- M6. p-kanal iyon ekme,
- M7. PR silme (H_2SO_4),
- M8. Geçiş oksidi silme (HF:DI),
- M9. Temizlik (RCA),
- M10. Geçit oksidi büyütme,
- M11. Poly-Si Depolama,
- M12. Poly-Si Katkılama,
- M13. (M5), Geçit Bölgesi PR,
- M14. Poli-Si aşındırma (RIE),
- M15. PR silme (H_2SO_4),

III - S/D Bölgelerinin Oluşturulması:

- S1. Temizlik (RCA),
- S2. Ardıl oksitleme-I,
- S3. (M6), LDD Maskeleme PR,
- S4. LDD İyon Ekimi,
- S5. PR Silme (H_2SO_4),
- S6. Temizlik (RCA),
- S7. LDD Oksit Depolama,
- S8. LDD Oksit Aşındırma (RIE),
- S9. Temizlik (RCA),
- S10. Ardıl Oksitleme-II
- S11. (M7), NMOS S/D İmplant PR,

S12. NMOS S/D İmplant

S13. PR. Silme (O_2 Plazma + H_2SO_4),

S14. (M8), PMOS S/D İmplant PR,

S15. PMOS S/D

S16. PR. Silme (O_2 Plazma + H_2SO_4),

S17. Temizlik (RCA),

S18. Ardıl Oksitleme-III

VI- Metalizasyon

B.1 Katkısız SiO_2 Depolama,

B.2 Akıtma,

B.3 (M9), Kontak Maskesi,

B.4 Kontak Aşındırma (RIE)

B.5 PR Silme (H_2SO_4),

B.6 Metal Depolama,

B.7 (M10), Metal Maskesi,

B.8 Metal Aşındırma (RIE),

B.9 PR Silme (Losolin),

B.10 Tavlama

B.11 Pasivasyon Oksidi Depolama,

B.12 (M11), Pasivasyon Maskesi PR,

B.13 Pasivasyon Oksidi Aşındırma,

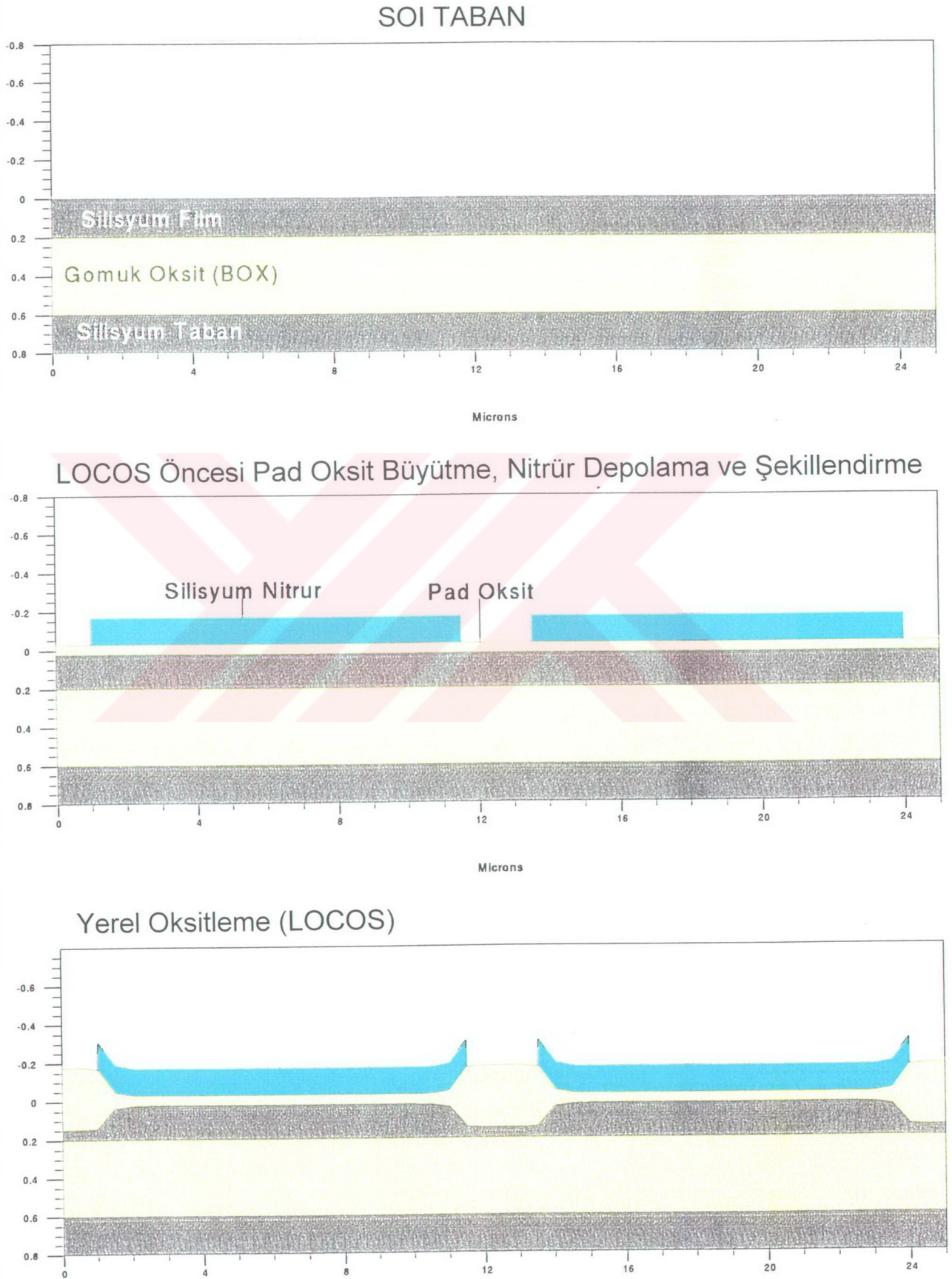
B.14 PR Silme (Losolin),

Yukarıda verilen üretim akışından görüleceği gibi bu süreçte toplam;

- 11 adet fotoresizt işlemi,
- 6 adet iyon ekme işlemi,
- 9 adet oksitleme işlemi,
- 9 adet temizlik,
- 4 adet CVD ve 1 adet PVD ile film depolama ve
- 6 adet Plazma destekli aşındırma işlem vardır.

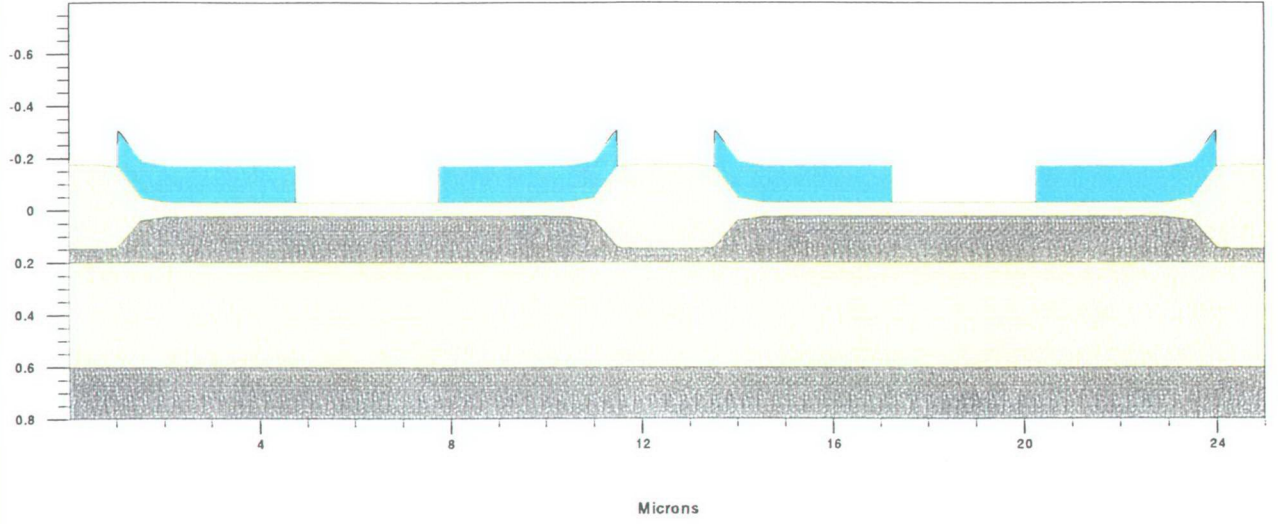
Şekil 2.9 'da tasarlanan SOI CMOS tümdevre üretim akışının kesitleri verilmiştir.

Şekil 2.9 SOI – CMOS Üretim Akışı

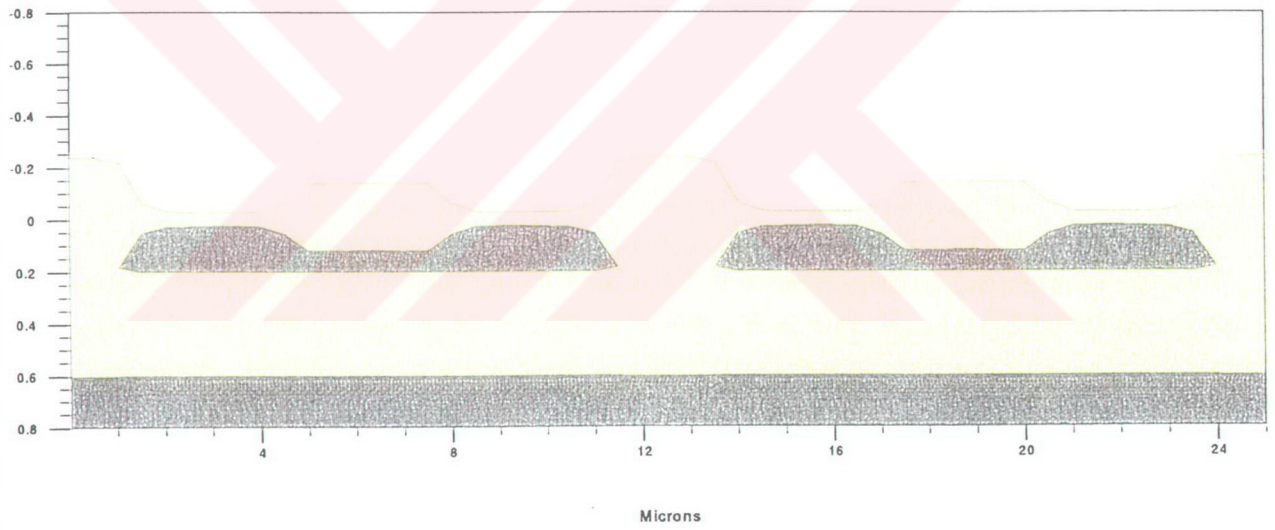


Şekil 2.9 SOI – CMOS Üretim Akışı (Devam-1)

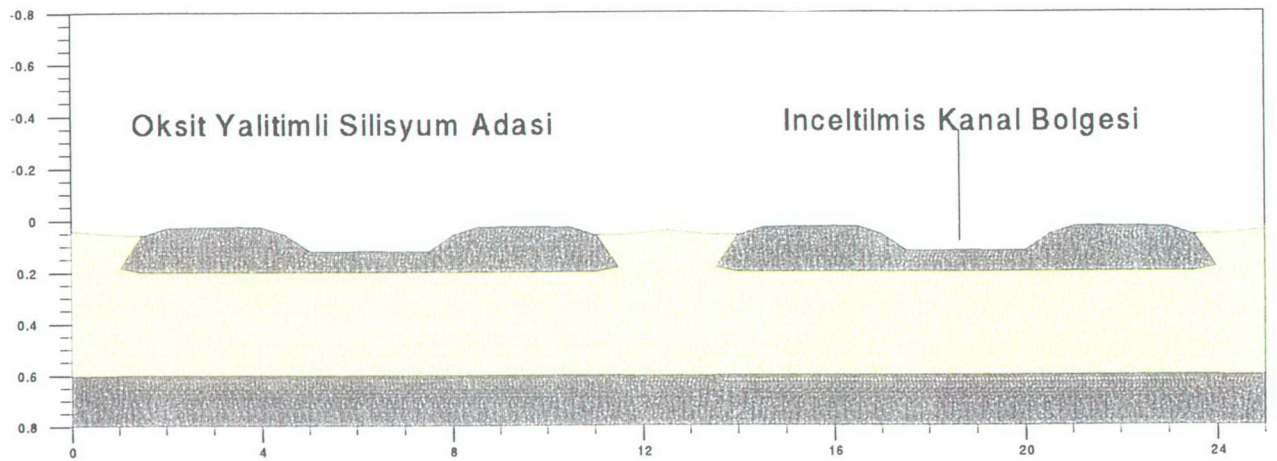
Kanal Bölgesindeki Nitrürün Şekillendirilmesi



Kanal Bölgesinin Oksitlenmesi ve Nitrürün Silinmesi

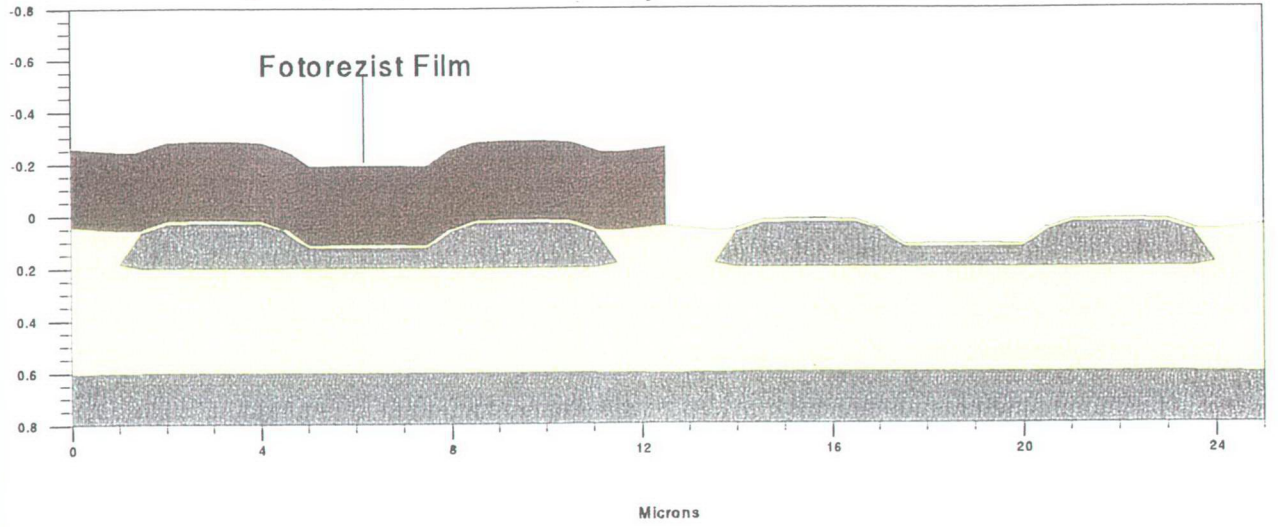


Silisyum Film Üzerinden Oksitin Silinmesi

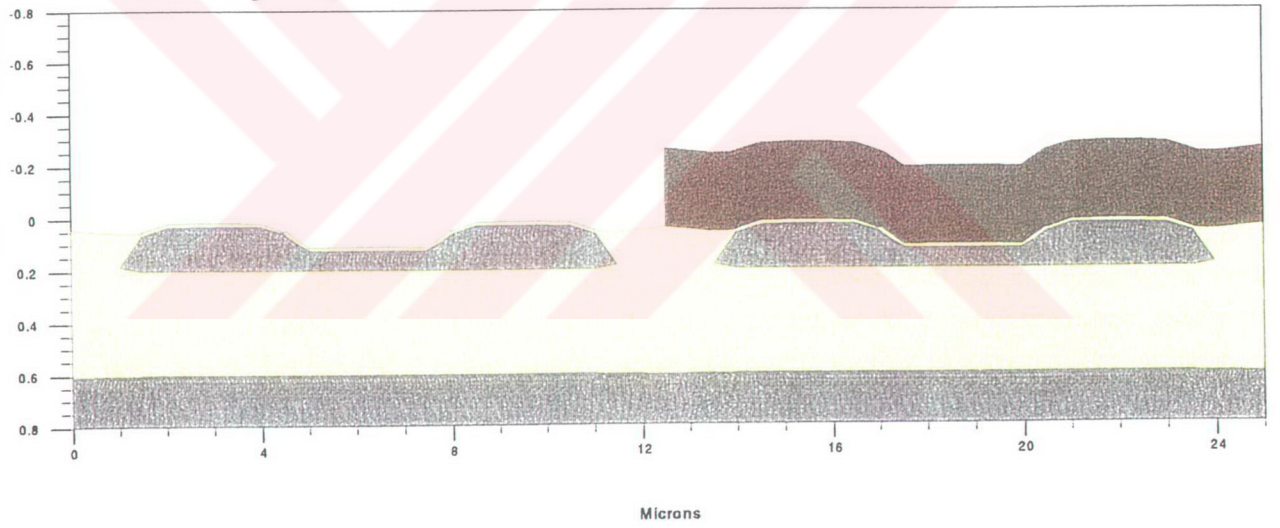


Şekil 2.9 SOI – CMOS Üretim Akışı (Devam-2)

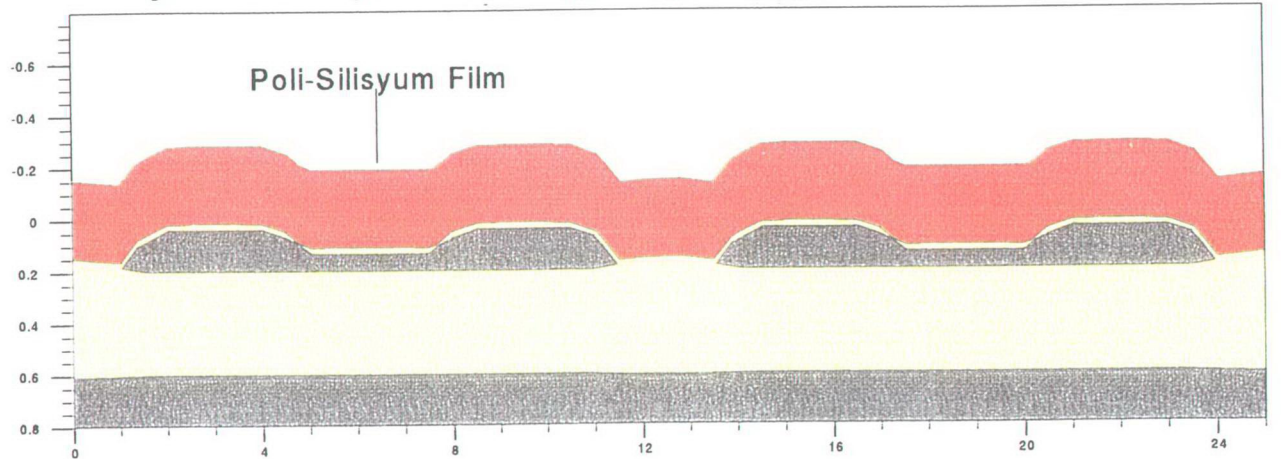
NMOS Eşik Ayar İyon Ekme Süreci



PMOS Eşik Ayar İyon Ekme Süreci

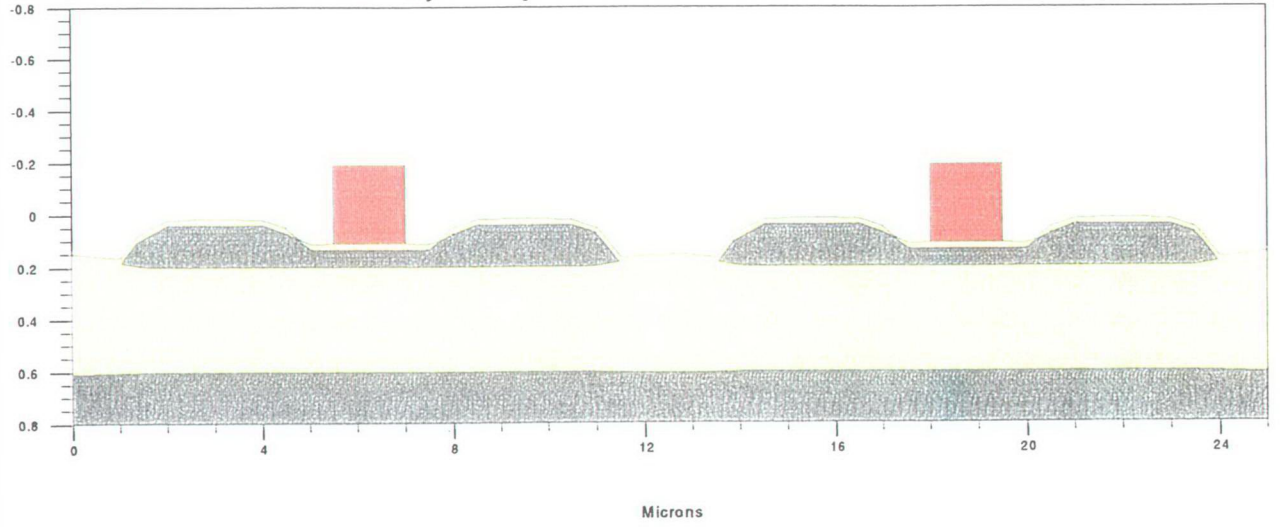


Geçit Oksidi Büyütme ve Poly-Silisyum Depolama

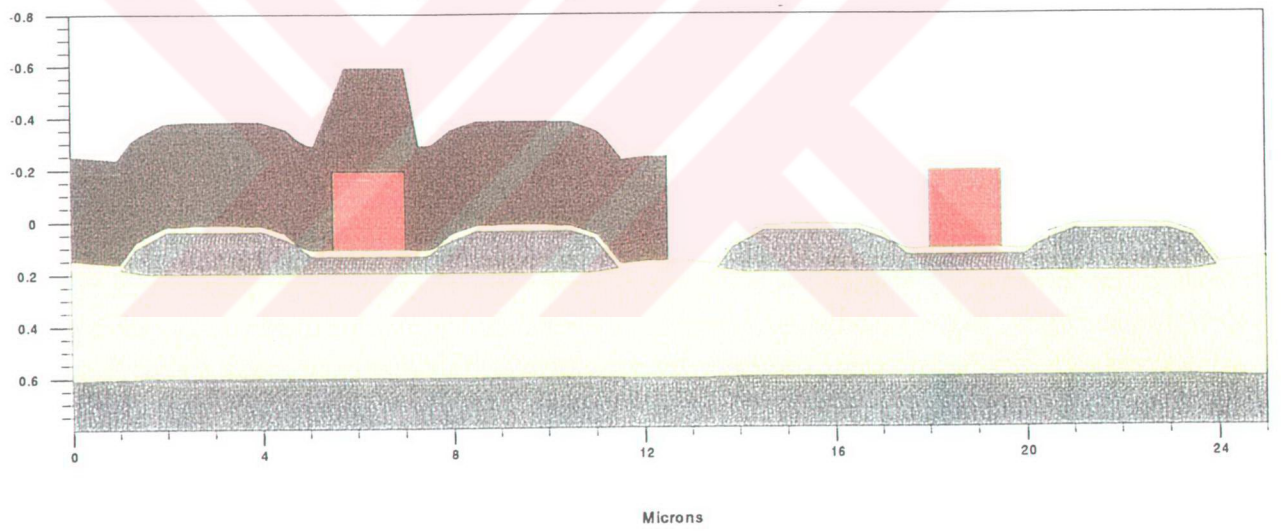


Şekil 2.9 SOI – CMOS Üretim Akışı (Devam-3)

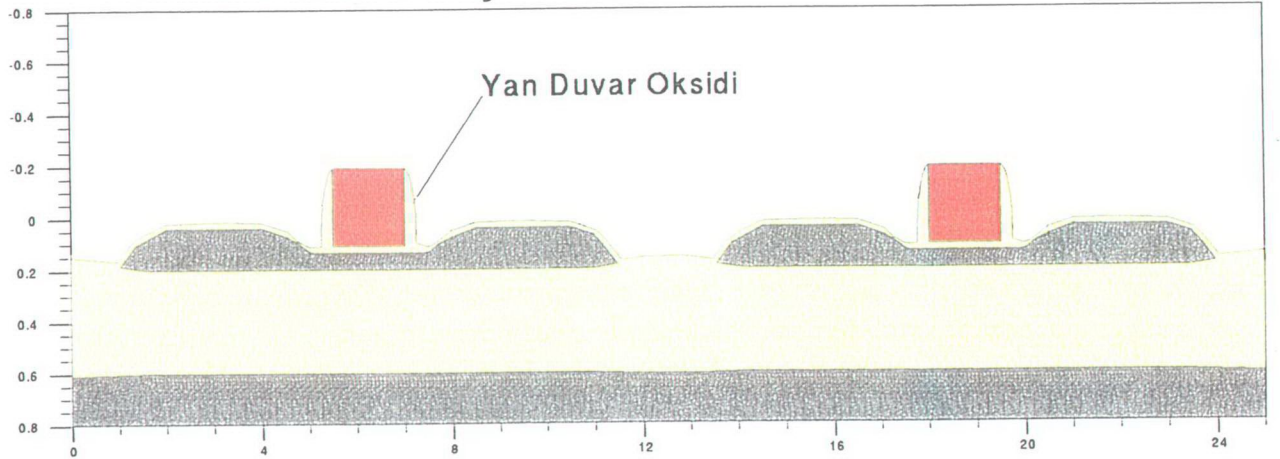
Poly-Silisyum Film Şekillendirme



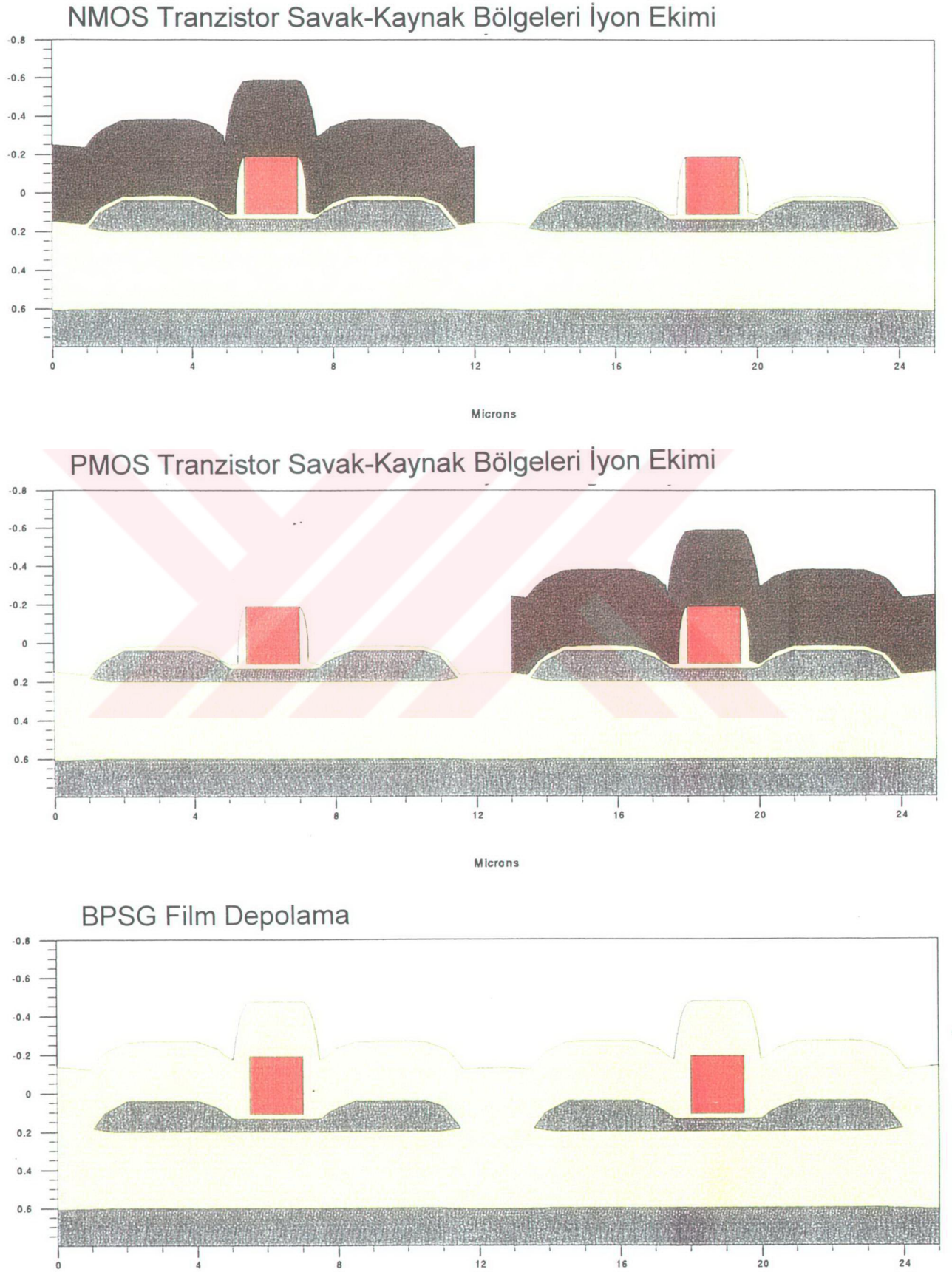
NMOS Tranzistor için LDD İyon Ekimi



Yan Duvar Oksidin Oluşturulması

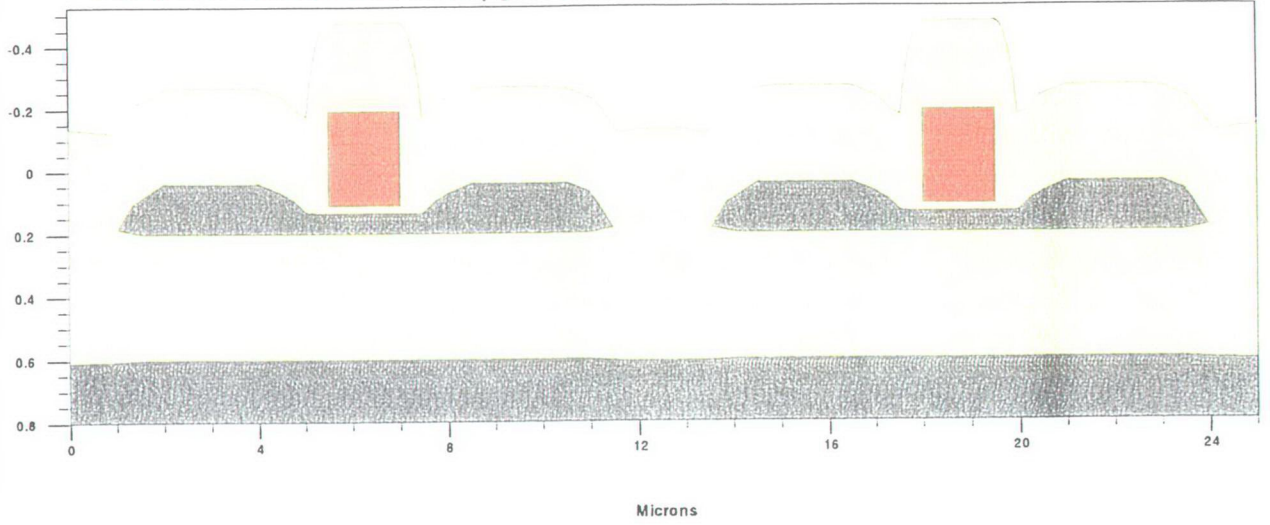


Şekil 2.9 SOI – CMOS Üretim Akışı (Devam-4)

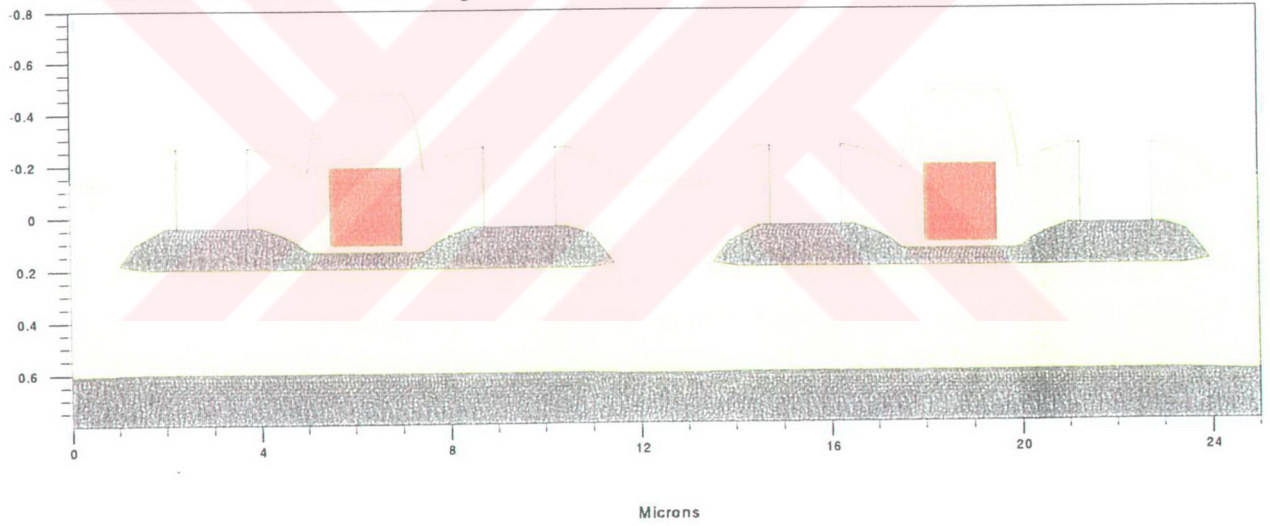


Şekil 2.9 SOI – CMOS Üretim Akışı (Devam-5)

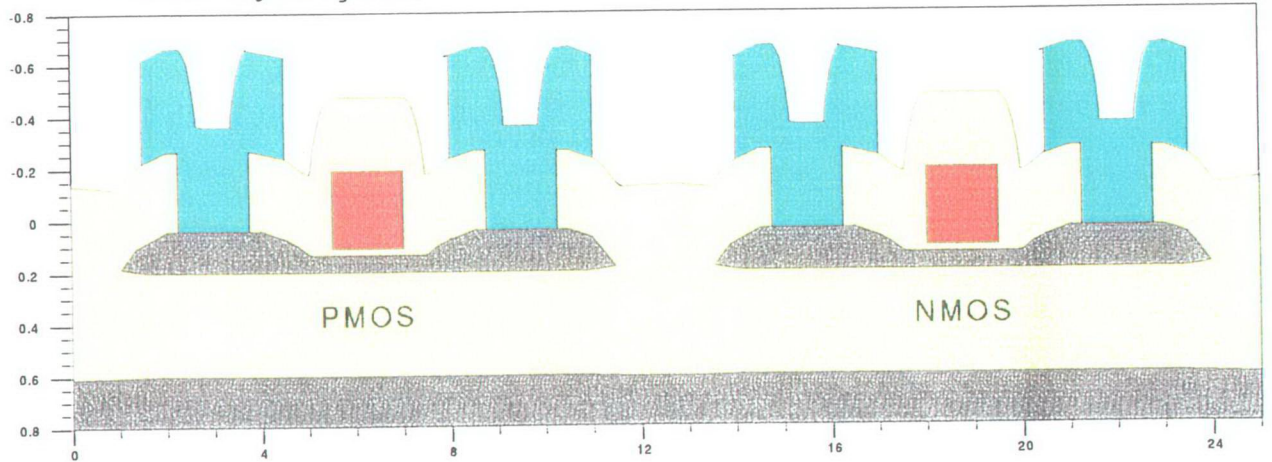
Yüksek Sıcaklıkta Katkı İyonu Aktivasyonu ve BPSG Yoğunlaştırma



Kontak Pencere Aılması



Metalizasyon İşlemi



III. SOI CMOS SÜRECİNİN TEST KIRMIĞI ÜRETİMİNE UYGULANMASI

3.1 SOI CMOS Test Kırmığı Tasarımı

Yukarıda verilen SOI CMOS süreci ile üretilen test kırmığının yerleşim planı şekil 3.1 'de verilmiştir. Test kırmığında bulunan ve üretim sürecinin karakterizasyonunda kullanılacak test yapıları aşağıda tanıtılmışlardır.

1-Ayrık Tranzistorlar: Kanal boyu $27\mu\text{m}$ ile $0.5\mu\text{m}$, kanal genişliği $27\mu\text{m}$ ile $1.5\mu\text{m}$ aralığında değişen 32 adet tümüyle fakirleşmiş SOI NMOS ve PMOS tranzistor bulunmaktadır. Silisyum film adalarının geçit elektrodu altında kalan kenar bölgelerinde oluşan parazitik tranzistorun etkilerinden kurtulmak amacıyla geçit bölgesi halka şeklinde olan $28\mu/1.5\mu$ buyutlu, kenarsız tümüyle fakirleşmiş NMOS ve PMOS tranzistorlarda test kırmığında bulunmaktadır. Özellikle eşik altı bölgesinin karakterizasyonunda kenarsız tranzistorlar kullanılacaktır.

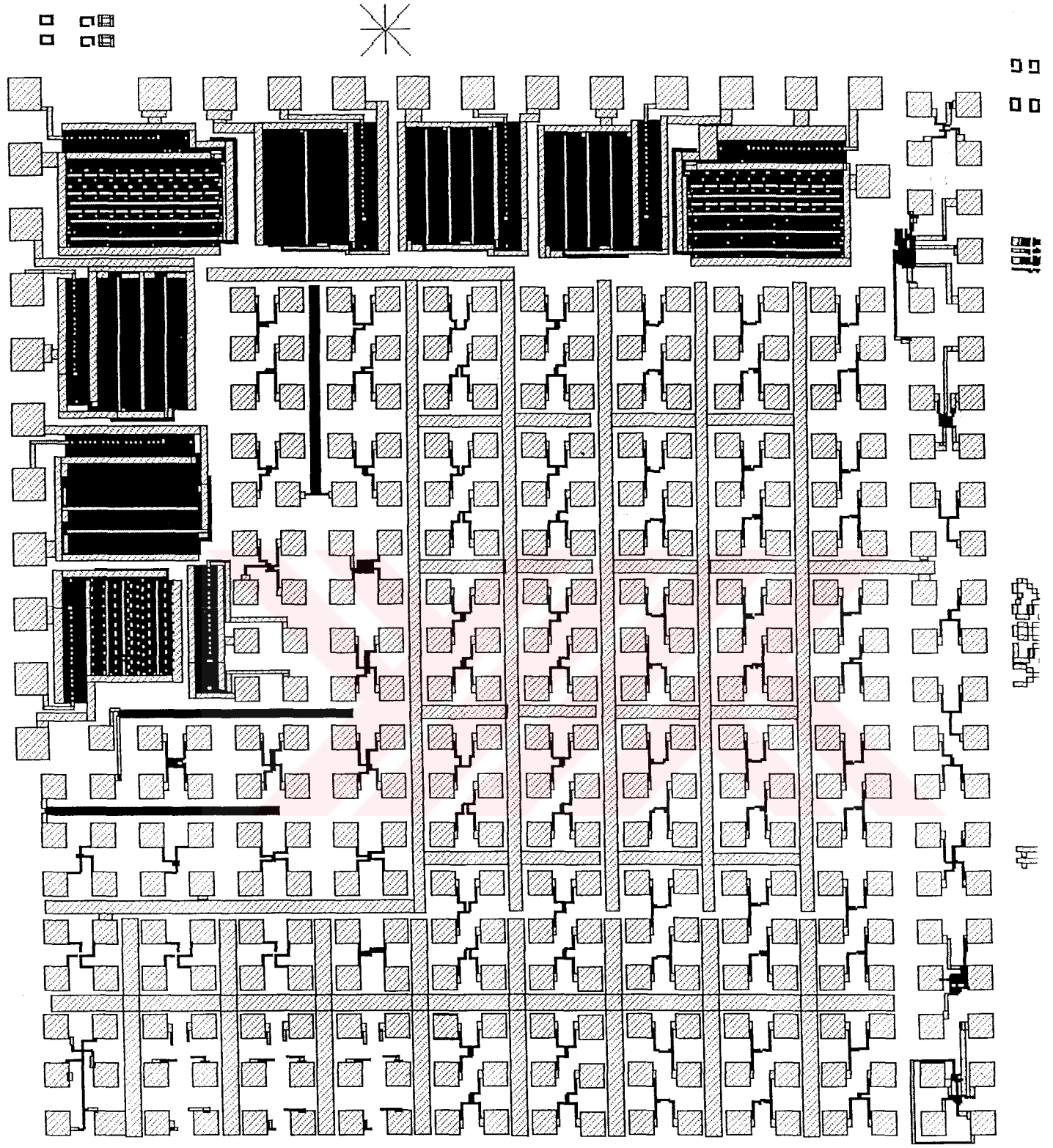
2-Van der Pauw Test Yapıları: Test kırmığında poli-silisyum, aluminyum filmler ile n^+ ve p^+ katkılı bölgelerin tabaka dirençlerini ölçmek için kullanılan test yapılarıdır.

3-Kontak Dizileri: n^+ ve p^+ bölgeleri ile aluminyum tabakası arası kontak direncini ve kontak verimini ölçmek amacıyla yapılan test yapısıdır. Kontak alanı $1,5\mu\text{m} \times 1,5\mu\text{m}$ dur.

4-Ring Osilatörleri: Evirici geçikmelerini ve tümleştirme verimini ölçmek amacıyla çeşitli ring osilatörler test tümdevresine konulmuştur. Tüm ring osilatörlerinde temel hücreyi evirici kat oluşturmaktadır ve herbirinde 99 evirici bulunmaktadır. Tablo3.1'da farklı tasarım özellikleri bulunan ring osilatörlerinin serim özellikleri verilmiştir.

Tablo 3.1 Ring Osilatörlerinde Kullanılan Tranzistorların Boyut

Kat No	Osilatör #	1	2	3	4	5
1. Kat	L	$0,75\mu\text{m}$	$1\mu\text{m}$	$1,5\mu\text{m}$	$1,5\mu\text{m}$	$1,5\mu\text{m}$
	W_{N1}	$14,5\mu\text{m}$	$14,5\mu\text{m}$	$14,5\mu\text{m}$	$12\mu\text{m}$	$12,5$
	W_{P1}	$36\mu\text{m}$	$36\mu\text{m}$	$36\mu\text{m}$	$20,5\mu\text{m}$	$17,5$
2. Kat	L	-	-	-	$1,5\mu\text{m}$	$1,5\mu\text{m}$
	W_{N2}	-	-	-	$23\mu\text{m}$	28
	W_{P2}	-	-	-	$40,5\mu\text{m}$	40,5
	Evirici Sayısı	99	99	99	99	99



Şekil 3.1 SOI - CMOS Test Tümdevresi Yerleşim Planı

3.1.1 Test Tümdevresi Tasarım Kuralları:

Tabaka Tanımları:



: Aktif Alan Adası



: Poli-silisyum Tabakası



: Geçit Bölgesi



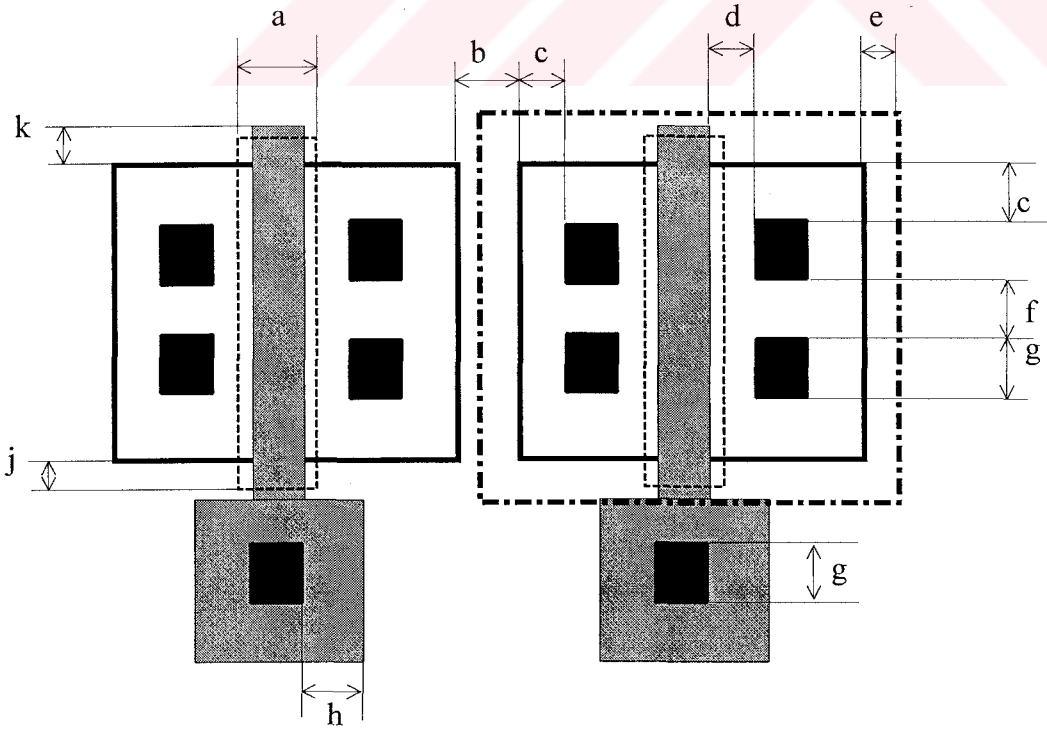
: n⁺ Bölgesi



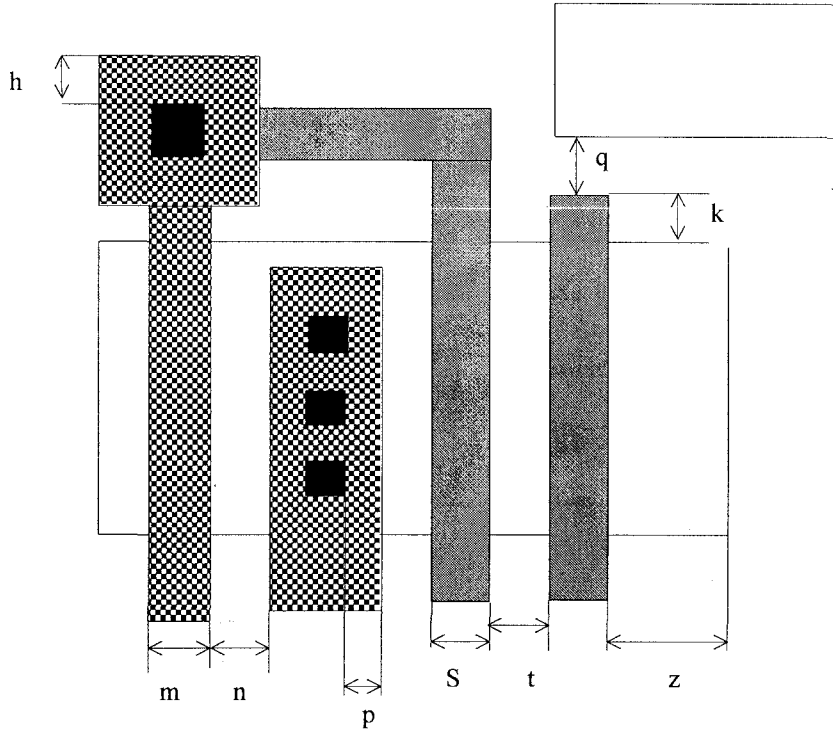
: Silisyum- Aluminyum Kontağı



: Aluminyum Film



Şekil 3.2 SOI NMOS ve PMOS Tranzistoruna ait tasarım kuralları



Şekil 3.3 Poli-silisyum ve Alüminyum filmlerin minimum hat genişlikleri ve hatlar arası açıklıklar.

Tasarım Kuralları;

a: Kanal bölgesi inceltme genişliği ;	$(L + 2 \times 0.75) \mu m$
b: Komşu iki aktif alan bölgesi arası açıklığı ;	$1.5 \mu m$
c: Aktif alan bölgesi sınırına kontak deliği uzaklığı;	$2 \mu m$
d: Geçit poli-silisyumuna kontak deliği uzaklığı;	$2 \mu m$
e: $n^+(S/D)$ maskesi aktif alan genişlemesi;	$2 \mu m$
g: Kontak deliği alanı;	$(1.5 \times 1.5) \mu m^2$
f: Komşu iki kontak deliği arası açıklık;	$1.5 \mu m$
j: Kanal Bölgesinin aktif alan dışına taşma miktarı;	$2 \mu m$
k: Poli-silisyum filmin aktif alan dışına taşma miktarı;	$1.5 \mu m$
t: Komşu iki poli-silisyum film arasındaki minimum açıklık;	$1.5 \mu m$
q: poli-silisyum filmin dıştan aktif alana yaklaşma miktarı;	$1.5 \mu m$
m: Minimum alüminyum film hat genişliği;	$1.5 \mu m$
n: Komşu iki alüminyum film arasındaki minimum açıklık;	$1.5 \mu m$
p: Kontak deliğine alüminyum hattın taşma miktarı;	$1.5 \mu m$
s: Poli-silisyum film minimum hat genişliği;	$1.5 \mu m$
t: İki poli-silisyum film arasındaki minimum açıklık;	$1.5 \mu m$
z: Savak/Kaynak bölgesi minimum genişliği;	$3 \mu m$

3.2 SOI CMOS Test Kırmığı Üretimi

Bölüm II’de verilen üretim akışına uygun olarak test kırmığının üretimi gerçekleştirilmiştir. Üretim sürecinde uygulanan işlemleri 7 ayrı grupta toplayabiliriz. Bunlar;

- 1- Islak Kimyasal İşlemler,
- 2- Yüksek Sıcaklık İşlemleri,
- 3- Düşük Basınçta Gaz Fazdan Film Depolama İşlemleri (LPCVD),
- 4- Fotolithografi,
- 5- Kuru Aşındırma (Plazma ve RIE),
- 6- İyon Ekme ve
- 7- Metal Kaplama İşlemleridir.

1- Islak Kimyasal İşlemler: Silisyum pulların temizlenmesi, fotorezist, silisyumdioksit ve silisyumnitrür filmlerinin yüzeyden silinmesi ile kuru aşındırmayı takiben kontak pencerelerinin açılması işlemlerinde kullanılmıştır. Tablo 3.2 ‘de RCA temizlik işleminin akışı verilmiştir. Bu akışta birinci adımda bulunan H_2SO_4 banyosu sadece sürecin ilk temizlik işleminde kullanılmaktadır.

Tablo 3.2 RCA Temizliği

Adım:	Sıcaklık ($^{\circ}C$)	Süre (dak:sn)	Not
H_2SO_4	100-130	10:00	
HF:DI	Oda Sıca.	0:30	(1:10)
DI Durulama	Oda Sıca.	-	DI Rezis>10 M Ω cm
$NH_4OH:H_2O_2:H_2O$	75 - 85	15:00	(0.25:1:5)
DI Durulama	Oda Sıca.	20	DI Rezis>10 M Ω cm
HF:DI	Oda Sıca.	0:10	(1:10)
DI Durulama	Oda Sıca.	-	DI Rezis>10 M Ω cm
$HCl:H_2O_2:H_2O$	75 - 85	15:00	
DI Durulama	Oda Sıca.	-	DI Rezis>10 M Ω cm
HF:H $_2$ O	Oda Sıca.	0:30	
DI Durulama	Oda Sıca.	-	DI Rezis>10 M Ω cm
Kurutma (N_2)	100	10	700 rpm

Fotorezist filmin yüzeyden silinmesi işleminde H_2SO_4 banyosu kullanılmaktadır. İşlemin koşulları tablo3.3’de verilmiştir. $N^+(S/D)$ iyon ekme işleminden sonra silisyum pulun yüzeyinden fotorezist filmin silinmesi sadece H_2SO_4 banyosu ile mümkün olmadığından işlemlere O_2 plazmasında ilave edilmelidir. Bu işlemin süreç koşulları ise Güç: 150W, Basınç: 0.5Torr ve Süre:30dak şeklindedir.

Tablo 3.3 Fotorezist Film Silme			
Adım	Sıcaklık ($^{\circ}C$)	Süre (dak:sn)	Not
$H_2SO_4 : H_2O_2$	100-130	10:00	Sürekli Çalkalama
$H_2SO_4 : H_2O_2$	100-130	10:00	Sürekli Çalkalama
DI Durulama	Oda Sıca.	-	DI Rezis>10 M Ω cm
Kurutma (N_2)	100	10	700 rpm

Silisyum Nitrür filmin yüzeyden silinme ve oksit aşındırma aşındırma işlemlerinde kullanılan süreçlerin koşulları tablo 3.4 ve tablo3.5 ‘de sırasıyla verilmiştir.

Tablo 3.4 Silisyum Nitrür Silme			İşlem: A15
Adım	Sıcaklık ($^{\circ}C$)	Süre (dak:sn)	Not
HF:DI	Oda Sıca.	00:30	(1:10)
DI Durulama	Oda Sıca.	-	DI Rezis>10 M Ω cm
H_3PO_4	150	120:00	Sıkı Kapaklı
DI Durulama	Oda Sıca.	-	DI Rezis>10 M Ω cm
Kurutma (N_2)	100	10	700 rpm

Tablo 3.5 İşlem : Oksit Aşındırma (BOE, Buffered Oxide Etching)			İşlem:A16
Adım	Sıcaklık ($^{\circ}C$)	Süre (dak:sn)	Not
Wetting Solution	Oda Sıca.	00:30	Triton X-100: DI
$(NH_4:HF) : (10:1)$	Oda Sıca.	Aşınma Hızı	550 (Å/min)
DI Durulama	Oda Sıca.	-	DI Rezis>10 M Ω cm
Kurutma (N_2)	100	10	700 rpm

2- Yüksek Sıcaklık Süreçleri: Silisyum yüzeyinin oksitlenmesi, poli-silisyum filmin katkılanması, iyon ekme işlemi sonrası katkı iyonlarının aktivasyonu ve metalizasyon işlemini takiben silisyum-aluminyum film arayüzeyinin tavlama yüksek sıcaklık gerektiren işlemlerdir. Tablo 3.6 ile 3-10 arasında verilen süreçlerde yüksek sıcaklıkta ve oksijen ortamında silisyum tabanının silisyumdioksit filme dönüştürülmesi işlemleri gerçekleştirilmiştir. Yüksek sıcaklık işlemleriyle silisyum pulda oluşacak gerilimleri en azda tutmak amacıyla fırına pul yüklemeler ve geri alımlar 800°C 'de yapılmıştır. Pullar fırına yüklendikten sonra süreç sıcaklığına yükseltmelerde +10 °C/dak'lık eğim, süreç sonunda ise süreç sıcaklığından 800°C'a inme işleminde -2 °C/dak'lık eğim kullanılmıştır.

Tablo 3.6 Geçiş Oksidi Büyütme Hedef Kalınlık = 500 Å						İşlem: A2
Adım	Sıcaklık (°C)	Süre (dak)	N ₂	O ₂	H ₂	Not
İtme	800	20	4			
Ramp-up	800→1000	20	4			+10 °C/dak
Oksitleme	1000	50		4		
Ramp-down	1000→800	100	4			-2 °C/dak
Çekme	800	20	4			
Ölçülen Kalınlık (Å):		483	Üniformite (%):			4

Tablo 3.7 Yerel Oksit Büyütme Hedef Kalınlık = 6000 ⁰ A						İşlem: A9
Adım	Sıcaklık (⁰ C)	Süre (dak)	N ₂	O ₂	H ₂	Not
İtme	800	20	3			
Ramp-up	800→1000	20	3			+10 ⁰ C/dak
Oksitleme	1000	190		2.1	2.45	
Tavlama	1000	10	3			
Ramp-down	1000→800	100	3			-2 ⁰ C/dak
Çekme	800	20	3			
Ölçülen Kalınlık (A ⁰):		6210	Üniformite (%):			1

Tablo 3.8 Kanal Bölgesi Oksitleme Hedef Kalınlık = 2500 Å ⁰						İşlem: A14
Adım	Sıcaklık (°C)	Süre (dak)	N ₂	O ₂	H ₂	Not
İtme	800	20	4			
Ramp-up	800→1000	20	4			+10 °C/dak
Oksitleme	1000	50		2.1	2.45	
Ramp-down	1000→800	100	4			-2 °C/dak
Çekme	800	20	4			
Ölçülen Kalınlık (Å ⁰) :		2530	Üniformite (%) :			2,3

Tablo 3.9 Geçit Oksidi Büyütme Hedef Kalınlık = 250 Å ⁰						İşlem: M10
Adım	Sıcaklık (°C)	Süre (dak)	N ₂	O ₂	H ₂	Not
İtme	800	20	4			
Ramp-up	800→900	10	4			+10 °C/dak
Oksitleme	900	83		4		
Tavlama	900	30	4			
Ramp-down	900→800	50	4			-2 °C/dak
Çekme	800	20	4			
Ölçülen Kalınlık (Å ⁰) :		244	Üniformite (%) :			1

Tablo 3.10 Ardıl Oksitleme Hedef Kalınlık = 150 Å				İşlem: M1, S2, S10, S18		
Adım	Sıcaklık (°C)	Süre (dak)	N ₂	O ₂	H ₂	Not
İtme	800	20	4			
Ramp-up	800→900	10	4			+10 °C/dak
Oksitleme	900	20		4		
Ramp-down	900→800	50	4			-2 °C/dak
Çekme	800	20	4			
Toplam Kalınlık (Å) :		270	Üniformite (%) :			3

Geliştirilen süreçte silisyuma yapılan tüm katkılmalarda iyon ekme tekniği kullanılmıştır. Poli-silisyum'a yüksek düzeyde katkılama yapıldığı için yüksek sıcaklık işlemi kullanılmıştır. Bu amaçla, atmosferik basınç CVD tekniği ile pul yüzeyine oluşturulan fosforca zengin silisyumdioksit filmden poli-silisyuma 1000°C 'ta katkılama gerçekleştirilmiştir. Tablo3.11'de işlemin koşulları verilmiştir. Poli-silisyum filmin rezistivitesi 4 nokta probu ile ölçülmüştür.

Tablo 3.11 Poli-Silisyum Film Katkılama; Hedef Direnç = 20 Ω/□						İşlem: M12
Adım	Sıcaklık (°C)	Süre (dak)	N ₂	O ₂	H ₂	Not
İtme	800	20	4			
Ramp-up	800→1000	20	4			+10 °C/dak
Oksitleme	1000	190	4			
Tavlama	1000	10	4			
Ramp-down	1000→800	100	4			-2 °C/dak
Çekme	800	20	4			
Ölçülen Direnç (Ω/□) :		12	Üniformite (%) :			-

TEOS filmin yüzeyini daha akışkan bir hal kazandırmak amacıyla gerçekleştirilen süreç Tablo3.12 de verilmiştir. Tablo3.13 tavlama işleminin koşulları verilmiştir.

Tablo 3.12 Akıtma						İşlem: B2
Adım	Sıcaklık (°C)	Süre (dak)	N ₂	O ₂	H ₂	Not
İtme	800	20	4			
Ramp-up	800→900	10	4			+10 °C/dak
Akıtma	900	40	4			
Ramp-down	900→800	50	4			-2 °C/dak
Çekme	800	20	4			

Tablo 3.13 Tavlama						İşlem: B10
Adım	Sıcaklık (°C)	Süre (dak)	N ₂	O ₂	H ₂	Not
İtme	450	20	4			
Tavlama	450	45	4			
Çekme	450	20	4			

3- LPCVD Tekniği ile Film Depolama: LPCVD (Low Pressure Chemical Vapor Deposition) tekniği ile silisyumnitrür depolama süreci tablo.3.14 'de verilmiştir.

Tablo 3.14 Silisyum Nitrür Depolama						İşlem : A3
Adım	Sıcaklık (°C)	Süre (dak)	Basınç (mTorr)	SiH ₂ Cl ₂ (sccm)	NH ₃ (sccm)	Not
İtme	600	20	Atmos.			
Basınç İnd.	600		230			
Kaçak Testi	600	1	10			10 mTorr
Ramp-up	600→700	20	230			+5 °C/dak
Bekleme	700	20	230			
Temizlik-1	700	2	230		90	
Depolama	700	100	230	30		-5 °C/dak
Temizlik-2	700	2	230		90	
Ramp-down	700→600	10	230			
Çekme	700	20	Atmos.			
Kalınlık (Å) :			1330	Üniformite (%):		1

MOS tranzistorun geit malzemesi olarak poli-silisyum kullanılmıřtır. Bu amala, LPCVD tekniėi ile silan (SiH_4) gazı 600°C 'ta ayrıştırılarak katı fazda poli-silisyum oluřturulur. Sürecin kořulları Tablo 3.15 verilmiřtir. Poli-silisyum hatların yan duvarlarında 2500 Å geniřliėinde yan duvar oksit bırakmak amacıyla adım örtmesi düzgün olan sıvı kaynak TEOS (Tetraetilortasilikat) kullanılmıřtır. Süre kořulları Tablo 3.16 verilmiřtir.

Tablo 3.15 Poli-Silisyum Depolama					İřlem :M11
Adım	Sıcaklık ($^\circ\text{C}$)	Süre (dak)	Basın (mTorr)	SiH_4 (sccm)	Not
İtme	600	20	Atmos.		
Basın İnd.	600	5	230		
Kaçak Testi	600	1	10		20 mTorr/dak
Bekleme	600	10	230		
Depolama	600	100	230	70	
Temizlik-2	600	5	230		
ekme	600	20	Atmos.		
Ölülen Kalınlık (A) :			4600	Üniformite (%):	2

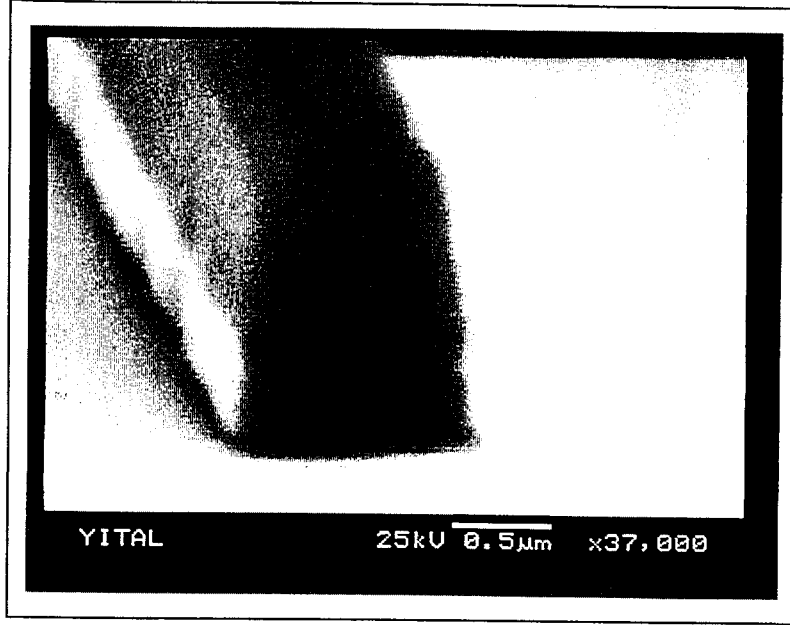
Tablo 3.16 LDD Oksit Depolama: Hedef Kalınlık: 2500 Å						İřlem : S7
Adım	Sıcaklık ($^\circ\text{C}$)	Süre (dak)	Basın (Mtorr)	TEOS (sccm)	O_2 (scm m)	Not
İtme	716	20	Atmos.			
Basın İnd.	716	5	350			
Kaçak Testi	716	1	350			20 mTorr/dak
Bekleme	716	2	350			
Temizlik-1	716	2	350		150	
Depolama	716	34	350	60		TEOS 55°C
Temizlik-2	716	2	350		150	
Ramp-down	716	10	350			
ekme	716	20	Atmos.			
Kalınlık (A) :		2600		Üniformite (%):		3

4- Kuru Aşındırma Süreçleri : Kontrollü aşındırma yapabilmek için MOS tranzistorun geçit bölgesinin aşındırılmasında, kontak pencerelerin açılmasında ve metal filmin aşındırılmasında reaktif iyon aşındırma yöntemi kullanılmıştır. Silisyumnitrür filmin aşındırılmasının ve reaktif iyon aşındırma süreçlerinin koşulları Tablo3.17 de verilmiştir.

Tablo 3.17 Kuru Aşındırma Süreci Koşulları					
Aşındırılan Film		Si3N4	Poly-Siliyum	Oksit	Metal
Adım		A5	M15	B4	B8
Cihaz		Technics	Plasma Tech. µP	Plasma Tech.	Plasma Tech.
Teknik		Plazma	Reaktif İyon	Reaktif İyon	Reaktif İyon
Gazlar	CF ₄ (sccm)	100	-		
	O ₂ (sccm)	25	-	4	-
	SF ₆ (sccm)	-	3,5	-	-
	CHF ₄ (sccm)	-	-	70	8
	Cl ₂ (sccm)	-	10,5	-	11,6
	BCl ₃ (sccm)	-	-	-	48,6
Basınç (Mtorr)		200	40	70	60
Güç (W)		100	30	135	130
DC Kutuplama (V)		-	300	390	180
Süre (dak:sn)		6:10	1:50	20	10
Aşınma Hızı (Å ⁰ /dak)		230	2000	500	1250

5- Fotolithogfi Süreçleri: SOI - CMOS sürecinde 11 adet fotolithografi işlemi mevcuttur. Bu işlemlerde pozitif fotorezist kullanılmıştır. Tablo 3.18’de fotorezist serme sürecinin koşulları özetlenmiştir.

Tablo 3.18 Fotorezist Koşulları		
Adım	Süre	Not
Kurutma	30 dak	150 °C
HMDS	10 dak	Vakum
Serme	30 sn	5000 rpm
Önpişirme	60 sn	95 °C
Pişirme	60 sn	120 °C
Banyo	60 sn	-
Durulama	30 +30 sn	-
Son Pişirme	60 sn	120 °C

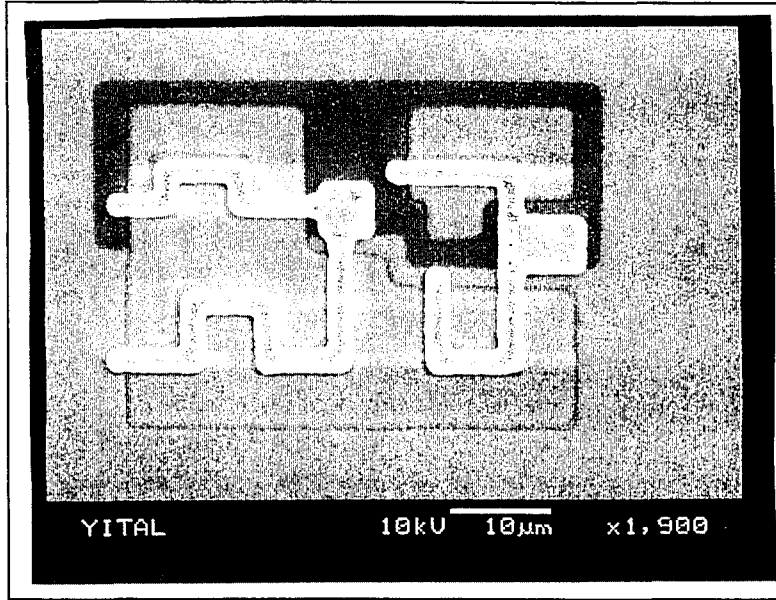


Şekil 3.4 Poli-silisyum filmin aşındırma sonrası SEM fotoğrafı

7- İyon Ekme Süreç Koşulları: Tablo3.19’de geliştirilen SOI CMOS sürecinde kullanılan 6 iyon ekme işleminin süreç koşulları verilmiştir. Bu iyon ekme süreçlerinden n-kanal ve p-kanal eşik ayar süreçlerinde $^{11}\text{B}^+$ yerine $^{49}(\text{BF}_2)^+$ iyonu kullanılmasının nedeni, 25kV’dan daha düşük enerji kullanma ihtiyacından kaynaklanmıştır. Kullanılan orta akımlı iyon ekme cihazının iyon hızlandırma tüpünün besleme bağlama şemasında bir değişikliğe gidilmeden, $^{11}\text{B}^+$ göre yaklaşık 5 kez daha ağır olan $^{49}(\text{BF}_2)^+$ iyonu seçilerek daha yüksek enerjiler kullanma şansı elde edilmiştir.

Tablo 3.19 İyon Ekme Süreç Koşulları

İşlem	A6	M3	M5	S4	S12	S15
Adım	P ⁺ Alan	n Kanal	p Kanal	LDD	n ⁺ (S/D)	p ⁺ (S/D)
Gaz Kaynak	BF ₃	BF ₃	BF ₃	PH ₃	AsH ₃	BF ₃
İyon	$^{11}\text{B}^+$	$^{49}(\text{BF}_2)^+$	$^{49}(\text{BF}_2)^+$	$^{31}\text{P}^+$	$^{75}\text{As}^+$	$^{49}(\text{BF}_2)^+$
Doz (1/cm ²)	2.3E13	2.6E12	1.1E12	4E13	6E15	2.5E15
Enerji (keV)	25	50	50	50	120	50
Ekme Açısı	7	7	7	0	7	7
İyonEkme Süresi (sn)	35,5	45	30	40	330	350
İyon Akımı (µA)	10	0,8	0,5	15	270	100
Filaman Akımı (A)	130	100	100	115	115	120
Kay. Basıncı (Torr)	3,5E-5	3,5E-5	3,5E-5	2E-5	2E-5	3E-5

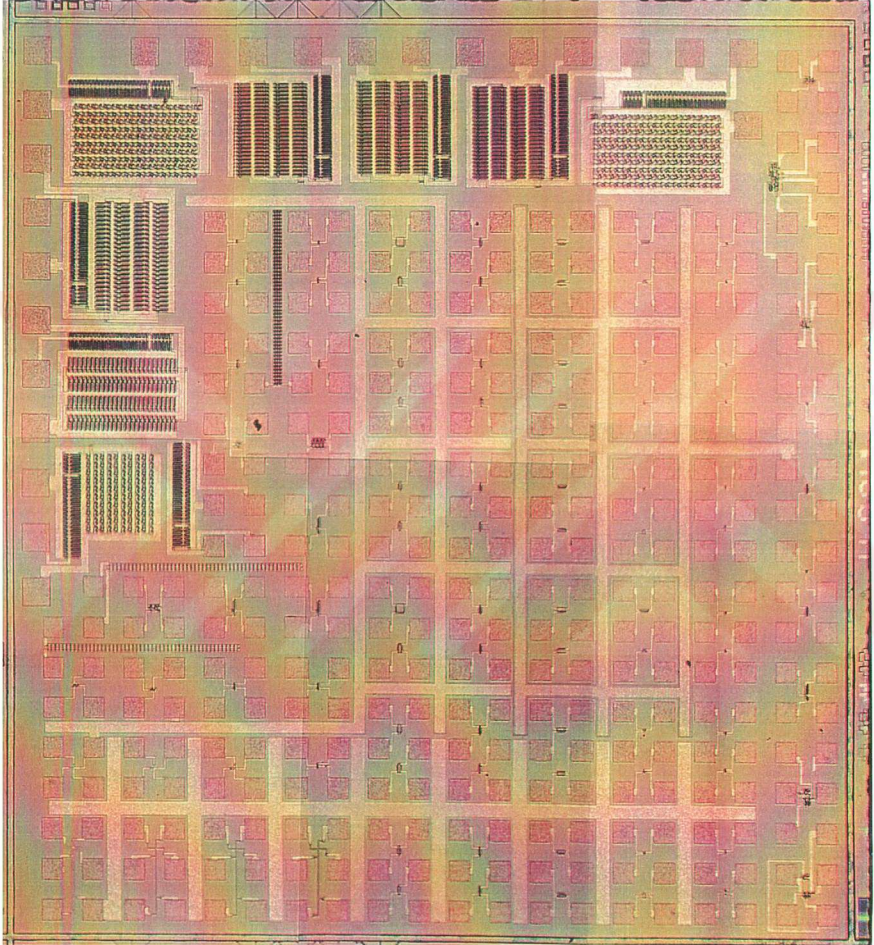


Şekil 3.5 n^+ (S/D) bölgeleri için uygulanan ($^{75}\text{As}^+$) iyon ekme ve fotorezist silme işleminden sonra SEM gözlemi. Fotograftan da görüldüğü gibi As iyonu ekim işlemini gören NMOS tranzistorun savak ve kaynak bölgelerinde diğer yerlere göre daha koyu bir görüntü mevcuttur.

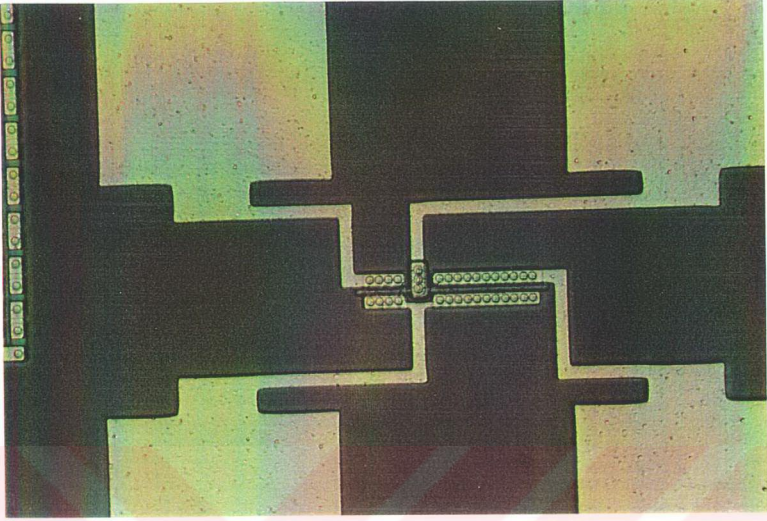
7- Metalizasyon Süreci: Metalizasyon işleminde $1\mu\text{m}$ kalınlığında %1 Silisyum katkılı Aluminyum film kullanılmıştır. Argon plazmasının kullanıldığı Tozutma (Sputtering) sürecinin koşulları aşağıda verilmiştir.

Tablo 3.20 Aluminyum Film Depolama Koşulları			İşlem: B6
Ar Akışı (sccm):	20	DC Güç (W):	2000
Basınç (mTorr):	2	Gerilim (V):	530
Sıcaklık ($^{\circ}\text{C}$):	27	Akım (A):	3,8
Süre (dak:sn):	00:30	Düşük Basınç (Torr):	$7 \cdot 10^{-9}$
Direnç ($\text{m}\Omega/\square$):	29	Yansıma Katsayısı:	150

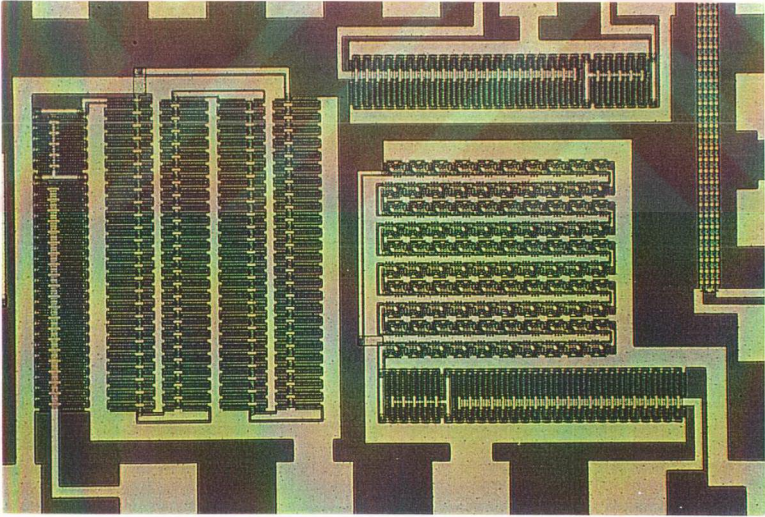
Şekil 3.6'de SOI CMOS Test kırılgının mikroskoptan çekilmiş fotoğrafı verilmiştir. Şekil3.7(a)'da SOI CMOS evirici (b)'de ise farklı iki yerleşim planına sahip ring osilatörü verilmiştir.



Şekil 3.6 SOI CMOS Test Kırmağı'nın Fotoğrafı



(a)



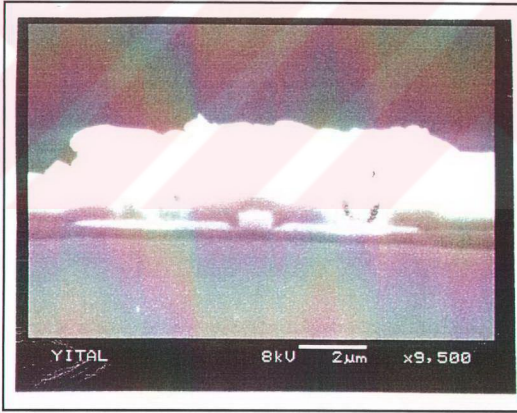
(b)

Şekil 3.7 (a) SOI CMOS Evirici ve (b) Farklı Yerleşim Planına Sahip iki SOI CMOS Ring Osilatörü

3.3 Kanal Bölgesi Silisyum Film Kalınlığının Ölçülmesi

SOI MOS tranzistorlarının karakteristiği kanal bölgesi kalınlığına göre değişen özellikler göstermektedir. Bu amaçla hem tranzistorların karakterizasyonu ve hemde süreç tasarımı irdelenmesi için kanal bölgesi silisyum film kalınlığının doğru olarak bilinmesi gereklidir. Film kalınlığının tranzistor karakteristiği üzerine etkisini inceleyebilmek amacıyla üretim sürecinde tasarım hedefi olan $700\text{\AA}$ 'lık filme ilave olarak $450\text{\AA}$ kalınlığa sahip olacak şekilde bir SOI taban daha işlenmiştir. Bu işlem Kanal Bölgesi Oksitleme (A14) aşamasında oksitleme süresini 50 dakikadan 65 dakikaya çıkartarak yapılmıştır. Böylelikle büyütülen oksit kalınlığı $2500\text{\AA}$ 'dan $3000\text{\AA}$ 'a yükseltilmiştir.

Şekil 3.8 ve 3.9' de üretim süreci tamamlanmış SOI-MOS tanzistorunun kesitinin SEM fotoğrafları verilmiştir.



Şekil 3.8 Kesit SEM Fotoğrafları



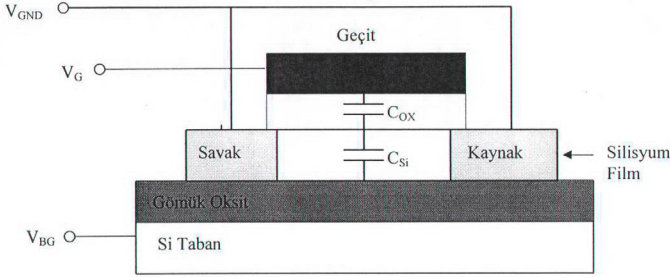
Şekil 3.9 SOI Tranzistor Kesitleri

Kanal bölgesindeki silisyum film kalınlığını bulmak için iki farklı yol izlenmiştir. Bunlarda birincisi; süreç boyunca SOI film üzerinde büyütülen oksit tabakalarının toplamına karşı gelen silisyum tüketimi 0,44 çarpanı ile hesaplandıktan sonra üretici firmanın verdiği orjinal film kalınlığından çıkartılmasıyla elde edilecek kalınlıktır. Adım14'de gerçekleştirilen iki farklı sürecin film kalınlıkları hesabı Tablo3.21'de verilmiştir. Silisyumdioksit film kalınlığının ölçülmesinde Nanometrics 210XP ince film ölçme sistemi kullanılmıştır.

Tablo 3.21 Silisyum Film Kalınlığı Hesabı		
Oksitleme Adımları	700A ⁰ SOI Süreci	450 A ⁰ SOI Süreci
Geçiş Oksidi Kalınlığı: (A2)	483 A ⁰	483 A ⁰
Kanal İnceltme Oksit Kalınlığı: (A14)	2500 A ⁰	3000 A ⁰
Ardıl Oksit Kalınlığı: (M1)	150 A ⁰	150 A ⁰
Geçit Oksidi: (M10)	244 A ⁰	244 A ⁰
Okside Dönüşen Si Film Kalınlığı:	1485 A ⁰	1705A ⁰
Orjinal Film Kalınlığı: 2190 A ⁰ (Ek.3)	2190 A ⁰	2190 A ⁰
Son Film Kalınlığı:	704 A ⁰	484 A ⁰

SOI film kalınlığının ölçülmesi için ikinci yol ise; açık literatürde önerilen yüksek frekans CV tekniğini kullanmaktır (Chen, vd., 1991). Yapılan iş, iki farklı taban kutuplaması ile geçit ve savak-kaynak bölgeleri arasındaki kapasitelerin ölçmesidir. İki aşamalı yöntemin ilk aşamasında pulun tabanı toprak potansiyelinde tutulur ve tranzistorun geçitinden savak-kaynak bölgesine göre yüksek frekans CV ölçmesi alınır. İkinci aşamada ise, tabana silisyum film ile gömük oksit arayüzeyinde evirtim oluşturacak şekilde yüksek gerilim uygulanır ve tekrar geçitten CV ölçmesi alınır. Böylelikle geçit oksidi ve fakirleşmiş silisyum filmin oluşturdukları kapasiteler ölçümlerden hesaplanabilir. Ölçme yönteminin önerdiği kutuplama biçimi şekil.3.10'da gösterilmiştir.

Birinci CV ölçümünden yani taban toprak potansiyeline bağlanıp geçit elektrodu ve savak-kaynak arasından alınan yüksek frekans CV ölçümünden ($C_{OX} = C_{MAX} - C_{PARA}$) geçit oksidi hesaplanır. İkinci CV ölçümünden yani taban 40V gibi bir yüksek bir potansiyelde tutulduğunda kanal silisyum film tümüyle fakirleşeceğinden ölçülen C_{MIN} kapasitesi, geçit oksidi ve fakirleşmiş silisyum film kapasitesinin (C_{Si}) seri eşdeğeridir. Buna göre;



Şekil 3.10 SOI film kalınlığı ölçme şeması verilmiştir.

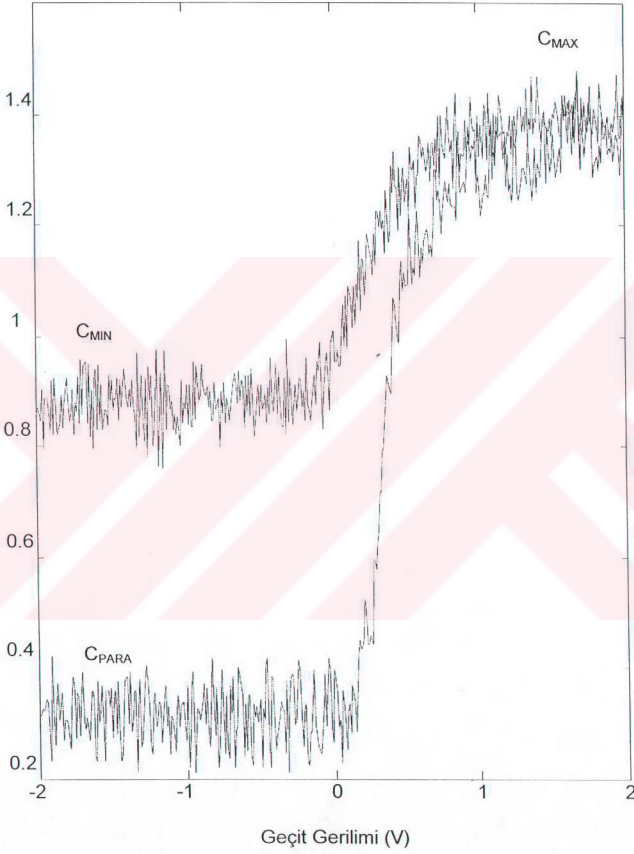
$$\frac{1}{C_{MIN} - C_{PARA}} = \frac{1}{C_{OX}} + \frac{1}{C_{Si}} \quad (3.1)$$

şeklinde yazılabilir ve buradan silisyum kalınlığı için

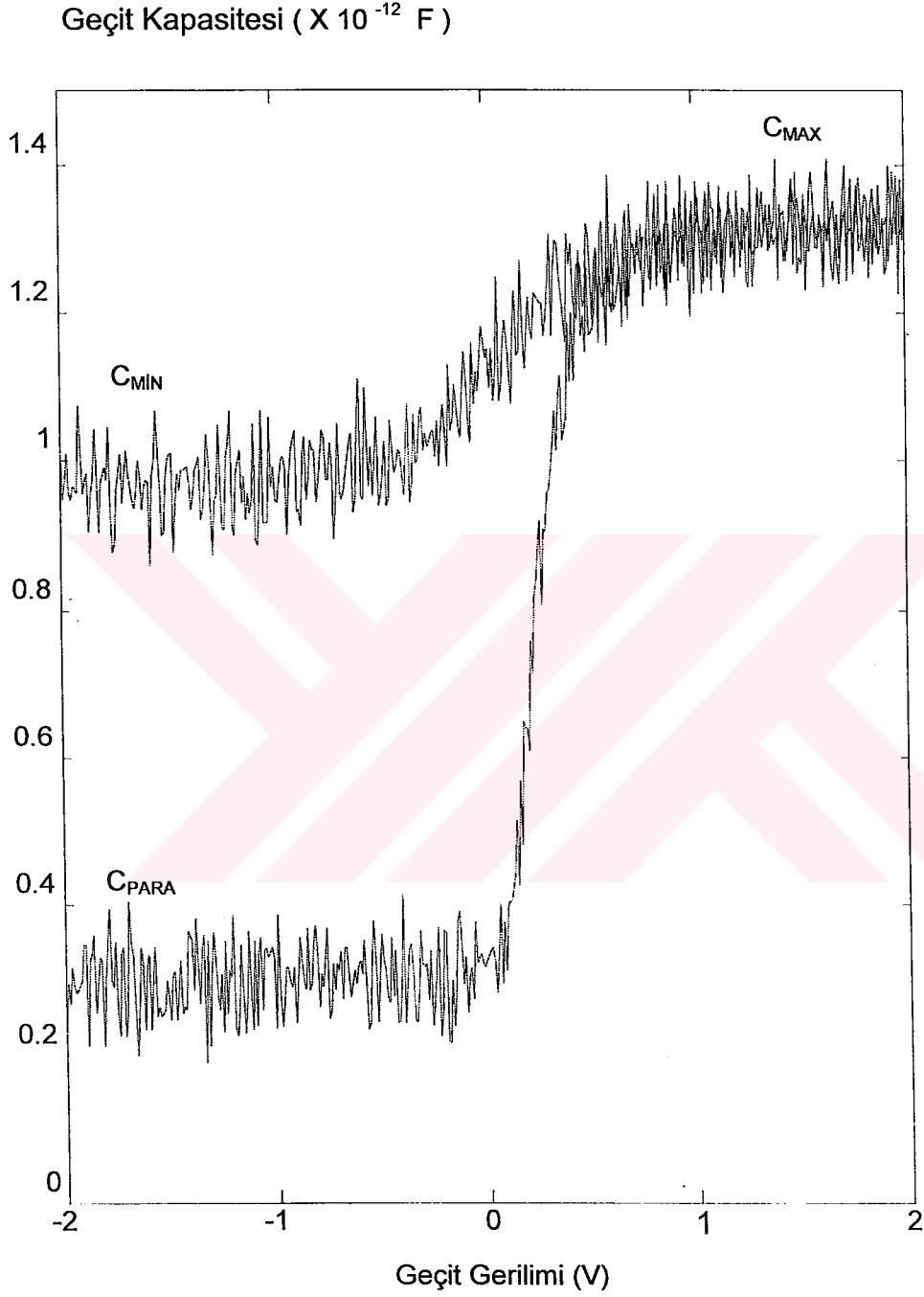
$$T_{Si} = \epsilon_{Si} WL \frac{(C_{MAX} - C_{MIN})}{(C_{MAX} - C_{PARA})(C_{MIN} - C_{PARA})} \quad (3.2)$$

Hesaplara katılmayan parazitik kapasitelerin etkilerini en azda tutmak için tranzistor olabildiğince büyük alanlı seçilmiştir (27 μ m/27 μ m). Şekil 3.11 ve 3.12’de iki farklı süreçle üretilen tranzistorların silisyum film kalınlığına ait ölçüm sonuçları verilmiştir. Yüksek frekans CV ölçmelerinde Keithley 590 CV Analyzer kullanılmıştır ve yüksek gerilim taban kutuplamasında 40V kullanılmıştır. Şekil 3.11’den edinilen kapasite değerleri ile silisyum film kalınlığı 730Å⁰, Şekil 3.12’den yapılan okumalar ise film kalınlığını 460Å⁰ olarak vermiştir. Tablo 3.21’de verilen değerlerle CV ölçümleri arasında 730Å⁰ için %3,5 hata, 460Å⁰ için ise -%5 hata mevcuttur. Bu iki ölçme yönteminden CV tekniği doğruyu verecektir. Diğer yöntemde üretici firmanın verdiği orjinal film kalınlığı her pul için geçerli olmayabilir. CV tekniğinde evirtim bölgesinin kalınlığı film kalınlığının yanında ihmal edilebilecek kadar küçük olduğu kabul edilmiştir.

Geçit Kapasitesi ($\times 10^{-12}$ F)



Şekil 3.11 730 Å Film Kalınlıklı SOI nMOS Tranzistor CV Ölçümleri



Şekil 3.12 460 Å Film Kalınlıklı SOI nMOS Tranzistor CV Ölçümleri

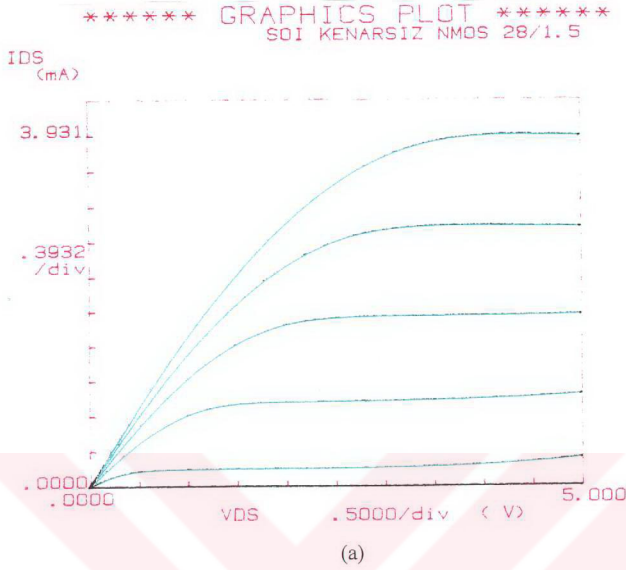
IV – TEST TMDEVRESİ L SONULARI

SOI CMOS sreci ile test tmdevresinde bulunan ($28\mu\text{m}/1.5\mu\text{m}$) boyutlarında kenarsız NMOS ve PMOS tranzistorun lmleri Şekil4.1, Şekil4.2 ve Şekil4.3'de verilmiřtir. Bu tranzistorun film kalınlıęı tasarım hedeflerine uygun olarak $730\text{\AA}^0$ olarak retilmiřtir. Uzun kanallı ($27\mu\text{m}/27\mu\text{m}$) $730\text{\AA}$ film kalınlıklı SOI NMOS ve PMOS tranzistorun pul ii ortalama eřik gerilimleri sırasıyla $0,55\text{V}$ ve $-0,55\text{V}$ olarak ve eřik altı eęimler ise sırasıyla 65mV/dec ve -65mV/dec olarak llmřtir. Bu drt parametre de tasarım hedeflerine uygun olarak retilmiřlerdir. Tm tranzistorlar 5V savak-kaynak ve geit gerilimlerinde alıřmakta ve hi birinde yzer taban etkisi gzlenmemektedir.

Tranzistor lmlerinde HP4145A Yarı İletken Parametre Analizr kullanılmıřtır. Sre karakterizasyonu iin tranzistor parametrelerine ait pul ii haritanın hazırlanmasında ve bu alıřmada bahsi geen parametrelerin her biri iin, pul iine niform daęılmıř ortalama 85 rnek kırmık kullanılmıřtır. lm alınan kırmık sayısı pul iindeki toplam kırmık sayısının yaklaşık $\%10$ 'u kadardır. lme sresinin kısaltılması iin tm kırmıklar llmemiřtir. Tranzistor boyut lmnde taramalı elektron mikroskopuna (JEOL 5800) takılı boyut ler kullanılmıřtır. Hat geniřlięi hatası, $1\mu\text{m}$ st iin $-/+ 0,1\mu\text{m}$, $1\mu\text{m}$ altı iin ise $-/+0,15\mu\text{m}$ kadardır.

SOI tabanlara blm 2.3'de verilen CMOS sreci uygulanırken, bu pullarla beraber (100) ynelimli, p tipi, $15\text{-}20\ \Omega\text{cm}$ zgl direnli standart pullar da aynı anda aynı iřlemlere girmiřlerdir. Bunun iki nedeni vardır. řimdiye kadar tm sre ii lmlerimiz (film kalınlıęı gibi) standart taban zerinden yapılmıřtı. Uyguladıęımız sreleri izleyebilmek ve herhangi bir sapma olup-olmadıęını anlamak iin standart tabanlar SOI tabanlarla beraber iřlenmiřlerdir. Yapılan tm lmler standart taban zerinden alınmıř ve SOI taban zerinden alınan lmlerle karřılařtırılmıřtır. Standart tabanda benzer srecin uygulanmasının bir dięer nedeni, aynı sreten ıkmiř SOI ve Standart NMOS tranzistorların performanlarını karřılařtırabilmekdir.

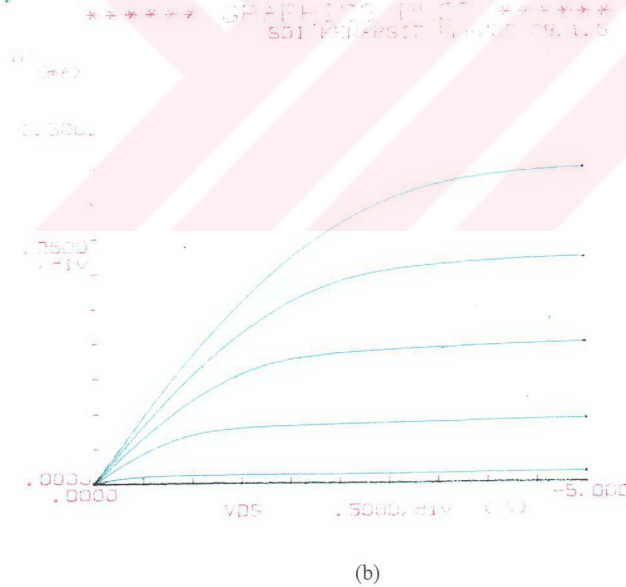
Kanal boyu $0,5\mu\text{m}$ ile $27\mu\text{m}$ arasında ve kanal geniřlięi $27\mu\text{m}$ olan $730\text{\AA}^0$ film kalınlıklı SOI tranzistorların eřik gerilimleri lmlerinin pul zerindeki haritaları Ek-3'de verilmiřtir.



Variable1:
VDS -Ch1
Linear sweep
Start .0000V
Stop 5.0000V
Step 1.000V

Variable2:
VGS -Ch2
Start .0000V
Stop 5.0000V
Step 1.000V

Constante:
VGS -Ch3 .0000V



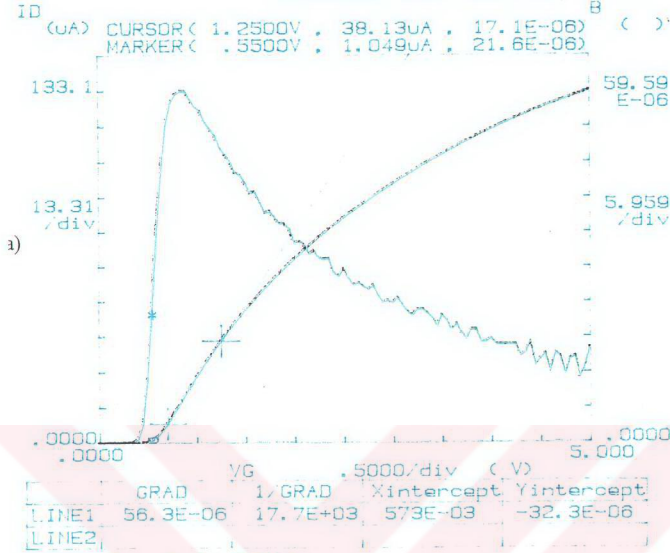
Variable1:
VDS -Ch2
Linear sweep
Start .0000V
Stop -5.0000V
Step -1.000V

Variable2:
VGS -Ch1
Start .0000V
Stop -5.0000V
Step -1.000V

Constante:
VGS -Ch3 .0000V

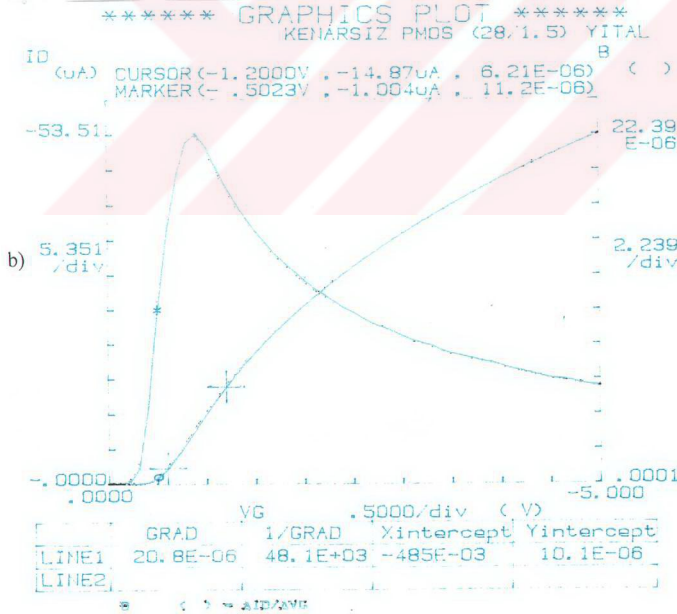
Şekil 4.1 Tümüyle fakirleşmiş, kenarsız (a) NMOS, (b) PMOS SOI Tranzistörlerin çıkış karakteristikleri (W/L)=28µm/1.5µm

***** GRAPHICS PLOT *****
KENARSIZ NMOS (28/1.5) YITAL



Variables:
VS -Ch8
Linear sweep
Start .0000V
Stop 5.0000V
Step .0500V

Constants:
VS -Ch1 .0000V
VDS -Ch2 .0500V



Variables:
VS -Ch8
Linear sweep
Start .0000V
Stop -5.0000V
Step -.1000V

Constants:
VS -Ch1 .0000V
VDS -Ch2 -.0500V

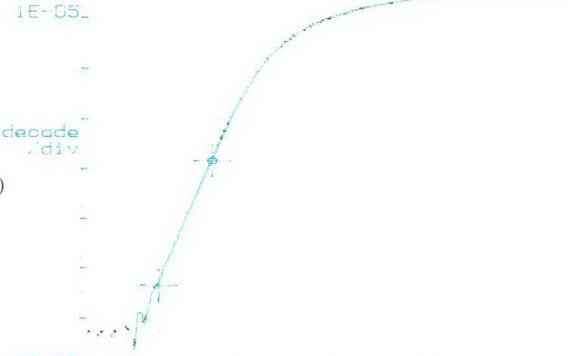
Şekil 4.2 Tümüyle fakirleşmiş , kenarsız (a) NMOS, (b) PMOS SOI Tranzistörlerin I_D - V_g ve eğim karakteristikleri (W/L)=28 μ m/1.5 μ m

***** GRAPHICS PLOT *****
KENARSIZ NMOS (28/1.5) YITAL

ID (A) CURSOR(.2400V , 44.50pA)
MARKER(.4000V , 14.74nA)

Variables:
VG -CHS
Linear sweep
Start .0000V
Stop 1.5000V
Step .0100V

Parameters:
VDS -CH1 .0000V
VGS -CH2 .0500V



a)

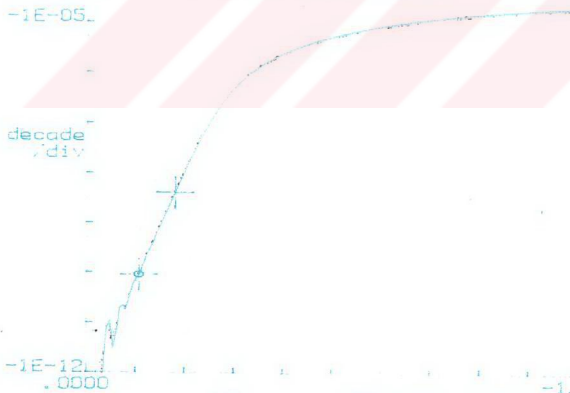
VG .1500 div (V) 1.500
GRAD 1/GRAD Xintercept Yintercept
LINE1 15.7E+00 63.5E-03 897E-03 7.39E-15
LINE2

***** GRAPHICS PLOT *****
KENARSIZ PMOS (28/1.5) YITAL

ID (A) CURSOR(-.2700V , -4.055nA)
MARKER(-.1600V , -91.00pA)

Variables:
VG -CHS
Linear sweep
Start .0000V
Stop -1.5000V
Step -.0100V

Parameters:
VDS -CH1 .0000V
VGS -CH2 .0500V



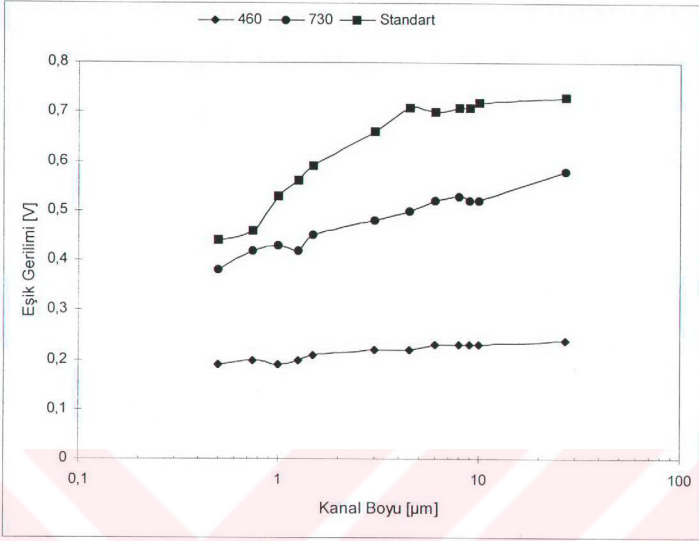
VG .500 div (V) -1.500
GRAD 1/GRAD Xintercept Yintercept
LINE1 -15.0E+00 -66.7E-03 -830E-03 -364E-15
LINE2

Şekil 4.3 Tümüyle fakirleşmiş, kenarsız (a) NMOS, (b) PMOS SOI Transizistörlerin eşikaltı karakteristikleri (W/L)=28µm/1.5µm

4.1 SOI NMOS Tranzistoru Ölçüm Sonuçları

Eşik Gerilimi : Tablo 4.1 ve Şekil4.4'de, 730 ve 460Å⁰ film kalınlıklı SOI ve standart tabanlı NMOS tranzistorlerin eşik geriliminin kanal boyu ile değişimi verilmiştir. Bu eğride verilen herbir eşik gerilimi, pul içinden dengeli bir şekilde alınmış 80 ölçümün ortalama değeridir. Kanal boyunun değişim aralığı 0,5µm ile 27µm arasındadır. Şekil4.4'den görüleceği gibi, standart tabanlı NMOS üç farklı taban içinde en yüksek eşik gerilimine sahiptir. SOI tranzistorlarının eşik gerilimleri ise incelen silisyum film kalınlığı ile küçülmektedirler. 730 ve 460 Å⁰ silisyum kalınlıklı SOI NMOS tranzistorlar için sırasıyla 0,58V ve 0,24V'dur. Sonuç olarak film kalınlığı ile eşik gerilimi küçülmektedir.

Tablo 4-1 Eşik Gerilimlerinin Kanal Boyu ile Değişimi											W=27µm	
L (µm)	27	10	9	8	6	4,5	3	1,5	1,25	1	0,75	0,5
Standart Taban												
Vth ort. (V)	0,73	0,72	0,71	0,71	0,7	0,71	0,66	0,59	0,56	0,53	0,46	0,4
Vth max.	0,79	0,8	0,79	0,79	0,79	0,79	0,76	0,76	0,8	0,73	0,73	0,71
Vth min.	0,64	0,53	0,59	0,59	0,55	0,53	0,51	0,43	0,24	0,32	0,13	0,24
Std. Sapma	0,03	0,04	0,03	0,04	0,05	0,13	0,07	0,1	0,1	0,09	0,14	0,11
Tr.Sayısı	84	84	85	83	84	85	85	85	83	82	78	81
Tsi=730Å ⁰												
Vth ort. (V)	0,58	0,52	0,52	0,53	0,52	0,5	0,48	0,45	0,42	0,43	0,42	0,38
Vth max.	0,72	0,71	0,71	0,7	0,71	0,7	0,69	0,68	0,67	0,65	0,65	0,63
Vth min.	0,31	0,31	0,3	0,32	0,31	0,3	0,29	0,21	0,22	0,18	0,2	0,11
Std. Sapma	0,09	0,09	0,11	0,12	0,12	0,13	0,13	0,13	0,17	0,13	0,14	0,15
Tr.Sayısı	84	84	85	85	84	85	85	85	85	84	85	85
Tsi=460Å ⁰												
Vth ort. (V)	0,24	0,23	0,23	0,23	0,23	0,22	0,22	0,21	0,2	0,19	0,2	0,19
Vth max.	0,39	0,38	0,38	0,38	0,38	0,37	0,36	0,35	0,36	0,35	0,35	0,35
Vth min.	0,02	0,03	0,03	0,05	0,06	0	0,06	0,04	0,04	0	0,03	0,02
Std. Sapma	0,1	0,09	0,09	0,09	0,08	0,15	0,08	0,08	0,08	0,09	0,08	0,08
Tr.Sayısı	76	77	72	72	69	70	70	70	70	69	69	69



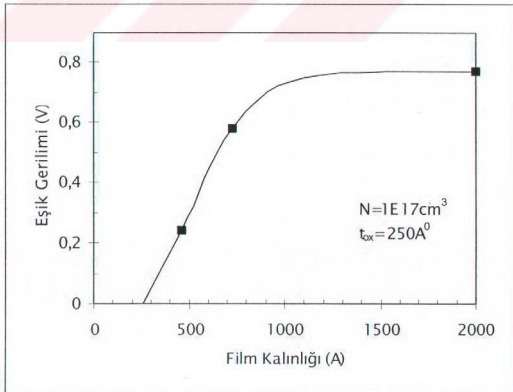
Şekil 4.4: Standart ve SOI tabanda üretilen NMOS tranzistorlerin eşik gerilimlerinin kanal boyunun 0,5μm ile 27μm aralığında değişimi.

Şekil 4.4 'den görüldüğü gibi kanal boyu ile eşik geriliminin değişimi standart tabanda SOI tabana göre daha çok olmaktadır ve film kalınlığı azaldıkça kısa kanal etkileride azalmaktadır. Standart tabanda DIBL (Drain Induced Barrier Lowering) etkisi nedeniyle kısa kanal etkisi gözlenmektedir (Stanley, 1990). Bu çalışmanın 2.1 bölümünde bahsedilen SOI yapısına özgü iki olay tranzistorun kısa kanal etkilerini bastırmaktadır. Bunlardan birincisi tümüyle yalıtılmış taban bölgesinde biriken delikler tranzistorun taban bölgesinin potansiyelini yükseltmektedir ve bu etki tüm kanal boyları için tranzistorun eşik geriliminde bir düşme yapmaktadır. SOI yapısına özgü ikinci etki ise kaynak-taban arasındaki potansiyel farkının yüksek olmamasından dolayı delikler fazla birikmeden kaynağa doğru akar ve kısa kanal tranzistorun eşik geriliminin düşmesini sınırlar (Tsuchiya vd., 1998). SOI tranzistorlarda film kalınlığının incelenmesi kaynak-taban potansiyel farkını azaltan bir etki oluşturur (Choi, Fossum 1991). Bu nedenledir ki, 460Å⁰ kalınlıklı tranzistorda 730Å⁰ kalınlıklı tranzistora göre çok daha az kısa kanal etkisi görülmektedir.

Film Kalınlığı: Raporun 2 bölümünde MINIMOS IV simülasyon programı kullanılarak film kalınlığına göre SOI NMOS tranzistorun eşik geriliminin değişimi çıkartılmıştı. Şekil2.2'den görüleceği gibi SOI tranzistorun eşik geriliminin film kalınlığına bağımlılığı, tümüyle fakirleşmenin olduğu bölgede lineer kabul edilebilir. Bu durumda eşik geriliminin (2.1) bağıntısındaki terimlerden sadece kalınlığa lineer bağlı olanı kullanarak, film kalınlığının eşik gerilimi üzerine etkisini izleyebiliriz. Şekil2.5'de verilen süreç simülasyonunu kullanarak film katkı yoğunluğunu $1E17cm^{-3}$ olarak alabiliriz. Bu durumda lineer terimin katsayısı;

$$E = q N / C_{OX} = 1,1610^5 \text{ (V/cm) olarak hesaplanabilir.}$$

Bu yaklaşık hesap, film kalınlığında $270A^0$ incelmenin, eşik geriliminde $0,31V$ kadar küçülmeye karşılık geleceğini göstermektedir. Buda $730 A^0$ ve $460 A^0$ film kalınlıklı tranzistorların eşik gerilimleri farkına çok yakın bir değerdir. Standart taban ile 730 ve $460 A^0$ film kalınlıklı SOI NMOS tranzistorun ölçümlerini kullanarak, eşik geriliminin film kalınlığı ile değişimi denel olarak çıkartılabilir. Buna göre eğri sonsuz kalın değerler için standart taban eşik gerilimine eşit olmalıdır. Film katkı yoğunluğuna ($1E17cm^{-3}$) karşılık gelen fakirleşmiş bölge genişliğinden ($\approx 1000 A^0$) sonra eşik gerilimi düşmeye başlamalıdır. 730 ve $460 A$ kalınlıklar için sırasıyla $0,58V$ ve $0,24V$ değerlerini almalıdır. Bu şartları sağlayan eğri şekil4.5' de verilmiştir. Bu eğrinin düşme eğimi ise $1,26 10^5 V/cm$ dir ve McKitterek-Caviglia'nın modelindeki lineer terimin katsayısına oldukça yakındır.



Şekil4.5 SOI NMOS tranzistoru eşik geriliminin film kalınlığına göre değişimi.

Eğim: Tablo 4.2 üç farklı tabanda üretilmiş NMOS tranzistorların maksimum eğimleri (transconductance) $27\mu\text{m}$ - $0,5\mu\text{m}$ aralığında kanal boyuna göre değişimleri verilmiştir.

Tablo 4.2 Maksimum Eğiminin Kanal Boyu ile Değişimi											W=27µm	
L(µm)	27	10	9	8	6	4,5	3	1,5	1,25	1	0,75	0,5
Standart Taban												
g _m ort. (µA/V ²)	75,4	194	222	251	330	429	631	1150	1340	1610	1940	2590
g _m (max)	84,4	201	231	263	345	452	667	1240	1500	1770	2180	2970
g _m (min)	69,4	179	206	223	294	380	564	980	1010	1350	1490	2140
Std. Sapma	2,2	5	6	8	11	14	73	50	80	80	130	180
Tr.Sayısı	83	85	74	82	81	83	81	82	83	83	79	83
T _{si} = 730A ⁰												
g _m ort. (µA/V ²)	78,3	202	232	261	345	444	662	1210	1380	1680	2060	2580
g _m (max)	83,7	216	254	291	383	506	784	1470	1720	2060	2610	3520
g _m (min)	70,4	146	208	230	307	393	580	1020	920	1390	1710	2100
Std. Sapma	3	11	10	12	16	23	41	90	130	150	200	300
Tr.Sayısı	84	84	85	85	84	85	85	85	84	84	85	85
T _{si} = 460A ⁰												
g _m ort.(µA/V ²)	84,2	210	241	273	357	461	670	1190	1370	1640	1960	2430
g _m (max)	91,0	219	254	287	375	483	702	1380	1610	1880	2270	2800
g _m (min)	70,2	173	214	244	318	412	553	800	1060	1290	1620	2020
Std. Sapma	3,5	8	9	9	13	57	30	90	100	110	140	190
Tr.Sayısı	80	73	71	68	70	72	66	73	70	75	66	69

Eğimin ölçülmesinde, tranzistorun taban ile kaynak bölgeleri toprak potansiyelinde, savak bölgesi 50mV 'da sabit tutulurken, geçit gerilimi $0 - 5\text{V}$ aralığında artarken savak akımı ölçülmüştür. Savak akımının geçit gerilimine göre türevi tranzistorun eğimini vermektedir. Tablo 4.2'de tranzistorların eğimlerinin maksimumun noktaları ve bu maksimum noktaların dağılımı verilmiştir. Şekil 4.2'de örnek bir ölçüm verilmiştir. Tranzistorun eğim ifadesi;

$$g_m = d(I_{\text{Ds}}) / d(V_g) = \frac{W\mu_n C_{ox}}{2L(1+\alpha)} (V_g - V_{th}) \quad (4.1)$$

şeklinde tanımlanmıştır (Colinge 1994). (4.1) ifadesinde bulunan α 'ın tanımları tümüyle fakirleşmiş SOI tranzistor (α_{FDSOI}) ve standart tabanlı tranzistor (α_{Si}) için sırasıyla;

$$\alpha_{\text{FDSOI}} = \frac{C_{\text{Si}} C_{\text{BOX}}}{C_{\text{ox}} (C_{\text{Si}} + C_{\text{BOX}})} \quad \text{ve} \quad \alpha_{\text{Si}} = \frac{C_{\text{Si}}}{C_{\text{ox}}} \quad (4.2)$$

şeklinde. $\alpha_{\text{FDSOI}} < \alpha_{\text{Si}}$ olduğundan tümüyle fakirleşmiş SOI tranzistorun eğimi standart tabanlı tranzistora göre daha yüksek olacaktır. Uzun kanal boyları için yukarıda verilen bağıntıya uygun olarak $460\text{\AA}$ film kalınlıklı tranzistorlar en yüksek eğime sahiptir ve beklendiği üzere en düşük eğim ise standart tabanlı olanlardır. Bu ilişki kanal boyu küçüldükçe $460\text{\AA}$ film kalınlıklı tranzistor için bozulmaktadır. SOI CMOS test tümdevresinin üretiminde standart ve SOI tabanlar aynı anda ve aynı süreç koşullarında üretilmişlerdir. Bu nedenle tranzistorların aynı kanal boyu ile enine ve aynı geçit oksidi kalınlığına sahip oldukları kabul edilmiştir. Böylelikle her üç tranzistorun eğimleri birbiri ile kıyaslanırken tranzistorların boyutlarından ve geçit oksitten kaynaklanmadığı düşünülmektedir.

SOI tranzistorlarının standart tranzistora göre bağıl eğimlerinin

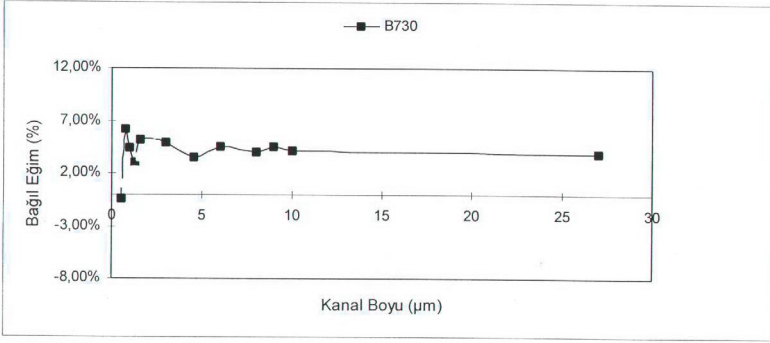
$$B_{760} = \frac{(g_{\text{m } 730} - g_{\text{m St}})}{g_{\text{m St}}} \quad \text{ve} \quad B_{460} = \frac{(g_{\text{m } 460} - g_{\text{m St}})}{g_{\text{m St}}} \quad \text{şeklinde tanımlanır.}$$

Bu bağıl eğimlerin kanal boyu ile değişimleri Tablo4.3 verilmiştir.

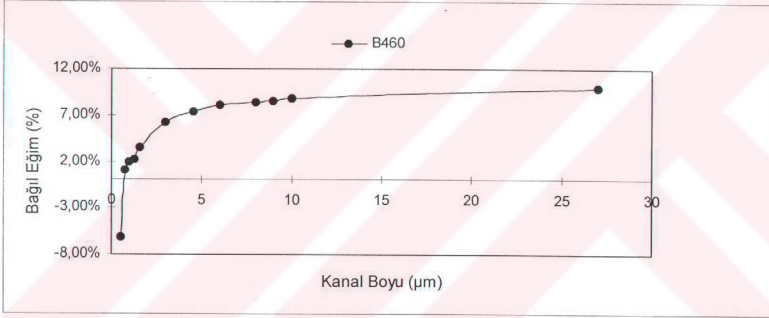
Tablo 4.3 Kanal Boyuna Göre Bağıl Eğimlerin Değişimi											W=27 μm	
L (μm)	27	10	9	8	6	4,5	3	1,5	1,25	1	0,75	0,5
B730 (%)	3,85	4,12	4,50	3,98	4,55	3,50	4,91	5,22	2,99	4,35	6,19	-0,39
B460 (%)	9,95	8,76	8,56	8,37	8,18	7,46	6,18	3,48	2,24	1,86	1,03	-6,18

Şekil 4.6 (a) ve (b)'de sırasıyla $730\text{\AA}$ ve $460\text{\AA}$ film kalınlıklı tranzistorların bağıl eğimin kanal boyu ile değişimi verilmiştir. Şekil4.6 (a) 'dan görüleceği gibi $730\text{\AA}$ kalınlıklı SOI NMOS tranzistorun eğimi standart taban NMOS tranzistoruna göre belirli bir değişim göstermemektedir. Halbuki şekil 4.6 (b)'den görüleceği gibi $460\text{\AA}$ film kalınlığına sahip tranzistorun eğiminde özellikle $4,5\mu\text{m}$ kanal boyundan sonra daha belirgin ve monoton bir

düşme gözükmemektedir. Yukarıda verilen tablodan da görüldüğü gibi $730 \text{ \AA}$ film kalınlığına sahip SOI tranzistorunun eğiminde standart tabana kıyasla belirli bir



(a)



(b)

Şekil 4.6 (a) $730 \text{ \AA}$ ve (b) $460 \text{ \AA}$ film kalınlıkları için bağıl eğimin değişimi

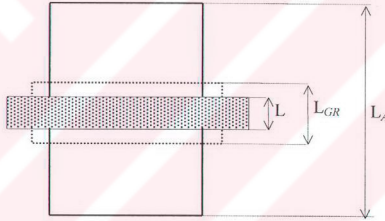
değişim olmazken, $460 \text{ \AA}$ film kalınlıklı SOI tranzistorun eğiminde $27 \mu\text{m}$ ile $0,5 \mu\text{m}$ kanal boyları arasında toplam %16'lık bir bozulma (kötüleşme) oluşmaktadır. Öyleki $460 \text{ \AA}$ filmlı SOI tranzistorun eğimi standart tabana göre $27 \mu\text{m}$ kanal boylu tranzistor de %10 daha büyük iken, $0,5 \mu\text{m}$ kanal boylu SOI tranzistorun eğimi %6 daha küçüktür.

SOI NMOS tranzistorlarda yerel oksitleme sürecinde oluşan gerilmeler nedeni ile tranzistorun eğiminde bir düşme olduğu (Huang vd., 1997) tarafından yayınlanmıştır. Oksitleme işlemi sırasında silisyum silisyumdioksit dönüşürken hacimde bir genleşme olmaktadır. Öyleki, silisyum atomu silisyumdioksit molekülüne dönüştüğünde 2,26 kez daha büyük hacim kaplamaktadır. Silisyumdioksit tabaka üzerinde duran silisyum filmlerde yapılan uzun süreli

oksitlemeler sonrasında hacimde genleşme nedeniyle yapıda çeşitli gerilmeleri oluşmakta ve yerel oksitlemenin oluşturduğu gerilmeler nedeniyle SOI NMOS tranzistorların eğimlerinde %40'lara varan düşmeler olmaktadır. Tranzistorun aktif alan bölgesi $10\mu\text{m}$ 'dan daha geniş ise gerilmenin eğim üzerine etkisi ihmal edilebilir mertebelerde olduğu Huang'ın makalesinde bahsedilmiştir. Üretilen test tranzistorların aktif alanları Tablo 4.4'de ve Şekil 4.4'de verilmiştir. Buradan da görüleceği gibi en küçük aktif alan genişliği $12,5\mu\text{m}$ 'dur ve $1,5\mu\text{m}$ ile $0,5\mu\text{m}$ arası tüm tranzistorlar aynı aktif alan genişliğine sahip oldukları halde bu tranzistorlarda uzundan kısaya doğru eğimde artan bir bozulma vardır. Dolayısı ile $430\text{\AA}$ kalınlıklı SOI NMOS tranzistorun eğimindeki bozulma yerel oksitten dolayı oluşmamaktadır.

Tablo 4.4 Kanal Boyu İle Aktif Alan Genişliğinin Değişimi

L_A (μm)	38	21,5	20	19	17	15,5	14	12,5	12,5	12,5	12,5	12,5
L_{GR} (μm)	28,5	12	10,5	9,5	7,5	6	4,5	3	2,75	2,50	2,25	2
L (μm)	27	10,5	9	8	6	4,5	3	1,5	1,25	1	0,75	0,5



Şekil 4.7 Aktif alan genişliği (L_A), kanal oyuk genişliği (L_{GR}), kanal boyu (L) tanımları

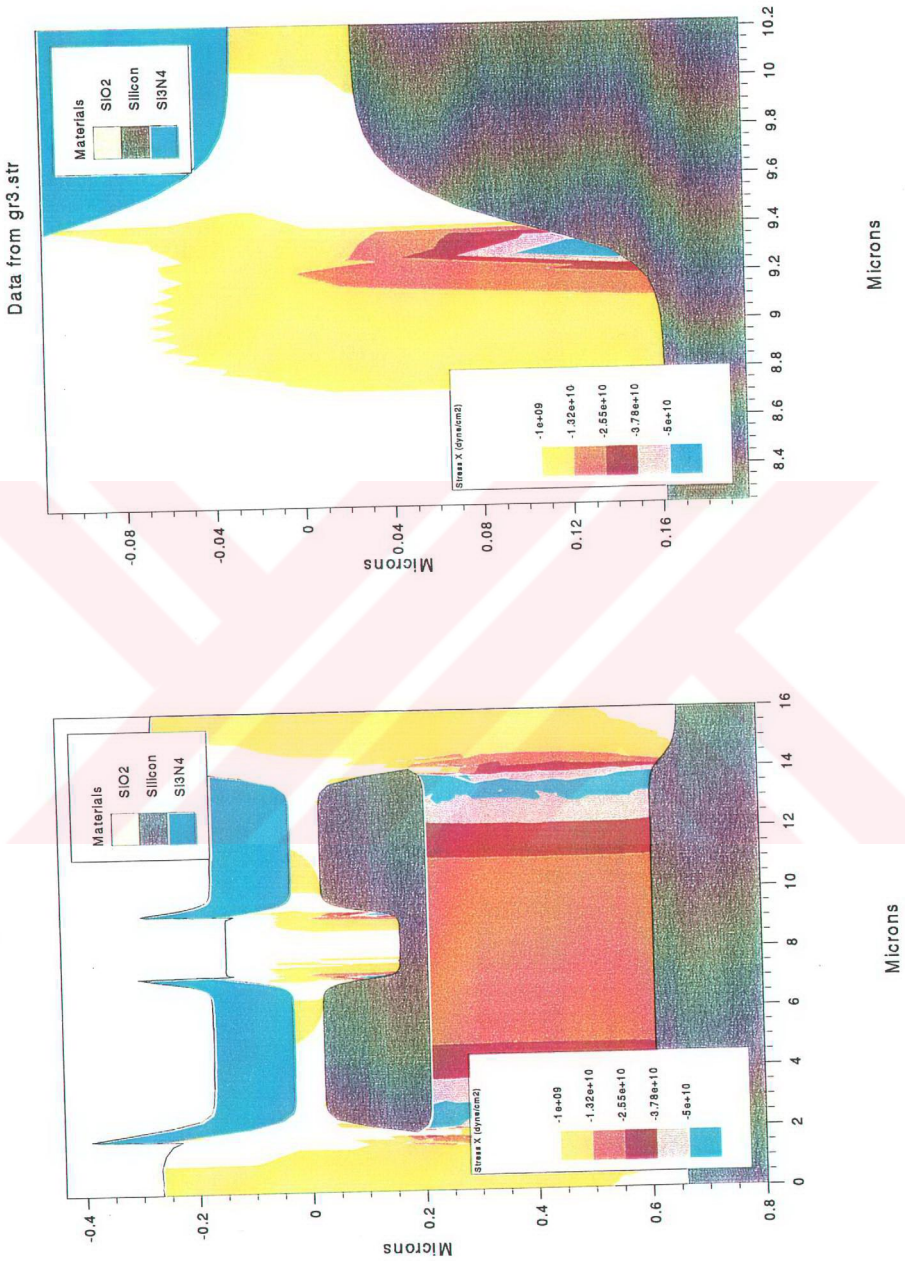
Choi 'ün 1995 yılında yayınladığı çalışmasında, film kalınlığının elektron hareketliliği (mobility) üzerine bir etkisini olmadığını gözlemlemiştir. $100\text{\AA}$ 'den daha kalın filmler için elektron hareketliliğinde bozulma görmezken, $100\text{\AA}$ ve altındaki kalınlıklarda elektron hareketliliğinin hızla bozulduğu görülmüştür (Choi vd., 1995). Choi 'ın yayınladığı çalışmada da, oyuk kanallı yapı kullanılmıştır ve test edilen tranzistorların kanal boyu ve genişliği $50\mu\text{m}$ 'dur. Bizim ölçmelerimizde de $430\text{\AA}$ kalınlıklı oyuk kanallı ($27\mu\text{m}/27\mu\text{m}$) tranzistorun eğiminde için bir bozulma gözlenmemektedir. Kanal boyu küçüldükçe özellikle $6\mu\text{m}$ 'dan sonra dikkate değer bir bozulma ortaya çıkmaktadır. Sonuç olarak Choi' un gözlemlerine bu anlamda çelişen bir durum yoktur. Yani büyük kanal boyuna sahip tranzistorun eğiminde incelen film kalınlığından dolayı bir bozulma olmamaktadır. Fakat

oyuk kanallı SOI tranzistorlarında kanal boyu ve oyuk genişliği küçüldükçe eğimde bir bozulma oluşmaktadır.

460Å⁰ kalınlıklı tümüyle fakirleşmiş SOI tranzistor için kanal inceltme süreci sonrasında silisyumdioksit film içinde oluşan gerilmeler, viskos elastik akış modeli bulunan (viscous elastic flow) ATHENA-SSUPREM4 iki boyutlu benzetim programı ile hesaplanmıştır ve sonuçlar Şekil4.8'de özetlenmiştir. Simülasyon kanal inceltme amaçlı oksitleme (Adım:A14) işlemi sonrasında silisyumdioksit film içindeki gerilmeleri vermektedir. Bu çıktılarından da görüldüğü gibi gerilmeler kanal bölgesinde açılan oyuğun alt köşelerinde en yüksek değerlerine ulaşmakta olup üniform olmayan bir gerilim dağılımı bulunmaktadır ve üst değeri 5E10 dyne/cm² kadardır.

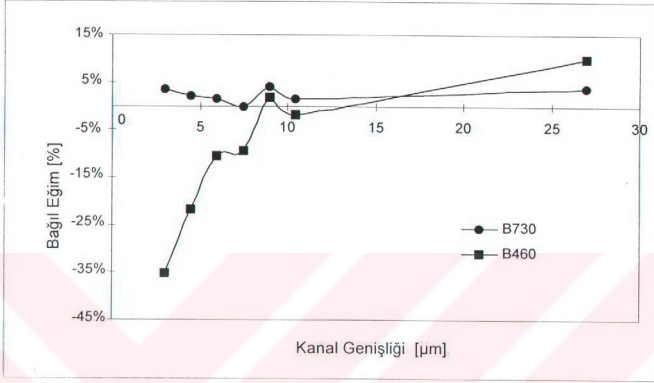
Eğimdeki bozulmanın nedeni, silisyum filmin oksitlenmesi aşamasında 510¹⁰ dyne/cm² mertebesinde oluşan ve üniform dağılmayan gerilmelere bağlı olarak elektron hareketliliğinin değerinin düşmesinden kaynaklanmaktadır. Gerilmeler, kanal inceltme aşamasında kanal bölgesi üzerinde büyütülen oksit nedeniyle oluşmaktadır (Adım A14). Kanal bölgesinde büyütülen oksit hacimde bir genleşme yaptığından dolayı temasta olduğu silisyum filme bir itme uygulamaktadır. Bu itme en yüksek değerini açılan oyuğun alt köşelerinde almakta ve kanal uzunluğu küçüldükçe alt köşeler birbirine daha çok yaklaşmakta ve gerilim etkisinde bulunan kanal bölgesi artmaktadır. Gerilim altındaki filmlerde hareketliliğin düşmesine ilave olarak, gerilim etkisinde bulunan yapıların yüksek sıcaklık işlemleri boyunca kristal yapılarında bozulmalar da olması söz konusudur. Oksitleme süreci sonrasında hatalı yerleşim (dislocation) gibi kristal hataları oluşmaktadır. (Tamaki vd., 1988) (Hu. 1991). Bu hataların hareketlilik üzerinde negatif etkisi bulunmaktadır. Sonuç olarak eğimde karşılaştığımız bozulma, filmdeki gerilmeler nedeniyle olabileceği gibi, bu gerilmelerin silisyum filmin kristal yapısının bozmasından da kaynaklanabilir.

Bir diğer yapılabilecek tranzistor gruplaması ise kanal boyu 27µm'da sabit tutularak, kanal genişliği 27µm dan 3µm inerken eğimin değişimini incelemektir. Bu gruplamaya göre eğimler Tablo4.5 de verilmiştir. Tablodaki eğimleri kullanarak 730Å⁰ ve 460Å⁰ film kalınlıklı SOI tranzistorların standart tabana göre bağlı eğimleri Şekil4.9'de verilmiştir.



Şekil 4.8 SOI Tranzistörü Kanal İnceltme Sürecinde Oluşan Gerilmelerin SUPREM4 Programı Simülasyon Çıktısı.

Tablo 4.5 Eğimin Kanal Geniřlięi ile Deęiřimi							L=27 μ m
W(μ m)	27	10,5	9	7,5	6	4,5	3
Str. Taban (μ A/V ²)	75,4	28	22,7	19	14,1	9,7	5,7
Beta 730 (μ A/V ²)	78,3	28,4	23,6	19	14,3	9,9	5,9
Beta 460 (μ A/V ²)	82,9	27,5	23,1	17,2	12,6	7,6	3,7

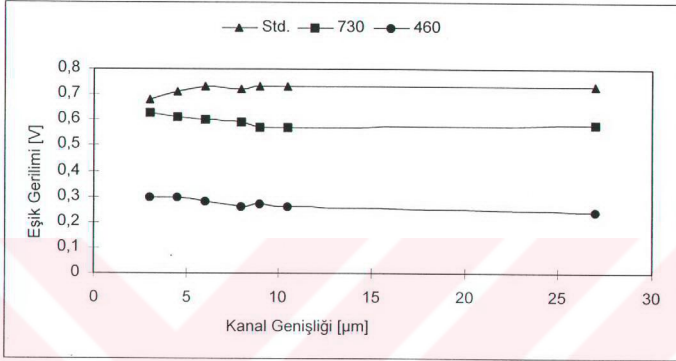


Şekil4.9 Sabit kanal boyunda (27 μ m), kanal genişliğine göre baęlı eğimin deęiřimi.

Bu grupta kullanılan tranzistorların kanal boyları 27 μ m olduęundan kanal inceltme işleminden dolayı oluřan gerilmeler ihmal edilebilir mertebelere sahiptir. Yerel oksitleme işleminde 6000A⁰ oksit büyütölmektedir ve Şekil4.8 de gösterildięi gibi yerel oksitleme ile oluřan gerilimlerde daha yüksek genlikli ve daha geniş alanda etkilidir. Şekil4.9 'de 460A⁰ kalınlıklı 3 μ m kanal genişlikli tranzistorun baęlı eğiminde standart tranzistora göre %35'ler mertebesinde bozulma gözökmektedir. Yerel oksitleme işlemiyle oluřan gerilimler nedeniyle eğim daha fazla bozulmaktadır. Aktif alan kenarlarında geçit oksidinin kalınlařması ve p⁺ alan katkısının (Channel-Stop) kanal iine uzaması nedeniyle tranzistorlarda dar kanal etkileride oluřmaktadır. Tablo 4.6'da kanal genişlięinin daralmasının eşik gerilimi üzerine etkisi gösterilmiřtir.

Tablo 4.6 Eřik Geriliminin Kanal Geniřlięi ile Deęiřimi							L=27 μ m
W (μ m)	27	10,5	9	8	6	4,5	3
Std. V _{th} ort.	0,73	0,73	0,73	0,72	0,73	0,71	0,68
730A ⁰ V _{th} ort	0,58	0,57	0,57	0,59	0,6	0,61	0,63
460A ⁰ V _{th} ort	0,24	0,26	0,27	0,26	0,28	0,3	0,3

Genel olarak geçit oksidin kalınlığının artması ve kanal katkı yoğunluğunun yükselmesi nedeniyle kanal hareketliliğinin düşmesi nedenlerinden tranzistörün eğimi kanal daralması ile düşme eğilimi gösterir. Şekil4.10'da tablo4.6 da verilen kanal daralmasının eşik gerilimi üzerine etkileri gösterilmiştir. Şekilden görüldüğü gibi dar kanal etkileri çok baskın değildir ve SOI tranzistörlerinde dar kanal etkileri 6µm'dan önce gözükmemektedir.



Şekil4.10 Standart ve SOI NMOS tranzistörlerinin eşik geriliminin kanal genişliği ile değişimi.

Bağıl eğimin tanımında referans olarak standart tranzistörün eğimi alındığından eğimdeki bozulma standart tabana göre düşünülmektedir. Şimdiye kadar ölçmelerden 730Å⁰ film kalınlıklı SOI tranzistörün eğiminde standart tabana göre belirgin bir bozulmanın olmadığını ve fakat 460Å⁰ kalınlığındaki SOI tranzistörün kanal inceltme ve yerel oksitleme işlemlerinden standart tabana göre etkilendiğini gözlemlemiştik. W/L=1 şartını sağlayan ve kanal boyu 27µm, 9µm ve 3µm olan tranzistörlerin eğimleri Tablo4.7 'de verilmiştir.

Tablo 4.7 W/L=1 Şartını Sağlayan Tranzistörlerin Eğimleri					W/L= 1
L (µm)	27 µm	9µm		3µm	
	g_m	g_m	Sapma	g_m	Sapma
Standart ($\mu A/V^2$)	75,4	66,6	%12	46,6	%38
730Å ⁰ ($\mu A/V^2$)	78,3	68,5	%12	34,0	%56
460Å ⁰ ($\mu A/V^2$)	82,9	68,9	%20	30,1	%64

Tablo4.7 de verilen sapma, 27µm kanal uzunluğundaki kendi tür tranzistörüne göre bağlı değişimini göstermektedir. Tablodan görüleceği gibi tüm tranzistörlerin eğimleri, küçülen tranzistör boyutları ile beraber küçülmektedir. Eğimin tanımına göre sabit W/L oranında

eğimin değişmemesi gerekirdi. Şekil4.10'da $3\mu\text{m}$ için dar kanal etkileri kısmen gözüktüğüne bile $9\mu\text{m}$ kanal genişliğine sahip tranzistorun eğimindeki düşmenin baskın bileşeninin oksitleme nedeniyle oluşan gerilmelerden kaynaklandığı düşünülebilir.

Şimdiye kadar ölçülen tranzistorlar üç ayrı grupta toplanmıştır;

Birinci grupta tranzistorlar sabit kanal genişliğinde ($27\mu\text{m}$) ve küçülen kanal boylarında incelenmiştir. Bu tür tranzistorlarda kanal boyları $10\mu\text{m}$ 'dan daha büyük olduklarından, $460\text{\AA}$ film kalınlıklı SOI tranzistorun standart tranzistora göre eğimindeki düşme sadece kanal inceltme (adım:A14) işlemi sırasında oluşan gerilmelerden kaynaklanmaktadır. $730\text{\AA}$ kalınlıklı SOI tranzistorun eğiminde standart tabana göre belirgin bir düşme gözlenmemiştir. İkinci grup tranzistorlar sabit kanal boyunda ($27\mu\text{m}$) ve daralan kanal genişliğine sahiptirler. Bu tranzistorların kanal boyları çok uzun olduğundan kanal inceltme adımından etkilenmemektedir. Tranzistorların genişlikleri $27\mu\text{m}$ ile $3\mu\text{m}$ arasında değiştiğinden $460\text{\AA}$ kalınlıklı SOI tranzistorun standart tabana göre eğimindeki düşme yerel oksitleme aşamasında oluşan gerilmelerden kaynaklanmaktadır. $730\text{\AA}$ kalınlıklı SOI tranzistorun eğiminde bu grupta içinde standart tabana göre belirgin bir düşme gözlenmemiştir. Üçüncü tür grupta ise $W/L=1$ oranını sağlayan tranzistorlar arasında yapılmıştır. Bu tür grupta üç tür tranzistorun süreç içi gerilmelerden etkilendiği sonucu çıkarılmıştır ve SOI tranzistorun kanal bölgesini oluşturan film incelendiğinde bu gerilmelerin etkisi artmaktadır.

Sonuç olarak; silisyum filmdeki gerilmeler nedeniyle taşıyıcı hareketliliği düşmektedir ve eğimin azalmasına neden olmaktadır. Bu etkinin $460\text{\AA}$ film kalınlığında daha baskın gözükmemesinin nedeni, kanal inceltme oksit kalınlığının daha kalın ve silisyum filmin de daha ince olmasından kaynaklanmaktadır. SOI tabanlarda oluşacak en büyük gerilim nedenlerinden biri yalıtım amaçlı yerel oksitleme işlemidir. Özellikle aşırı oksitleme sonucu silisyum pulun gömük oksit altında kalan taban bölgesinin oksitlenmesi SOI yapıdaki gerilmeleri aşırı şekilde arttırmıştır. Tüm bunlara göre; silisyum filmde bükülmeyi ve buna bağlı olarak kristal hasarı oluşumunu arttıran üç neden vardır;

- 1- Silisyumdoksit filmin kalınlığı; kalınlaşan oksit daha fazla hacimde genleşme yapacak ve gerilmeyi arttıracaktır.
- 2- Silisyum filmin kalınlığı; belli bir gerilme değeri için incelen silisyum filmdeki bükülme artacaktır.
- 3- Kanal Boyu; Hacimdeki genleşmenin sınırlandığı bölgelerde gerilme artacaktır ve gerilmeler kanal bölgesi çukurunun alt köşesinde yoğunlaşacaklardır ve kanal boyu

küçüldükçe, gerilmenin yoğun olduğu köşeler birbirine yaklaşıp ve kanal bölgesinin tamamına yakın bölgesi gerilimden etkilenecektir.

Küçülen kanal boyu ve enine göre eğimin değişimi incelenirken, eğim noktası olarak; savak akımının geçit gerilimine göre türevi alınarak türetilen eğrinin maksimum noktası alınmıştır. Eğim eğrisinin maksimum noktası ile $(V_{GS}-V_{th})=1V$ ve $V_{DS}=50mV$ şartları altında ölçülen eğimlerin birbirine çok yakın olduğu gözlenmiştir.

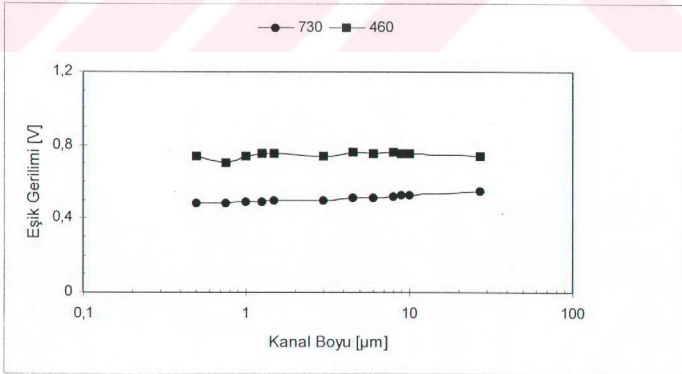
Eşik Altı Eğimi: Şekil.4.3 a ve b de sırasıyla SOI NMOS ve PMOS tranzistorlarının eşik altı eğimleri verilmiştir. Bu ölçümlerden de görüleceği gibi NMOS tranzistorun eşik altı eğimi $63.5mV/dec$, PMOS tranzistorunun ise $-66.7mV/dec$ dir. Bu değerler üretim öncesi $700A^0$ kanal kalınlığına sahip SOI tranzistor simülasyon sonuçları ile uyumludur. Kolaylıkla varılacak sonuç; her iki tranzistor tipinin de tümüyle fakirleşmiş SOI yapısında olduğudur.

Ölçülen eşikaltı değerlerin $59.6 mV/dec$ 'dan daha büyük çıkma nedeni; tranzistorların geçit oksit ve gömük oksit arayüzeylerindeki tuzaklardan kaynaklanmaktadır. $460A^0$ ve $730A^0$ film kalınlıklı SOI tranzistorların eşik altı ölçümleri arasında belirgin bir fark gözlenmemiştir.

4.2 SOI PMOS Tranzistor Ölçümleri

Tablo 4.8'de $730\text{\AA}$ ve $460\text{\AA}$ film kalınlıklı tümüyle fakirleşmiş PMOS tranzistorun eşik gerilimi ölçümleri ve şekil4.11 'de eşik gerilimlerinin kanal boyu ile değişimi verilmiştir.

Tablo 4-8 SOI PMOS Tr. Eşik Gerilimlerinin Kanal Boyu ile Değişimi $W=27\mu\text{m}$												
L (μm)	27	10	9	8	6	4,5	3	1,5	1,25	1	0,75	0,5
$T_{\text{Si}}=730\text{\AA}^0$												
V _{th} ort. (V)	0,55	0,53	0,53	0,52	0,51	0,51	0,50	0,50	0,49	0,49	0,48	0,48
V _{th} max.	0,49	0,49	0,49	0,50	0,49	0,48	0,47	0,47	0,41	0,46	0,39	0,44
V _{th} min.	0,65	0,60	0,63	0,58	0,58	0,58	0,56	0,67	0,63	0,60	0,61	0,57
Std. Sapma	0,03	0,02	0,02	0,02	0,04	0,02	0,04	0,05	0,06	0,04	0,03	0,03
Tr.Sayısı	84	85	85	85	85	84	84	82	83	82	84	80
$T_{\text{Si}}=460\text{\AA}^0$												
V _{th} ort. (V)	0,74	0,75	0,75	0,76	0,75	0,76	0,74	0,75	0,75	0,74	0,70	0,74
V _{th} max.	0,68	0,68	0,68	0,68	0,68	0,69	0,68	0,67	0,67	0,67	0,61	0,61
V _{th} min.	1,00	1,00	1,02	1,12	0,94	1,00	0,91	1,14	1,06	0,84	0,90	1,19
Std. Sapma	0,08	0,06	0,06	0,08	0,05	0,06	0,07	0,09	0,07	0,05	0,10	0,11
Tr.Sayısı	81	81	78	78	69	80	80	82	82	80	78	84



Şekil4.11 SOI PMOS Tranzistorun Eşik Geriliminin $0,5\mu\text{m}$ - $27\mu\text{m}$ aralında kanal boyu ile değişimi.

Şekil4.11'den görüleceği gibi $730\text{\AA}^0$ ve $430\text{\AA}^0$ kalınlıklarının her ikisi için de kısa kanal etkisi gözlenmemektedir ve uzun kanallı ($27\mu\text{m}/27\mu\text{m}$) tranzistorların eşik gerilimleri için sırasıyla $-0,55\text{V}$ ve $-0,74\text{V}$ olarak ölçülmüştür.

Eğim: SOI PMOS tranzistorlarda eğimin kanal boyuna göre değişimi tablo 4.9'da verilmiştir.

Tablo 4.9 SOI PMOS Tr. Eğiminin Kanal Boyu ile Değişimi												W=27 μm
L(μm)	27	10	9	8	6	4,5	3	1,5	1,25	1	0,75	0,5
$T_{\text{si}} = 730\text{\AA}^0$												
g_m ort. ($\mu\text{A}/\text{V}^2$)	32,6		93,2		132	177	239	430	470	578	646	841
g_m max	33,7		97,8		142	192	256	494	552	687	805	1060
g_m min	28,8		85,9		111	147	209	252	326	306	515	549
Std. Sapma	1		2,8		5	8	12	48	39	79	61	91
Tr.Sayı	83		85		85	84	84	84	84	83	85	82
$T_{\text{si}} = 460\text{\AA}^0$												
g_m ort ($\mu\text{A}/\text{V}^2$)	29,4	68,4		86,2	116	141	207	337		444	522	605
g_m max	31,1	74,0		116	125	154	225	380		509	615	719
g_m min	24,6	48,7		57,7	93	113	146	254		348	286	382
Std. Sapma	13	41		63	7	8	17	34		39	84	100
Tr.Sayı	82	81		79	80	79	82	80		77	79	84

$460\text{\AA}^0$ film kalınlıklı SOI PMOS eğimini $730\text{\AA}^0$ kalınlıklı olanla karşılaştırdığımız zaman NMOS tranzistorunun eğilimine benzer sonuç çıkmaktadır. Fakat uzun kanal boylarında film kalınlığının incelenmesi ile eğimin artmasını NMOS tranzistorunda gözlemlediğimiz halde PMOS tranzistorda bu durum gözlenmemiştir. $27\mu\text{m}/27\mu\text{m}$ kanal geometrisinde $460\text{\AA}^0$ kalınlıklı tranzistor $760\text{\AA}^0$ kalınlıklı tranzistora göre %10 daha küçük bir eğimi varken, bu oran $0,75\mu\text{m}$ kanal boyu için %20 'lere çıkmıştır. Yani kanal boyu küçüldükçe $460\text{\AA}^0$ SOI PMOS tranzistorun eğiminde bozulma artmaktadır. Gerilme altında elektron hareketliliği düşerken, delik hareketliliğinin yükseldiği de Huang (1997) tarafından belirtilmektedir. Bu çalışma çerçevesinde ise her iki hareketliliğin de düştüğü gözlemlenmiştir. Bu duruma kanal bölgesinde, gerilmeler sonucu oluşan kristal hasarlarının neden olduğu düşünülmektedir.

4.3 Ring Osilatörü Ölçümleri

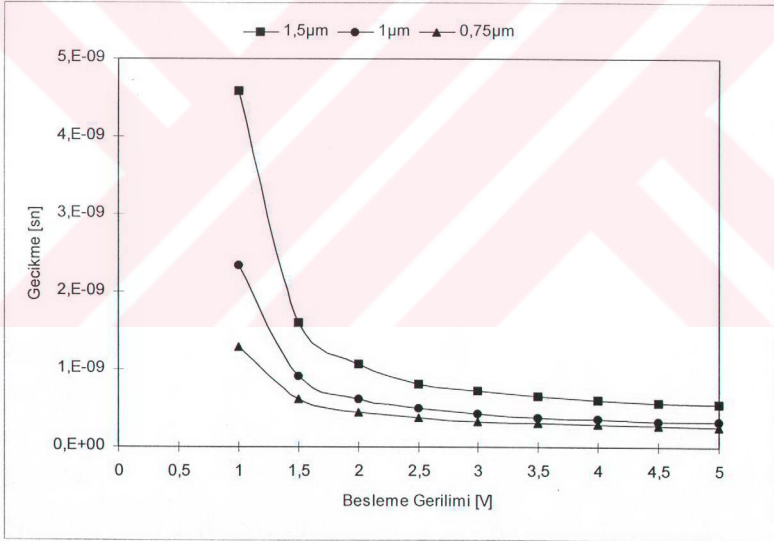
Test kırımığında bulunan 99 evirici kattan oluşturulan ring osilatörünün besleme gerilimine ve kanal boyuna bağlı osilasyon frekansı ölçümleri şekil 4.12’de verilmiştir. Ring osilatöründe kullanılan evirici boyutları aşağıda verilmiştir.

NMOS ve PMOS tranzistor sırasıyla kanal genişliği: 14,5 μ m ve 36 μ m

Tranzistor kanal boyları: 0,75 μ m, 1 μ m ve 1,75 μ m dur.

Tablo 4.10 Osilasyon Frekansının Besleme ve Kanal Boyuna Göre Değişimi

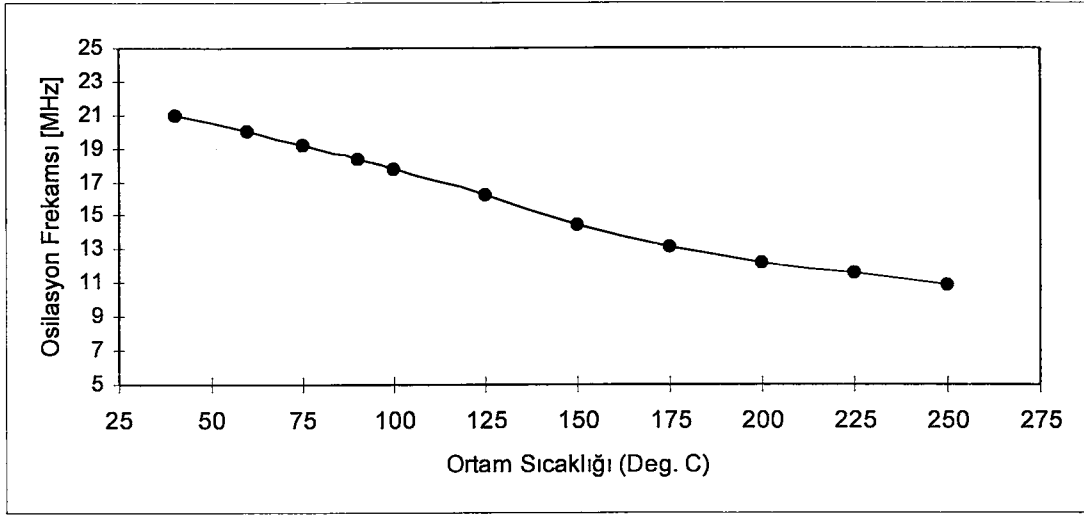
V _{DD} (V)	5	4,5	4	3,5	3	2,5	2	1,5	1
f (MHz) L= 1.5 μ m	18,4	17,8	16,8	15,5	13,9	12,4	9,5	6,3	2,2
f (MHz) L= 1 μ m	31,6	30,07	28,2	26,21	23,6	20,3	16,31	11,15	4,3
f (MHz) L=0.75 μ m	38,47	37,03	35,28	33,06	30,52	27,12	22,4	16,2	7,8



Şekil 4.12 Ring osilatörün besleme gerilimine göre evirici gecikmenin değişimi.

Kanal boyu 1.5 μ m olan ring osilatörünün çalışma frekansının ortam sıcaklığına bağlı olarak değişimi şekil 4.13’de verilmiştir.

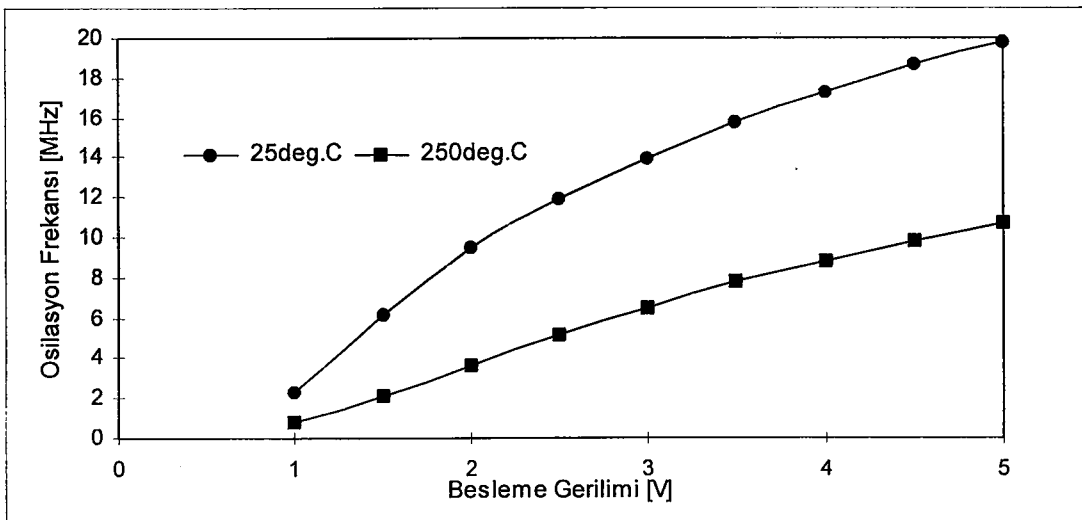
Tablo 4.11 Osilasyon Frekansının Ortam Sıcaklığı ile Değişimi											L= 1.5µm
Ortam °C	40	60	75	90	100	125	150	175	200	225	250
f(MHz)	21	20	19,2	18,4	17,8	16,3	14,5	13,2	12,2	11,6	10,9



Şekil 4.13 Ortam sıcaklığına bağlı olarak ring osilatörü çalışma frekansının değişimi.

Aşağıda 250 $^{\circ}$ C ve 25 $^{\circ}$ C ortam sıcaklığında, ring osilatörünün osilasyon frekansının besleme gerilimine bağlı değişimi verilmiştir.

Tablo 4.12 Besleme Gerilimi ve Ortam Sıcaklığı ile Osc. Frekansının Değişimi									
Besleme (V)	5	4,5	4	3,5	3	2,5	2	1,5	1
f(MHz)25 $^{\circ}$ C	19,84	18,7	17,3	15,8	13,9	11,9	9,5	6,2	2,3
f(MHz)250 $^{\circ}$ C	10,7	9,8	8,8	7,75	6,42	5,11	3,68	2,1	0,85



Şekil 4.14 Ring osilatörünün frekansının 25 ve 250 $^{\circ}$ C'ta besleme gerilimi ile değişimi

IV- SONUÇLAR

TÜBİTAK Ulusal Elektronik ve Kriptoloji Araştırma Enstitüsü'ünde bulunan Yarıiletken Teknolojisi Araştırma Laboratuvar'ında yürütülen projeler ile $3\mu\text{m}$ ve $1.5\mu\text{m}$ çift metal CMOS teknolojileri geliştirilmiştir. Bu süreçler tümdevre üretimine uygulanmaktadır. Silisyum tabana ciddi bir alternatif sunan SOI taban kullanarak CMOS tümdevre üretim süreci geliştirmek bu çalışmanın amacını oluşturmaktadır.

SOI CMOS süreci, 5V besleme gerilimine uygun, tranzistorlarda yüzer taban etkisi olmayan, eşik gerilimleri simetrik ve $\pm 0,6\text{V}$, eşikaltı eğimleri ise 70mV/dec 'dan küçük olacak şekilde tasarlanmıştır. Bu hedeflere göre tranzistorun kanal bölgesi silisyum kalınlığının 700Å , kanal katkısının $1 \cdot 10^{17}\text{cm}^{-3}$ ve geçit oksidinin 250Å olmasına yapılan simülasyon ve çalışmalarla karar verilmiştir. Tasarlanan süreç, test tümdevresi üretimine uygulanmıştır. Üretim sürecinde 730Å , 460Å silisyum film kalınlıklı SOI tranzistorlara ilave olarak aynı süreçle eş zamanlı olarak standart taban NMOS tranzistorları da üretilmiştir. Böylelikle SOI ve standart taban NMOS tranzistor yapıları karşılaştırılmıştır. SOI NMOS tranzistorlarda kısa kanal etkileri standart tabana göre daha az olduğu gözlenmiştir. SOI tranzistorlarında film kalınlığının incelenmesi kısa kanal etkilerinin de önemli ölçüde azaltmaktadır. 730Å film kalınlığına sahip NMOS ve PMOS SOI tranzistorunun ölçülen eşik gerilimi, eşik altı eğimi ve bu tranzistorlar kullanılarak gerçekleştirilen ring osilatörleri üzerinde yapılan ölçümler sonunda tasarım hedeflerinin sağlandığı gözlemlenmiştir. Baştan üzerinde sıkça durulan SOI tranzistorların eşikaltı eğimleri 730Å ve 460Å silisyum film kalınlıklı NMOS ve PMOS tranzistorları için hedef değerleri olan 65mV/dec civarında elde edilmiştir. Bu parametre film kalınlığının bir fonksiyonudur. Film kalınlığı tümüyle fakirleşmiş kanal özelliğinden uzaklaşmadıkça eşik altı eğimi hedef değerler civarında gerçekleşmiştir.

Yapılan akım-gerilim ölçümleri, kanal bölgesi silisyum film kalınlığının SOI tranzistorların eşik gerilimi üzerinde birinci dereceden etkisi olduğunu göstermiştir. Bu nedenle silisyum film kalınlığı üniformitesi SOI CMOS süreç geliştirilmesinde üzerinde önemle durulması gereken bir yapısal parametredir. Yerel oksitleme işlemi ile SOI tranzistorların kanal bölgesindeki silisyum film inceltirilmiştir. Yerel oksitleme işleminin oksit büyütme sürecindeki pullar arası ve silisyum pul içi üniformitesi $\%3 - \%4$ civarındadır. Bu değişkenliğe ilave olarak SOI filmlerin üretim aşamasından kaynaklanan üniformsuzluklar da bulunmaktadır. SOI sürecinin tasarımında her iki üniformsuzluk dikkate alınmalı ve etkileri en azda tutulacak şekilde önemler getirilmedi.

SOI NMOS tranzistorunun eğiminin incelen film kalınlığı ile artması beklenen bir özelliktir. $460\text{\AA}$ film kalınlıklı ve $27\mu\text{m}/27\mu\text{m}$ geometriye sahip SOI NMOS tranzistoru eğimi aynı süreçle üretilmiş $730\text{\AA}$ film kalınlıklı SOI NMOS ve standart taban NMOS tranzistorlarının eğiminden sırasıyla %7 ve %10 daha büyüktür. Yapılan ölçümler ile kanal boyu kısaldıkça bu özelliğin bozulduğu görülmüştür. Eğimdeki bu bozulmaya, kanal bölgesinde büyütülen silisyumdioksit filmlerin oluşturduğu gerilmeler neden olmaktadır. Gerilme altındaki kanal bölgesinde taşıyıcı hareketliliğinin düşmesi eğimin de düşmesine neden olmaktadır. Kanal boyu ile eğimdeki bozulmanın $460\text{\AA}$ film kalınlığında daha baskın gözükmesinin nedeni, kanal inceltme oksit kalınlığının daha kalın ve silisyum filmin de daha ince olmasından kaynaklanmaktadır. SOI tabanlarda oluşacak en büyük gerilim nedenlerinden biri yalıtım amaçlı yerel oksitleme işlemidir. Özellikle aşırı oksitleme sonucu silisyum pulun gömük oksit altında kalan taban bölgesinin oksitlenmesi SOI yapıdaki gerilmeleri aşırı şekilde arttırmıştır. Silisyum filmde yüksek sıcaklıkta oksitleme işlemleri ile oluşan gerilmelerin ve buna bağlı olarak kristal hasarı oluşumunu arttıran üç neden vardır;

- 1- Silisyumdioksit filmin kalınlığı; kalınlaşan oksit daha fazla hacimde genişleme yapacak ve gerilmeyi arttıracaktır.
- 2- Silisyum filmin kalınlığı; belli bir gerilme değeri için incelen silisyum filmdeki bükülme artacaktır.
- 3- Kanal Boyu; Hacimdeki genişlemenin sınırlandığı bölgelerde gerilme artacaktır ve gerilmeler kanal bölgesi çukurunun alt köşesinde yoğunlaşacaklardır ve kanal boyu küçüldükçe, gerilmenin yoğun olduğu köşeler birbirine yaklaşacak ve kanal bölgesinin tamamına yakın bölgesi gerilimden etkilenecektir.

SOI taban üzerinde üretilen ring osilatörlerinin $250\text{ }^{\circ}\text{C}$ ortam sıcaklığında güvenli bir şekilde çalıştıkları gözlemlenmiştir. Aynı ring osilatörleri 1V gibi düşük besleme gerilimleri ile de kararlı bir şekilde çalışmaktadırlar.

$0,15\mu\text{m}$ altı geometrilerde SOI tranzistorlarının çalışabilecekleri maksimum gerilimin standart tabanlı tranzistorların üzerine çıkması halinde SOI teknolojisi en yaygın teknoloji haline gelecektir. Bu durumun gerçekleşmemesi halinde bile SOI taban yüksek sıcaklık ve düşük gerilim uygulamaları için silisyum tabandan beklenemeyecek çalışma olanakları vermekte ve günümüzde önemli uygulama alanı bulmaktadır.

KAYNAKLAR

Ataman, A., (1995), "Mikroelektronikteki Gelişmeler ve YİTAL'de Geliştirilen 3µm CMOS Prosesi" 6. Ulusal Elektrik Kongresi Eylül Bursa.

Auberton-Herve, A.J., vd., (1994), "Low Dose SIMOX for ULSI Applications" Physical and Technical Problems of SOI Structures and Devices Edited by J.P. Colinge NATO ASI Series 3. High Technology - Vol.4

Auberton-Herve, A.J., vd., (1995), "SOI Metarials for ULSI Applications" Semiconductor International October 1995.

Chen, J., vd., (1992), "Threshold Voltage and C-V Characteristics of SOI MOSFET's Related to Si Film Thickness Variation on SIMOX Wafers", IEEE Transactions on Electron Devices, Vol.39 No. 10. October

Choi, J.H., vd., (1995), "Electron Mobility Behavior in Extremely Thin SOI MOSFETs", IEEE Electron Device Letters, Vol. 16, No.11 November

Choi, J.Y., vd., (1991), "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometers SOI MOSFET's" IEEE Transactions on Electron Devices Vol.38 No.6 June 1991.

Colinge, J.P., (1986), "Reduced of Floating Substrate Effect in Thin-Film SOI MOSFETs" Electronics Letters 13th February 1986 Vol. 22 No. 4

Colinge, J.P., (1986), "Subthreshold Slope of Thin-Film SOI MOSFET's", IEEE Transactions on Electron Devices, Vol. EDL-7, No.4 April

Colinge, J.P., (1991), "Silicon-On-Insulator Technology: Materials to VLSI" Kluwer Academics Publishers

Hu., C. (1994), "MOSFET Scaling in the Next Decade and Beyond" Semiconductor International June.

Hu, S.M., (1991), "Stress-Related Problems in Silicon Technology", J. Appl. Phys. 70 (6), 15 September

Huang, C.L., vd., (1997), "LOCOS-Induced Stress Effects on Thin-Film SOI Devices", IEEE Transactions on Electron Devices, Vol. 44, NO.4, April.

Jurczak, M., vd., (1997), "A Review of SOI Transistor Models", Microelectronics Journal, Vol.28, No.2

Laura, P., (1993), "SOI Takes Over Where Silicon Leaves Off", Semiconductor International March.

Lim, H., ve Fossum, J.G., (1984), "Current-Voltage Characteristics of Thin-Film SOI MOSFETs in Strong Inversion" IEEE Transactions on Electron Devices, ED-31(4) 401-407

Maszara, W.P., (1990), Proc. Of the 4th International Symposium on Silicon-on-Insulator Technology and Devices, Ed. by D. Schmidt, the Electrochemical Society Vol. 90-6, p. 199.

Marlikarjun, C., ve Bhat, K.N., (1990), "Numerical and Charge-Sheet Models for Thin-Film SOI MOSFETs " IEEE Transactions on Electron Devices 37 (9) 2039-2051.

McKitterick, J.B., ve Caviglia, A.L., (1989), "An Analytic Model for Thin SOI Transistors", IEEE Transactions on Electron Devices 36 (6) 1133-1138.

Ortiz-Conte, A., vd., (1989), "The nonequilibrium inversion layer charge of thin-film SOI MOSFET", IEEE Transactions on Electron Devices 36 (9) 1651-1656.

Pierret, R.F., ve Shields, J.A., (1983), " Simplified Long Channel MOSFET Theory Solid State Electron. 26 143-147

Selberherr, S., vd., "MINIMOS 4 User's Guide". Technische Universitat Wien Austria.

Shahidi, G. G., vd., (1995), "CMOS Scaling in the 0.1 μ m, 1.X Volt Regime for High Performance Applications" IBM J. Res. Develop. Vol.39 No:1/2 January/March.

Stanley, W., (1990), Silicon Processing for the VLSI Era, Process Integration Volume-II Lattice Press

Tamaki, Y., vd., (1988), "Evaluation of Dislocation Generation in U-Groove Isolation", J. Electrochem. Soc.: Solid-State Science and Technology March

Taur, Y., vd., (1995), "CMOS Scaling into the 21st Century: 0.1 μ m and beyond" IBM J. Res. Develop. Vol.39 No:1/2 January/March.

Tsuchiya, T., vd., (1998), "Three Mechanisms Determining Short-Channel Effects in Fully-Depleted SOI MOSFET's, "IEEE Transactions on Electron Devices Vol.45 No.5 May 1998

Wilson, S., vd., (1994), ECS'94 International Symposium on SOI Technology and Devices, Abstract No.510 May

Yang, P.V. ve Li, S.S., (1979), "Analysis of Current-Voltage Characteristics of Fully Depleted SOI MOSFETs" Solid State Electron., 22 991-997

EKLER

- Ek 1: SOI NMOS için ATHENA-SSUPREM4 Simülasyon Programı Giriş Deyimleri
- Ek 2: SOI PMOS için ATHENA-SSUPREM4 Simülasyon Programı Giriş Deyimleri
- Ek 3: SOI – SIMOX Taban Özellikleri
- Ek 4: SOI NMOS Tranzistorların Eşik Gerilimlerinin PUL içi Haritaları



Ek-1**ATHENA-SSUPREM4****SOI NMOS**

```

go athena
line x loc=0.00 spac=0.05 tag=sol
line x loc=0.075 spac=0.01
line x loc=2.75 spac=0.1 tag=sag
line y loc=0.00 spac=0.02 tag=si_ust
line y loc=0.21 spac=0.02 tag=ox_ust
line y loc=0.4085 spac=0.05 tag=ox_alt
line y loc=0.6 spac=0.1 tag=taban
region silicon xlo=sol xhi=sag ylo=si_ust yhi=ox_ust
region oxide xlo=sol xhi=sag ylo=ox_ust yhi=ox_alt
region silicon xlo=sol xhi=sag ylo=ox_alt yhi=taban
method compress init.time=0.10 fermi
diffus time=60 temp=1000 dryo2 press=1.00 hcl.pc=0
deposit nitride thick=0.14
etch nitride left pl.x=1.5
method compress init.time=0.10 fermi
diffus time=50 temp=1000 dryo2 press=1.00 hcl.pc=0
init silicon c.boron=7.0e14 orientation=100 two.d
method compress init.time=0.10 fermi
diffus time=30 temp=900 dryo2 press=1.00 hcl.pc=0
# esik ayar ekimi
implant bf2 dose=2.6e12 energy=50 crystal
perde oksidi silme
etch oxide all
# gecit oksidi 250A
method compress init.time=0.10 fermi
diffus time=83 temp=900 dryo2 press=1.00 hcl.pc=0
method compress init.time=0.10 fermi
diffus time=30 temp=900 nitro press=1.00
# poly buyutme
deposit poly thick=0.50 divisions=10
# poly katkilama
method compress init.time=0.10 fermi
diffus time=30 temp=1000 nitro press=1.00
# poli asindirma
etch poly right pl.x=0.75
# LDD - N EKIMI
implant phosphor dose=4.0e13 energy=50 gauss crystal
# ldd oksidi buyutme
deposit oxide thick=0.25 divisions=10
# ldd asindirma
etch oxide dry thick=0.25
# SAVAK-KAYNAK EKIMI
implant arsenic dose=6.0e15 energy=120 gauss crystal
structure outfile=soi1.str
# bpsg buyutme
deposit oxide thick=1 divisions=10
# bpsg akitma
method compress init.time=0.10 fermi
diffus time=40 temp=900 nitro press=1.00
structure outfile=soi2.str
# kontak asindirma
etch oxide right pl.x=1.5
# al buyutme

```

```

deposit alumin thick=1 divisions=10
# al asindirma
etch aluminum left p1.x=1
struct mirror left
#extract name="esik gerilimi" 1dvt ntype soi y.val=0.05
electrode name=gecit x=0.00 y=-0.2
electrode name=savak x=-1.5 y=-2
electrode name=kaynak x=1.5 y=-2
electrode name=taban backside
structure outfile=soi3.str
tonyplot soi3.str

go atlas

contact name=gecit n.poly
interface qf=1e11
models cvt hcte.el
method newton trap autonr maxtrap=10
impact selb
#output e.field j.electron j.hole j.conduc j.total ex.field ey.field \
        flowlines e.mobility h.mobility qss e.temp h.temp val.band con.band \
        qfn qfp j.disp photogen impact
solve init
solve v2=0.1 name=savak outfile=c1u5id.str master
log outfile=idvg.log
solve vstep=0.1 vfinal=2 name=gecit
#

```

Ek-2**ATHENA – SSUPREM4****SOI PMOS**

```

go athena
line x loc=0.00  spac=0.05  tag=sol
line x loc=0.5075 spac=0.01
line x loc=4      spac=0.8   tag=sag
line y loc=0.00  spac=0.02  tag=si_ust
line y loc=0.21  spac=0.02  tag=ox_ust
line y loc=0.4085 spac=0.05  tag=ox_alt
line y loc=0.6   spac=0.1   tag=taban
region silicon xlo=sol xhi=sag ylo=si_ust yhi=ox_ust
region oxide  xlo=sol xhi=sag ylo=ox_ust yhi=ox_alt
region silicon xlo=sol xhi=sag ylo=ox_alt yhi=taban
init silicon c.boron=7.0e14 orientation=100 two.d
method compress init.time=0.10 fermi
diffus time=60 temp=1000 dryo2 press=1.00 hcl.pc=0
deposit nitride thick=0.14 divisions=10
etch nitride left p1.x=1.5
method compress init.time=0.10 fermi
diffus time=27 temp=1000 weto2 press=1.00 hcl.pc=0
etch nitride all
etch oxide all
method compress init.time=0.10 fermi
diffus time=30 temp=900 dryo2 press=1.00 hcl.pc=0
# esik ayar ekimi
implant bf2 dose=2.3e12 energy=50 crystal
perde oksidi silme
etch oxide all
# gecit oksidi 250A
method compress init.time=0.10 fermi
diffus time=83 temp=900 dryo2 press=1.00 hcl.pc=0
method compress init.time=0.10 fermi
diffus time=30 temp=900 nitro press=1.00
# poly buyutme
deposit poly thick=0.50 divisions=10
# poly katkilama
method compress init.time=0.10 fermi
diffus time=30 temp=1000 nitro press=1.00
# poli asindirma
etch poly right p1.x=0.75
# LDD - N EKIMI
implant phosphor dose=4.0e13 energy=50 gauss crystal
# ldd oksidi buyutme
deposit oxide thick=0.25 divisions=10
# ldd asindirma
etch oxide dry thick=0.25
# SAVAK-KAYNAK EKIMI
implant arsenic dose=6e15 energy=120 gauss crystal
structure outfile=soi1.str
# bpsg buyutme
deposit oxide thick=0.5 divisions=10
# bpsg akitma
method compress init.time=0.10 fermi
diffus time=40 temp=900 nitro press=1.00
structure outfile=soi2.str
#init infile=soi2.str
# kontak asindirma

```

```
etch oxide right p1.x=2.75
# al buyutme
deposit alumin thick=1 divisions=10
# al asindirma
etch aluminum left p1.x=2
struct mirror left
#extract name="esik gerilimi" 1dvt ntype soi y.val=0.05
electrode name=gecit x=0.00 y=-0.4
electrode name=savak x=-2 y=-1.6
electrode name=kaynak x=2 y=-1.6
electrode name=taban backside
structure outfile=soi3.str
tonyplot soi3.str
#init infile=/export/home/kim/auc/soi3.str
```

go atlas

```
contact name=gecit n.poly
interface qf=1e11
models cvt hcte.el
method newton trap autonr maxtrap=10
impact selb
solve init
solve v2=0.1 name=savak outfile=kesit.str master
log outfile=idvg.log
solve vstep=0.05 vfinal=1 name=gecit
```

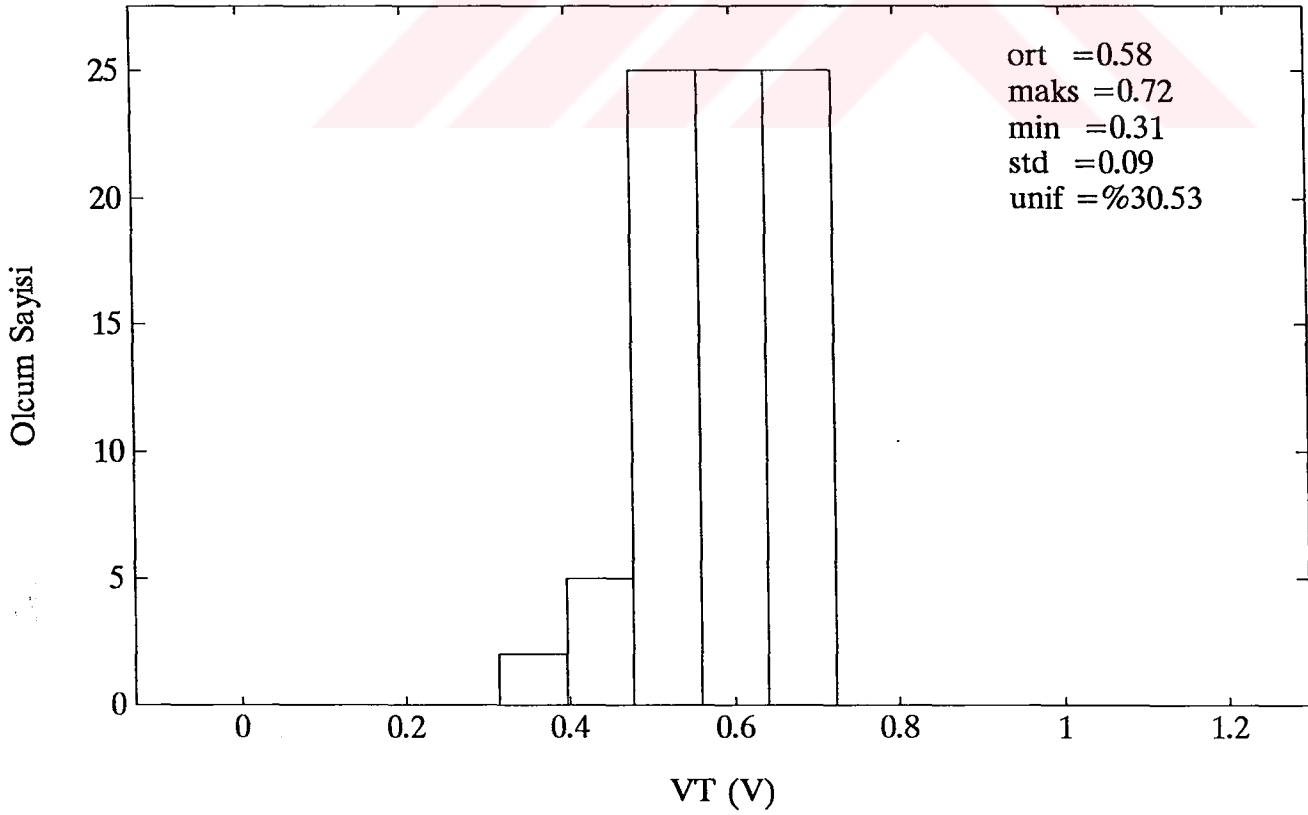
Ek-3 : Kanal uzunluđu 0,5 μm ile 27 μm arasında deđiřen SOI NMOS tranzistorun eřik gerilimlerinin pul haritası verilmiřtir.

Silisyum Film kalınlıđı :730 $\text{\AA}$ ⁰



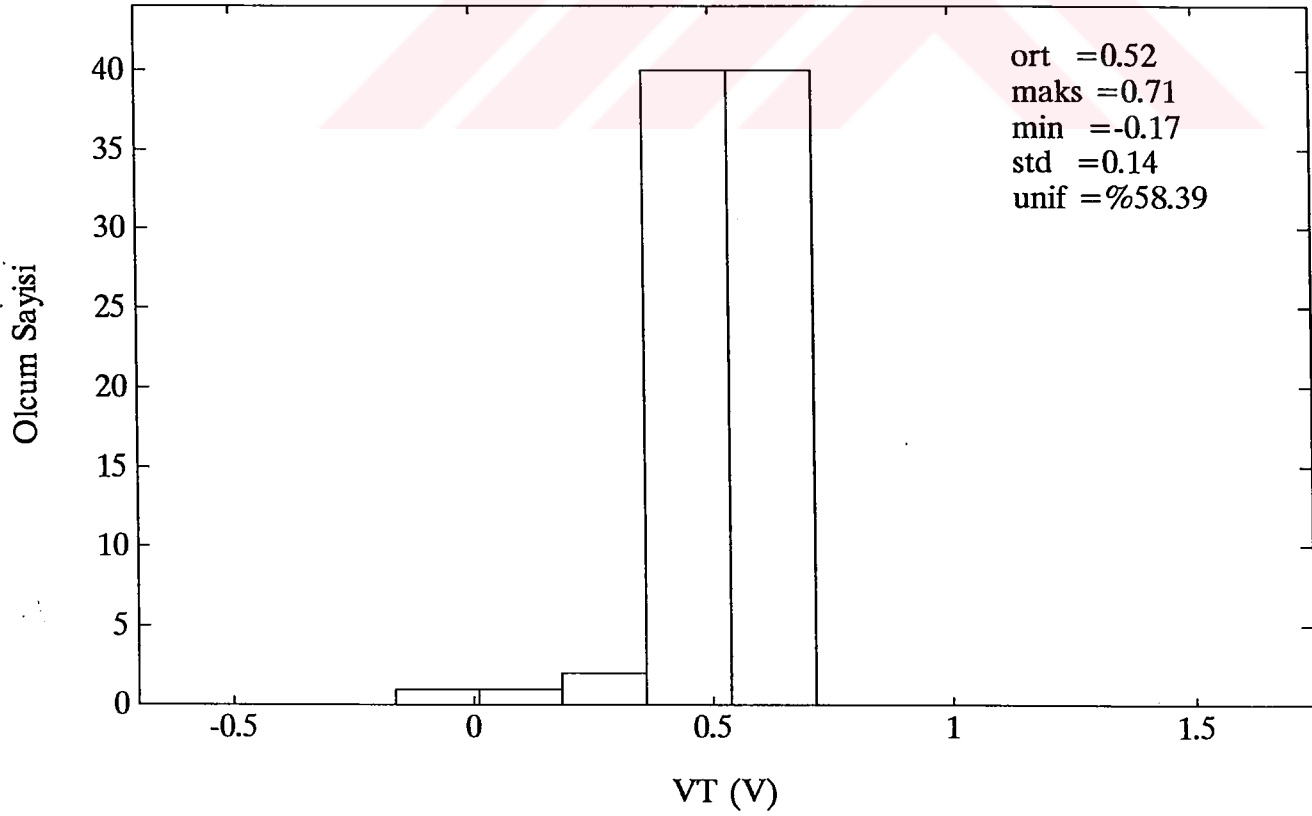
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=27
PARAMETRE: VT (V)

				0.58				
		0.72	0.60	0.60	0.61	0.72		
	0.70	0.59	0.58	0.61	0.68	0.71	0.70	
	0.61	0.51	0.53	0.58	0.59	0.68	0.72	
0.65	0.50	0.60	0.56	0.55	0.58	0.61	0.68	0.66
0.71	0.64	0.51	0.53	0.52	0.49	0.56	0.61	
0.69	0.63	0.49	0.51	0.50	0.41	0.53	0.58	0.66
0.70	0.56	0.49	0.49	0.48	0.48	0.51	0.56	0.66
0.72	0.60	0.48	0.49	0.48	0.31	0.54	0.65	0.64
	0.63	0.46	0.44	0.37	0.52	0.65	0.51	
	0.62	0.59	0.54	0.55	0.60	0.68	0.68	
		0.66	0.65	0.59	0.71			
				0.68				



PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=10
PARAMETRE: VT (V)

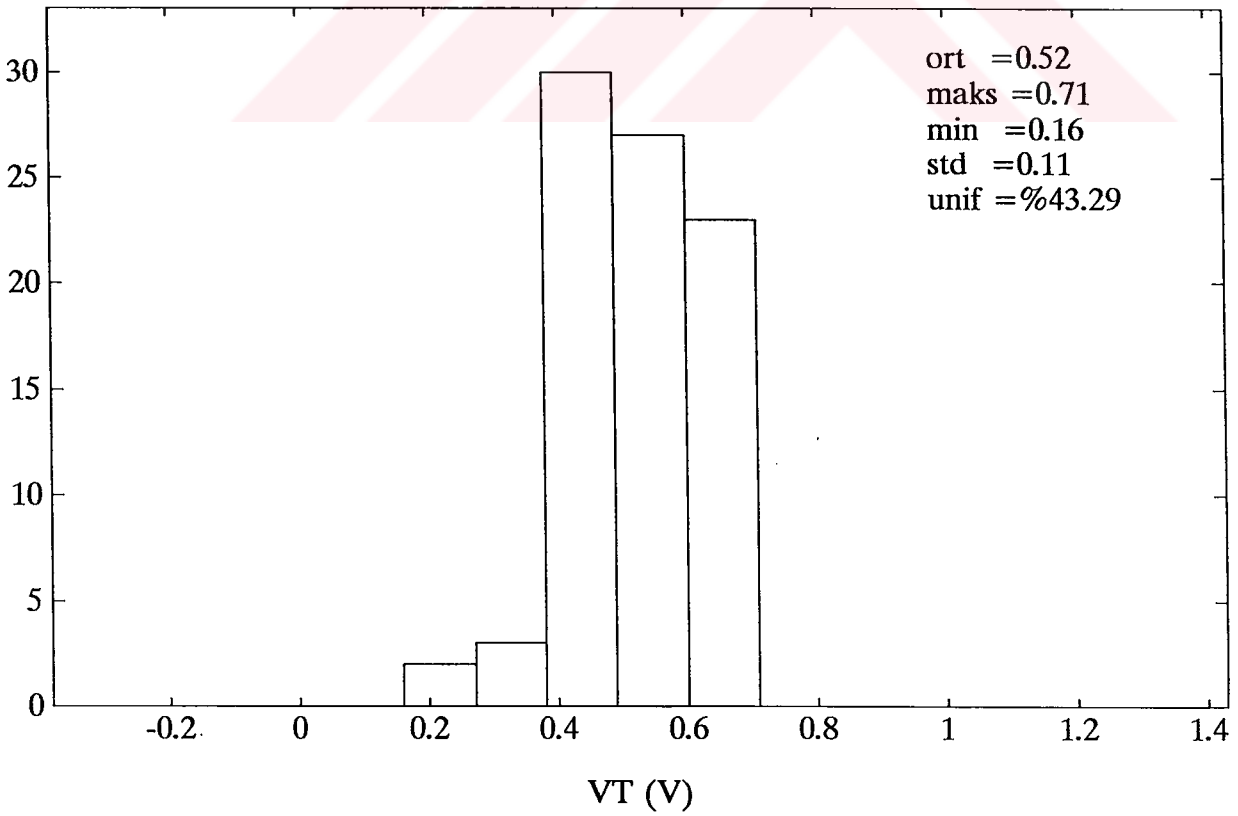
				0.54				
		0.70	0.51	0.39	0.55	0.71		
	0.52	0.51	0.51	0.52	0.66	0.69	0.69	
	0.49	0.49	0.46	0.54	0.59	0.67	0.71	
0.58	0.52	0.56	0.52	0.49	0.50	-0.17	0.64	0.65
0.61	0.56	0.51	0.48	0.47	0.43	0.50	0.56	0.65
0.69	0.48	0.41	0.42	0.41	0.39	0.44	0.53	0.64
0.65	0.60	0.45	0.44	0.39	0.37	0.45	0.58	0.66
0.69	0.09	0.40	0.40	0.38	0.41	0.45	0.61	0.63
	0.60	0.24	0.44	0.37	0.46	0.31	0.64	
	0.61	0.54	0.49	0.48		0.63	0.66	
		0.64	0.64	0.57	0.70	0.71		
				0.67				



PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=9
PARAMETRE: VT (V)

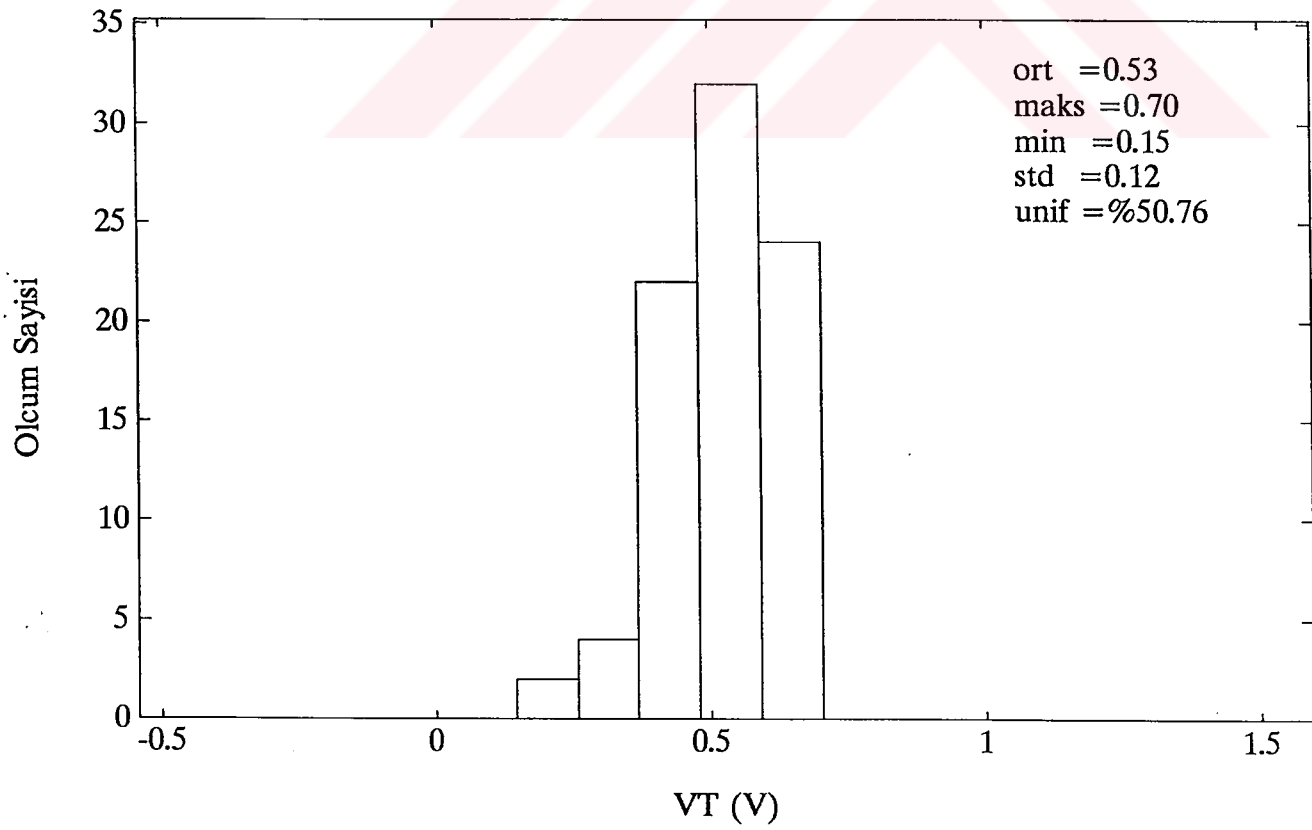
				0.53				
		0.69	0.51	0.40	0.55	0.70		
	0.50	0.49	0.46	0.48	0.65	0.69	0.69	
	0.51	0.45	0.36	0.55	0.60	0.65	0.65	
0.59	0.53	0.56	0.25	0.50	0.51	0.58	0.65	0.65
0.60	0.58	0.48	0.46	0.47	0.44	0.49	0.56	0.64
0.69	0.16	0.40	0.41	0.41	0.40	0.30	0.53	0.65
0.66	0.59	0.45	0.43	0.42	0.39	0.45	0.57	0.66
0.55	0.57	0.45	0.42	0.39	0.33	0.47	0.48	0.64
	0.59	0.50	0.44	0.42	0.45	0.59	0.67	
	0.44	0.53	0.47	0.45	0.55	0.48	0.66	
		0.64	0.64	0.44	0.69	0.71		
				0.67				

Olçum Sayısı



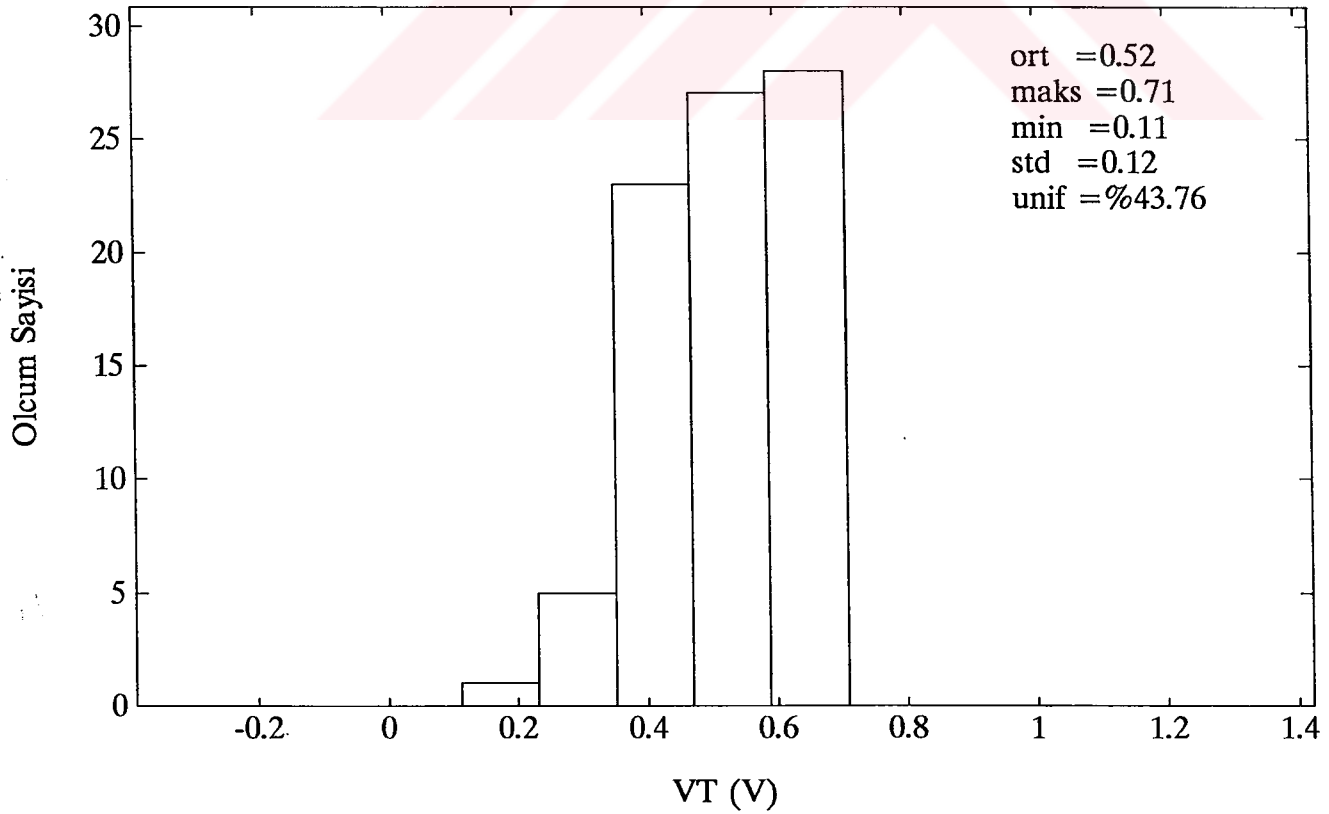
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=8
PARAMETRE: VT (V)

				0.52				
		0.69	0.49	0.54	0.55	0.70		
	0.47	0.48	0.40	0.48	0.66	0.69	0.68	
	0.53	0.46	0.15	0.56	0.57	0.64	0.69	
0.59	0.52	0.56	0.47	0.49	0.52	0.56	0.64	0.64
0.59	0.59	0.51	0.46	0.16	0.49	0.49	0.56	0.65
0.68	0.56	0.39	0.44	0.43	0.46	0.28	0.52	0.64
0.67	0.57	0.33	0.41	0.44	0.38	0.44	0.55	0.66
0.69	0.58	0.49	0.38	0.38	0.32	0.46	0.62	0.64
	0.58	0.50	0.42	0.41	0.43	0.59	0.67	
	0.60	0.53	0.47	0.40	0.55	0.55	0.66	
		0.64	0.61	0.36	0.69	0.70		



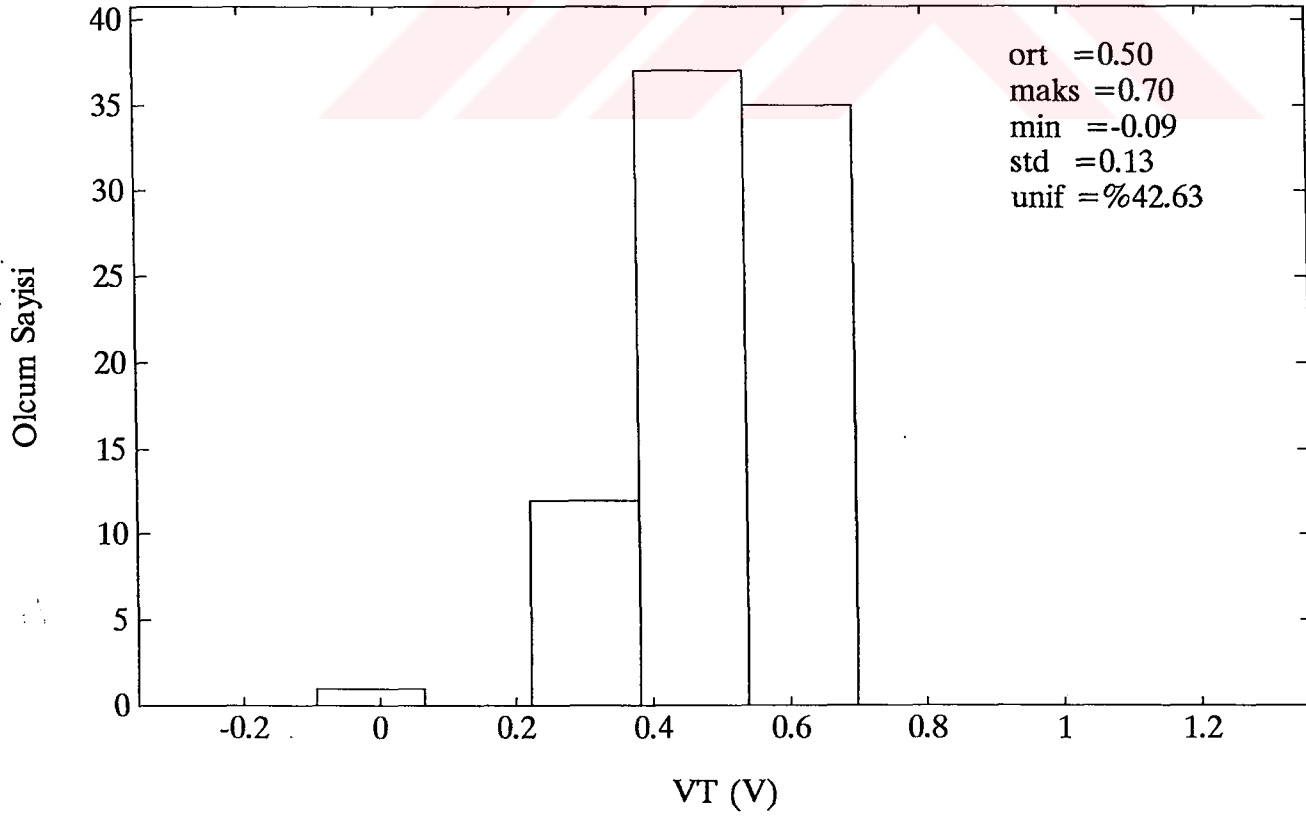
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=6
PARAMETRE: VT (V)

				0.52				
		0.69	0.48	0.53	0.55	0.71		
	0.49	0.46	0.47	0.64	0.65	0.68	0.68	
	0.52	0.46	0.29	0.55	0.50	0.63	0.68	
0.58	0.50	0.31	0.48	0.48	0.42	0.54	0.64	0.64
0.59	0.59		0.44	0.38	0.38	0.48	0.55	0.65
0.68	0.49	0.37	0.11	0.40	0.39	0.25	0.49	0.63
0.67	0.51	0.43	0.40	0.43	0.39	0.42	0.48	0.65
0.69	0.56	0.50	0.36	0.30	0.37	0.44	0.59	0.65
	0.58	0.48	0.40	0.34	0.42	0.50	0.67	
	0.60	0.51	0.46	0.46	0.53	0.65	0.65	
		0.63	0.61	0.41	0.68	0.70		
				0.68				



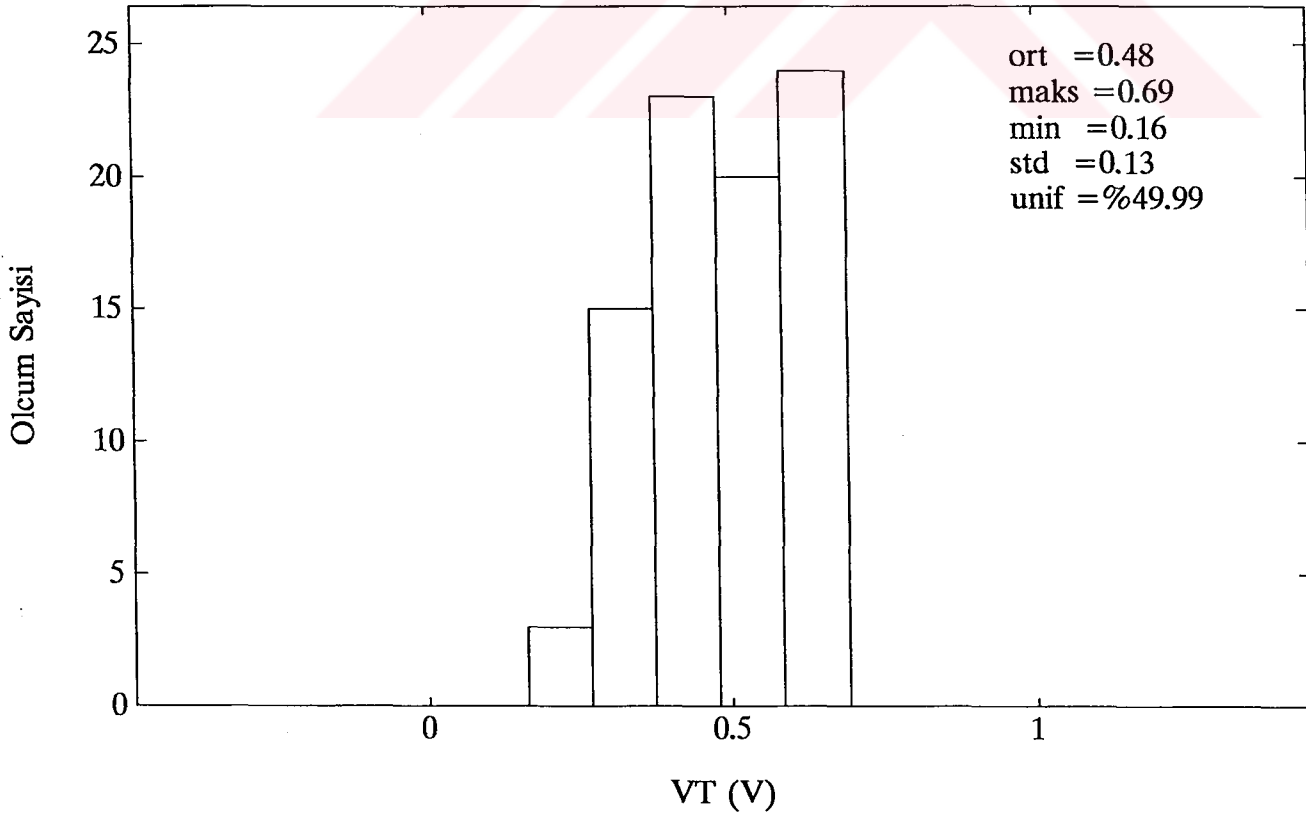
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=4.5
PARAMETRE: VT (V)

				0.49				
		0.66	0.45	0.52	0.54	0.70		
	0.45	0.47	0.38	0.49	0.64	0.67	0.67	
	0.52	0.46	0.44	0.53	0.52	0.61	0.68	
0.57	0.52	0.55	0.44	0.47	0.48	0.48	0.62	0.64
0.58	0.58	0.47	0.42	0.30	0.42	0.46	0.54	0.65
0.67	0.35	0.30	0.39	0.42	0.38	0.26	0.38	0.63
0.66	0.54	0.43	0.40	0.37	0.38	0.40	0.43	0.64
0.69	0.56	0.46	0.32	-0.09	0.36	0.40	0.60	0.64
	0.57	0.47	0.40	0.28	0.32	0.56	0.64	
	0.59	0.49	0.44	0.45	0.52	0.58	0.62	
		0.62	0.61	0.56	0.68	0.69		
				0.68				



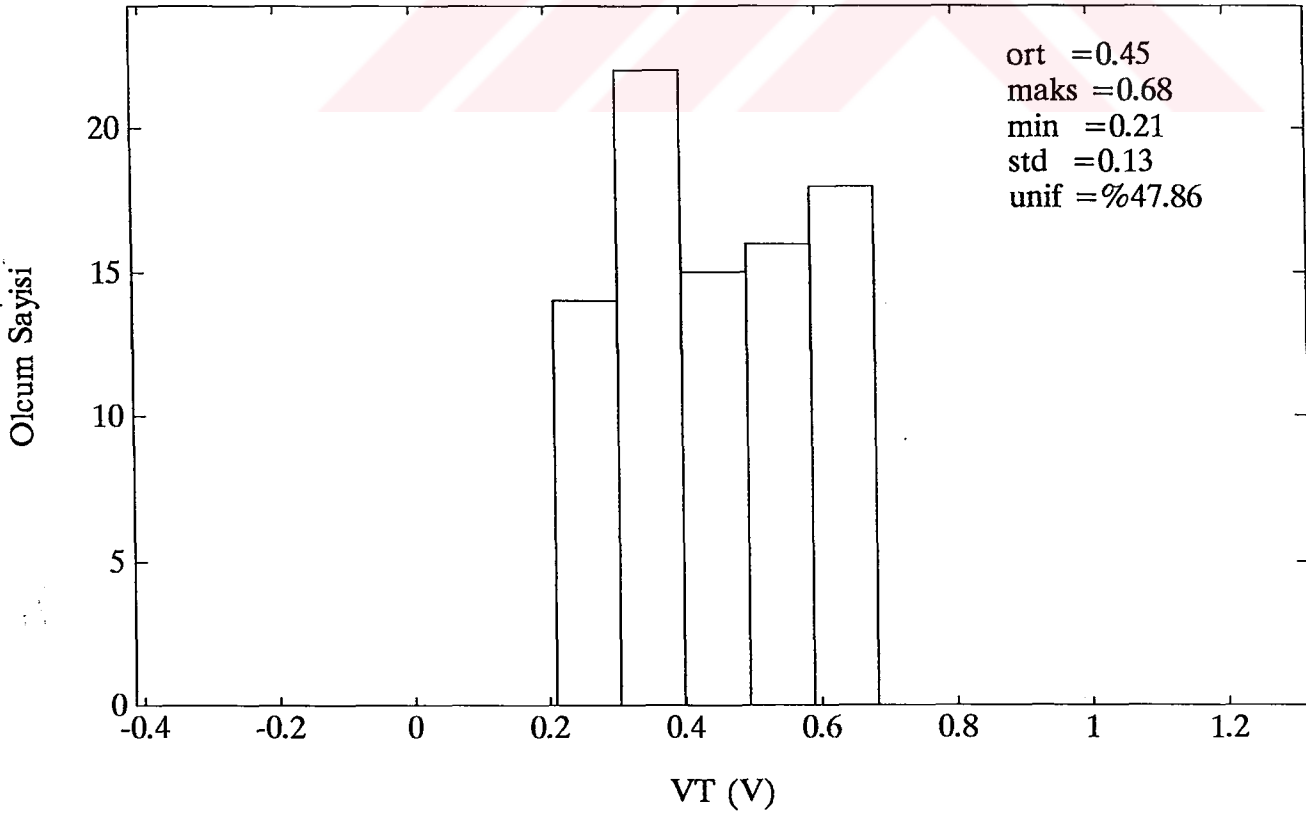
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=3
PARAMETRE: VT (V)

				0.52				
		0.68	0.37	0.46	0.51	0.69		
	0.44	0.37	0.40	0.43	0.60	0.66	0.67	
	0.50	0.42	0.38	0.49	0.53	0.59	0.67	
0.56	0.28	0.49	0.42	0.41	0.45	0.49	0.58	0.64
0.50	0.47	0.37	0.39	0.39	0.39	0.42	0.48	0.64
0.66	0.51	0.29	0.36	0.35	0.30	0.29	0.43	0.62
0.64	0.41	0.42	0.35	0.23	0.32	0.36	0.51	0.65
0.69	0.54	0.20	0.32	0.30	0.37	0.41	0.61	0.61
	0.56	0.42	0.37	0.16	0.39	0.60	0.54	
	0.58	0.49	0.42	0.41	0.51	0.62	0.64	
		0.63	0.62	0.57	0.67	0.69		
				0.64				



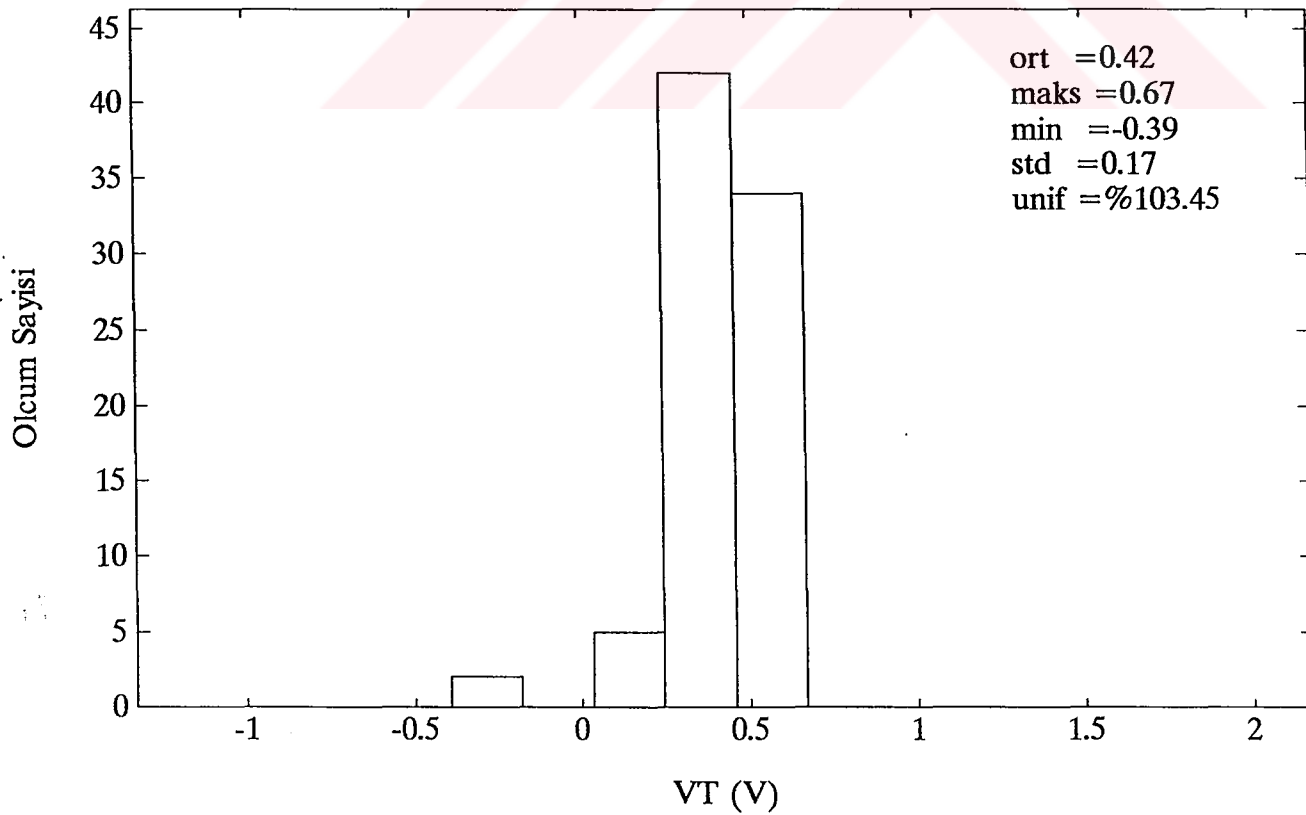
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=1.5
PARAMETRE: VT (V)

				0.51				
		0.68	0.45	0.44	0.48	0.66		
	0.39	0.25	0.29	0.38	0.56	0.63	0.65	
	0.44	0.39	0.32	0.47	0.49	0.55	0.67	
0.54	0.36	0.46	0.37	0.28	0.41	0.45	0.54	0.62
0.57	0.31	0.41	0.36	0.32	0.35	0.36	0.43	0.62
0.63	0.51	0.27	0.26	0.31	0.25	0.24	0.39	0.59
0.61	0.50	0.38	0.31	0.21	0.29	0.33	0.47	0.62
0.67	0.51	0.28	0.29	0.29	0.30	0.38	0.58	0.59
	0.52	0.30	0.33	0.32	0.31	0.57	0.61	
	0.56	0.44	0.38	0.35	0.47	0.57	0.61	
		0.61	0.59	0.48	0.66	0.67		
				0.64				



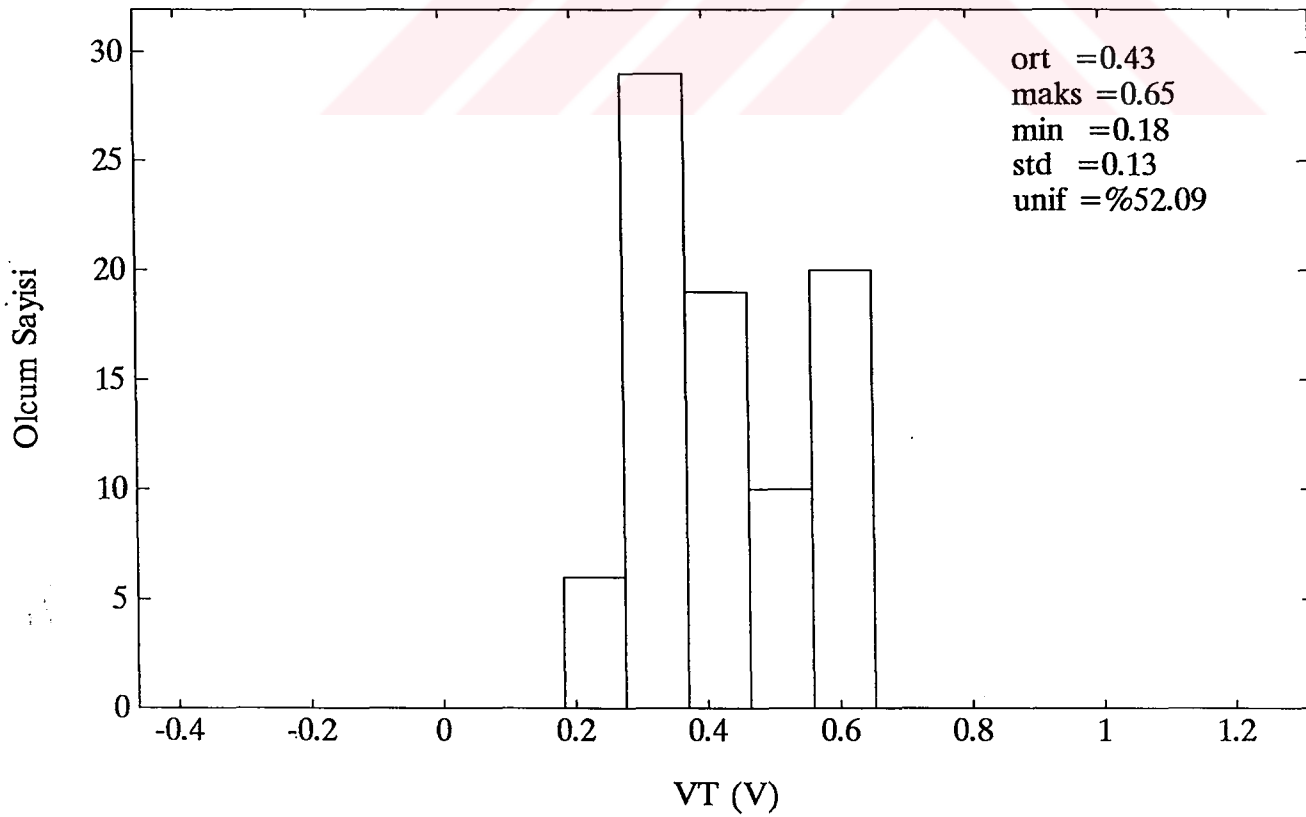
PUL:S3 YAPI:NMOS CESIT:INCELTIKMIS BOYUT:W=27/L=1.25
PARAMETRE: VT (V)

				0.49				
		0.63	0.38	0.45	0.47	0.65		
	0.35	0.32	0.37	0.34	0.54	0.62	0.65	
	0.42	0.37	0.34	0.43	0.47	0.52	0.59	
0.54	0.39	0.45	-0.39	0.36	0.40	0.44	0.54	0.61
0.60	0.46	0.39	0.34	-0.23	0.34	0.34	0.41	0.61
0.43	0.44	0.30	0.31	0.31	0.10	0.24	0.37	0.59
0.61	0.51	0.35	0.30	0.28	0.30	0.24	0.42	0.60
0.59	0.49	0.38	0.31	0.26	0.19	0.31	0.57	
	0.49	0.33	0.32	0.29	0.22	0.56	0.63	
	0.55	0.43	0.35	0.38	0.47	0.60	0.61	
		0.60	0.58	0.43	0.65	0.67		
				0.64				



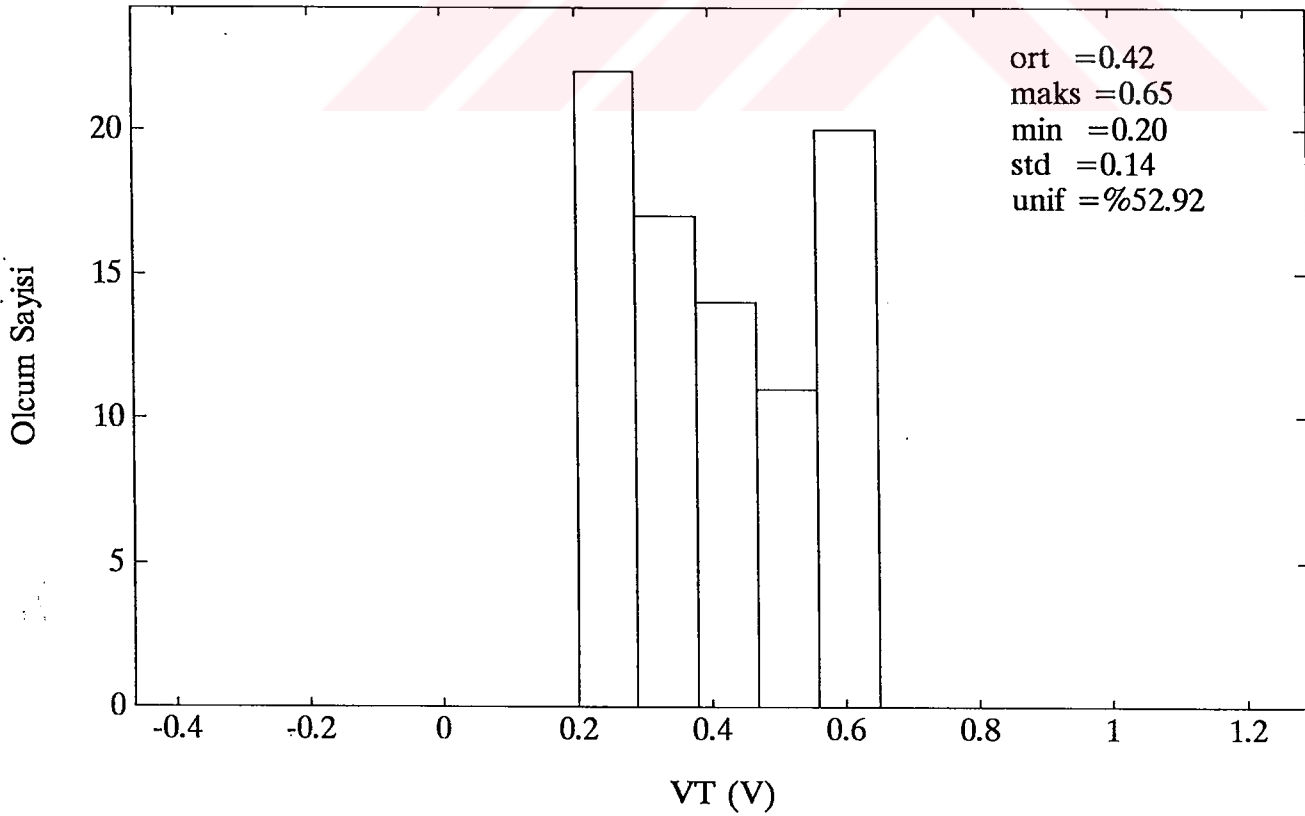
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=1
PARAMETRE: VT (V)

				0.47				
		0.61	0.44	0.41	0.46	0.65		
	0.34	0.28	0.36	0.33	0.53	0.61	0.64	
	0.40	0.36	0.32	0.42	0.45	0.50	0.64	
0.53	0.37	0.43	0.36	0.37	0.37	0.41	0.52	0.60
0.58	0.45	0.38	0.32	0.32	0.33	0.36	0.40	0.60
0.52	0.48	0.28	0.30	0.28	0.28	0.21	0.35	0.57
0.58	0.48	0.33	0.32	0.28	0.29	0.21	0.37	0.59
0.65	0.42	0.35	0.32	0.24	0.18	0.31	0.51	
	0.42	0.38	0.30	0.27	0.21	0.40	0.60	
	0.54	0.41	0.34	0.34	0.44	0.57	0.61	
		0.59	0.56	0.39	0.64	0.65		
				0.64				



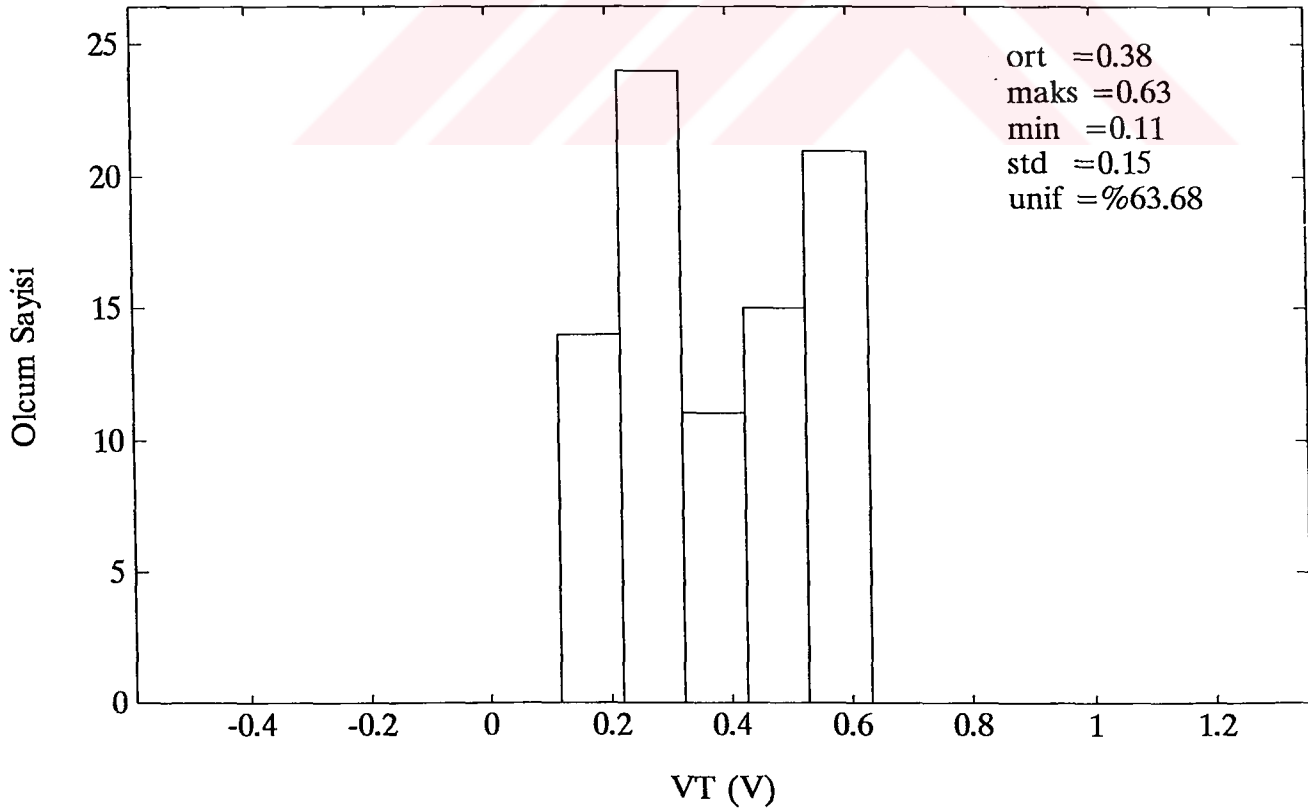
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=0.75
PARAMETRE: VT (V)

				0.56				
		0.59	0.35	0.40	0.44	0.65		
	0.30	0.31	0.34	0.35	0.52	0.59	0.64	
	0.40	0.34	0.32	0.41	0.44	0.47	0.61	
0.51	0.40	0.40	0.27	0.34	0.35	0.39	0.49	0.59
0.59	0.48	0.37	0.33	0.26	0.30	0.23	0.27	0.57
0.59	0.44	0.25	0.27	0.24	0.26	0.20	0.28	0.50
0.58	0.47	0.34	0.26	0.28	0.26	0.29	0.33	0.59
0.64	0.47	0.31	0.25	0.21	0.23	0.26	0.52	0.61
	0.48	0.35	0.27	0.24	0.28	0.53	0.58	
	0.52	0.40	0.22	0.33	0.44	0.57	0.61	
		0.57	0.53	0.43	0.63	0.65		
				0.63				



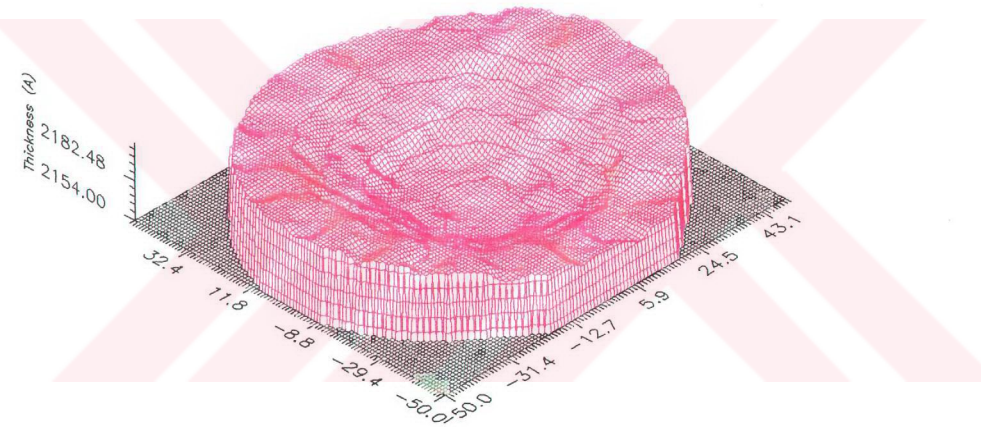
PUL:S3 YAPI:NMOS CESIT:INCELTILMIS BOYUT:W=27/L=0.5
PARAMETRE: VT (V)

				0.51				
		0.57	0.27	0.36	0.42	0.63		
	0.25	0.21	0.17	0.29	0.45	0.55	0.62	
	0.36	0.30	0.25	0.32	0.40	0.43	0.59	
0.58	0.38	0.48	0.16	0.32	0.26	0.37	0.45	0.57
0.54	0.44	0.32	0.29	0.26	0.26	0.30	0.34	0.58
0.58	0.31	0.14	0.21	0.27	0.22	0.21	0.21	0.52
0.55	0.45	0.31	0.25	0.11	0.22	0.24	0.30	0.57
0.63	0.45	0.23	0.23	0.16	0.20	0.18	0.46	0.59
	0.46	0.33	0.25	0.18	0.25	0.54	0.59	
	0.50	0.37	0.32	0.22	0.40	0.52	0.60	
		0.55	0.50	0.43	0.59	0.63		
				0.62				



Ek-4 SOI – SIMOX Taban Özellikleri

IBIS SIMOX: SILICON THICKNESS CONTOUR



Mean: 2186.9000
 Std. Dev.: 17.2000
 % Std Dev: 0.79
 Max Z Value: 2210.00
 Min Z Value: 2154.00
 Z Range: 56.00
 Num of Points: 37
 Rotation: 225
 Tilt: 35

Program Name: 56 User Defined
 Sample ID: 3699 QC

Date: Mon, Oct 28, 1996
 Time: 14:34:45
 Wafer Size: 100 mm

ÖZGEÇMİŞ

Doğum Tarihi:	07.07.1958
Doğum Yeri:	Araç / Kastamonu
Lisans:	1978 - 1982 İstanbul Teknik Üniversitesi Elektrik-Elektronik Fakültesi Elektronik ve Hableşme Bölümü
Yüksek Lisans:	1982 - 1984 İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü
Doktora:	1992 - 1999 Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü

Çalıştığı Kurumlar:

1983 - 1984	TÜBİTAK Marmara Araştırma Merkezi Elektronik Bölümü
1984 - 1985	3. Ordu Mu. Des. Bölüğü Mu. Asst.
1985 - Devam Ediyor	TÜBİTAK Ulusal Elektronik ve Kriptoloji Araştırma Enstitüsü

T.C. YÜKSEKÖĞRETİM KURULU
DOKÜMANTASYON MERKEZİ