

T.C.
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**VERİ GÜDÜMLÜ METAL YARI İLETKEN ALAN ETKİLİ
TRANSİSTÖRÜN KÜÇÜK İŞARET MODELLENMESİ**

Gökhan SATILMIŞ

DOKTORA TEZİ
Elektronik ve Haberleşme Mühendisliği Anabilim Dalı
Haberleşme Mühendisliği Programı

Danışman
Prof. Dr. Filiz GÜNEŞ

Eş-Danışman
Doç. Dr. Peyman MAHOUTI

Aralık, 2020

T.C.
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**VERİ GÜDÜMLÜ METAL YARI İLETKEN ALAN ETKİLİ
TRANSİSTÖRÜN KÜÇÜK İŞARET MODELLENMESİ**

Gökhan SATILMIŞ tarafından hazırlanan tez çalışması 16.12.2020 tarihinde aşağıdaki jüri tarafından Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Haberleşme Mühendisliği Programı **DOKTORA TEZİ** olarak kabul edilmiştir.

Prof. Dr. Filiz GÜNEŞ
Yıldız Teknik Üniversitesi
Danışman

Doç. Dr. Peyman MAHOUTI
İstanbul Cerrahpaşa Üniversitesi
Eş-Danışman

Jüri Üyeleri

Prof. Dr. Filiz GÜNEŞ, Danışman
Yıldız Teknik Üniversitesi

Dr.Öğr. Lale ÖZYILMAZ, Üye
Yıldız Teknik Üniversitesi

Doç. Dr. Umut Engin AYTEN, Üye
Yıldız Teknik Üniversitesi

Prof. Dr. Fikret GÜRGEN, Üye
Boğaziçi Üniversitesi

Prof. Dr. Mesut KARTAL, Üye
İstanbul Teknik Üniversitesi

Danışmanım Prof. Dr. Filiz GÜNEŞ sorumluluğunda tarafımca hazırlanan Veri G d ml  Metal Yarı İletken Alan Etkili Transist r n K   k İřaret Modellenmesi bařlıklı  alıřmada veri toplama ve veri kullanımında gerekli yasal izinleri aldığımı, diğ r kaynaklardan aldığım bilgileri ana metin ve referanslarda eksiksiz g sterdiğimi, arařtırma verilerine ve sonu larına iliřkin  arpıtma ve/veya sahtecilik yapmadığımı,  alıřmam s resince bilimsel arařtırma ve etik ilkelerine uygun davrandığımı beyan ederim. Beyanımın aksinin ispatı halinde her t rl  yasal sonucu kabul ederim.

G khan SATILMIř

İmza

YÖK ÖĞRETİM ÜYESİ YETİŞTİRME PROGRAMI (ÖYP) kapsamında bu tez gerçekleştirilmiştir.

Sevgili Eşim Rukiye ve Oğullarım Arif ve Bilgehan'a

TEŞEKKÜR

İlk okul eğitim hayatımdan itibaren 'okumanın' ne kadar kıymetli olduğunu her daim telkinde bulunan ve şartsızlıklardan dolayı okul hayatı olamayan annem, Zeynep SATILMIŞ'a ve her türlü maddi zorluklara rağmen her zaman destek olan ve ilim öğrenmenin en kıymetli iş olduğunu öğreten babam, Bekir SATILMIŞ'a doktora tezim vasıtasıyla teşekkür etmeyi bir borç bilirim. Uzun ve zorlu bir süreç olan doktora eğitim hayatım boyunca akademik yol göstericiliği ve destekleri olmadan bu tezin gerçekleştiremeyeceğini bilen bir insan olarak, tez danışmanım sayın Prof. Dr. Filiz GÜNEŞ'e teşekkürlerimi sunuyorum. Akademik rehberliği ve iş birliğiyle uzun ve zorlu süreci eğlenceli hale getiren, yeni bir şey keşfetmenin sevinci ve keşfettiğin şeyin işe yaramadığında bunun üzüntüsünü paylaştığım değerli hocam, sayın Doç.Dr. Peyman MAHOUTİ'ye teşekkürleri sunuyorum. Tez izleme komitemde bulunan sayın Dr. Öğr. Üyesi Lale ÖZYILMAZ ve Prof. Dr. Fikret GÜRGEN hocalarıma vermiş oldukları akademik yol göstericilikten dolayı teşekkürlerimi sunuyorum. Son olarak YÖK ÖYP programı vasıtasıyla akademik hayata başladığım için bu programda emeği geçen herkese teşekkürü bir borç bilirim.

Gökhan SATILMIŞ

İÇİNDEKİLER

SİMGE LİSTESİ	viii
KISALTMA LİSTESİ	ix
ŞEKİL LİSTESİ	x
TABLO LİSTESİ	xiii
ÖZET	xiv
ABSTRACT	xvi
1 GİRİŞ	1
1.1 Literatür Özeti	1
1.2 Tezin Amacı	2
1.3 Hipotez	3
2 MESFET TRANSİSTÖR	6
2.1 Teorik Çalışma	7
2.2 Uygulama Çalışması	9
2.2.1 Cihaz Simülasyon Programı	10
2.3 Veri Seti Oluşturulması	16
3 PARAMETRELERİN ETKİLERİ VE MODELLEME TEKNİKLERİ	24
3.1 Parametrelerin Etkisi	24
3.1.1 Savak Gerilimi	25
3.1.2 Kapı Gerilimi	30
3.1.3 Kapı Genişliği	36
3.2 Beyaz Kutu Modellemesi	41
3.2.1 Eureqa Yazılımı	41
3.2.2 Denklemlerin Oluşturulması	42
3.3 Kara Kutu Modellemesi	44
3.3.1 Yapay Sinir Ağları	45
3.3.2 IBk	46

3.3.3	KStar	47
3.3.4	Bagging	48
3.3.5	REPTree	48
4	DOĞRULAMA YÖNTEMLERİ	50
4.1	Veri Seti Üzerinden Doğrulama	50
4.1.1	Polar Koordinat Düzleminde Gösterim	54
4.1.2	Kartezyen Koordinat Düzleminde Gösterim	56
4.2	Örnek Durumlar Üzerinden Doğrulama	61
4.2.1	Örnek Durum 1	61
4.2.2	Örnek Durum 2	66
4.2.3	Örnek Durum 3	70
4.2.4	Örnek Durum 4	74
5	DOĞRUSAL KUVVETLENDİRİCİ TASARIMI	78
5.1	Veri Setinin Görselleştirilmesi	78
5.2	Tasarım Parametreleri	82
6	SONUÇ VE ÖNERİLER	91
	KAYNAKÇA	93
A	CİHAZ SİMÜLASYON SONUÇ DOSYASI	98
B	MATLAB DENKLEM	109
	TEZDEN ÜRETİLMİŞ YAYINLAR	110

SİMGE LİSTESİ

J	Akım Yoğunluğu
k	Boltzman Sabiti
E	Elektrik Alan
χ_s	Elektron Affiniti
v	Elektron Hızı
J_n	Elektron Akım Yoğunluğu
μ_n	Elektron Mobilitesi
D_n	Elektron Difüzyon Katsayısı
n	Elektron Yoğunluğu
E_g	Enerji Bant Aralığı
∇	Gradyant Operatörü
N_c	İletim Bant Yoğunluğu
N_d	İyonlaşmış Bağışçı Yoğunluğu
B	Manyetik Alan
T	Ortam Sıcaklığı
$V_{applied}$	Uygulanan Gerilim
N_v	Valans Bant Yoğunluğu
ρ	Yük Yoğunluğu
Ψ_s	Yüzey Potansiyeli

KISALTMA LİSTESİ

MAE	Ortalama Mutlak Hata
MESFET	Metal Yarı İletken Alan Etkili Transistör
MSE	Ortalama Karesel Hata
RMSE	Kök Ortalama Karasel Hata
Rsq	Pearson Çarpım Moment Korelasyon Katsayısı

ŞEKİL LİSTESİ

Şekil 1.1	Çalışmanın akış diyagramı	4
Şekil 2.1	Transistör yapısının çözüm metodu	7
Şekil 2.2	MESFET transistörün geometrik yapısı	10
Şekil 2.3	Elektrik alanın gösterilmesi	12
Şekil 2.4	Ağ yapısının gösterimi	12
Şekil 2.5	Savak akımının değişen kapı gerilimiyle çizdirilmesi	14
Şekil 2.6	Savak akım ve gerilim ailesi	15
Şekil 2.7	İki kapılı devrede S parametrenin gösterimi	16
Şekil 2.8	Atlas programının giriş ve çıkış parametreleri	16
Şekil 2.9	Simülasyon küpü	17
Şekil 2.10	S_{11} ve S_{12} smith abağında gösterimi	18
Şekil 2.11	S_{22} ve S_{21} smith abağında gösterimi	18
Şekil 2.12	Veri setinde oluşturulan $ReelS_{11}$ gösterimi	19
Şekil 2.13	Veri setinde oluşturulan $SanalS_{11}$ gösterimi	20
Şekil 2.14	Veri setinde oluşturulan $ReelS_{12}$ gösterimi	20
Şekil 2.15	Veri setinde oluşturulan $SanalS_{12}$ gösterimi	21
Şekil 2.16	Veri setinde oluşturulan $ReelS_{21}$ gösterimi	21
Şekil 2.17	Veri setinde oluşturulan $SanalS_{21}$ gösterimi	22
Şekil 2.18	Veri setinde oluşturulan $ReelS_{22}$ gösterimi	22
Şekil 2.19	Veri setinde oluşturulan $SanalS_{22}$ gösterimi	23
Şekil 3.1	$ReelS_{11}$ 'in savak gerilimiyle değişimi	26
Şekil 3.2	$SanalS_{11}$ 'in savak gerilimiyle değişimi	26
Şekil 3.3	$ReelS_{12}$ 'in savak gerilimiyle değişimi	27
Şekil 3.4	$SanalS_{12}$ 'in savak gerilimiyle değişimi	27
Şekil 3.5	$ReelS_{21}$ 'in savak gerilimiyle değişimi	28
Şekil 3.6	$SanalS_{21}$ 'in savak gerilimiyle değişimi	29
Şekil 3.7	$ReelS_{22}$ 'in savak gerilimiyle değişimi	29
Şekil 3.8	$SanalS_{22}$ 'in savak gerilimiyle değişimi	30
Şekil 3.9	$ReelS_{11}$ 'in kapı gerilimiyle değişimi	31
Şekil 3.10	$SanalS_{11}$ 'in kapı gerilimiyle değişimi	32
Şekil 3.11	$ReelS_{12}$ 'in kapı gerilimiyle değişimi	32

Şekil 3.12 $SanalS_{12}$ 'in kapı gerilimiyle değişimi	33
Şekil 3.13 $ReelS_{21}$ 'in kapı gerilimiyle değişimi	34
Şekil 3.14 $SanalS_{21}$ 'in kapı gerilimiyle değişimi	34
Şekil 3.15 $ReelS_{22}$ 'in kapı gerilimiyle değişimi	35
Şekil 3.16 $SanalS_{22}$ 'in kapı gerilimiyle değişimi	35
Şekil 3.17 $ReelS_{11}$ 'in kapı genişliğiyle değişimi	37
Şekil 3.18 $SanalS_{11}$ 'in kapı genişliğiyle değişimi	37
Şekil 3.19 $ReelS_{12}$ 'in kapı genişliğiyle değişimi	38
Şekil 3.20 $SanalS_{12}$ 'in kapı genişliğiyle değişimi	38
Şekil 3.21 $ReelS_{21}$ 'in kapı genişliğiyle değişimi	39
Şekil 3.22 $SanalS_{21}$ 'in kapı genişliğiyle değişimi	40
Şekil 3.23 $ReelS_{22}$ 'in kapı genişliğiyle değişimi	40
Şekil 3.24 $SanalS_{22}$ 'in kapı genişliğiyle değişimi	41
Şekil 3.25 Yapay sinir ağlarının gösterimi	45
Şekil 3.26 Yapay sinir ağlarının parametreleri	46
Şekil 3.27 IBk algoritmasının parametreleri	47
Şekil 3.28 KStar algoritmasının parametreleri	47
Şekil 3.29 Bagging algoritmasının parametreleri	48
Şekil 3.30 REPTree algoritmasının parametreleri	49
Şekil 4.1 S_{11} parametresinin Eureka denklemleriyle doğrulanması	54
Şekil 4.2 S_{12} parametresinin Eureka denklemleriyle doğrulanması	55
Şekil 4.3 S_{21} parametresinin Eureka denklemleriyle doğrulanması	55
Şekil 4.4 S_{22} parametresinin Eureka denklemleriyle doğrulanması	56
Şekil 4.5 $ReelS_{11}$ 'in Eureka denklemleriyle doğrulanması	57
Şekil 4.6 $SanalS_{11}$ 'in Eureka denklemleriyle doğrulanması	57
Şekil 4.7 $ReelS_{12}$ 'in Eureka denklemleriyle doğrulanması	58
Şekil 4.8 $SanalS_{12}$ 'in Eureka denklemleriyle doğrulanması	59
Şekil 4.9 $ReelS_{21}$ Eureka denklemleriyle doğrulanması	59
Şekil 4.10 $SanalS_{21}$ 'in Eureka denklemleriyle doğrulanması	60
Şekil 4.11 $ReelS_{22}$ 'in Eureka denklemleriyle doğrulanması	60
Şekil 4.12 $SanalS_{22}$ 'in Eureka denklemleriyle doğrulanması	61
Şekil 4.13 Örnek durum 4: $ReelS_{12}$ 'in Eureka, Atlas ve Bagging ile doğrulanması	62
Şekil 4.14 Örnek durum 1: $SanalS_{12}$ 'in Eureka, Atlas ve Bagging ile doğrulanması	63
Şekil 4.15 Örnek durum 1: S_{11} parametresinin doğrulanması	64
Şekil 4.16 Örnek durum 1: S_{12} parametresinin doğrulanması	64
Şekil 4.17 Örnek durum 1: S_{21} parametresinin doğrulanması	65
Şekil 4.18 Örnek durum 1: S_{22} parametresinin doğrulanması	65
Şekil 4.19 Örnek durum 2: $ReelS_{11}$ 'in Eureka, Atlas ve Bagging ile doğrulanması	66
Şekil 4.20 Örnek durum 2: $SanalS_{11}$ 'in Eureka, Atlas ve Bagging ile doğrulanması	67

Şekil 4.21 Örnek durum 3: S_{11} parametresinin doğrulanması	68
Şekil 4.22 Örnek durum 3: S_{12} parametresinin doğrulanması	68
Şekil 4.23 Örnek durum 3: S_{21} parametresinin doğrulanması	69
Şekil 4.24 Örnek durum 2: S_{22} parametresinin doğrulanması	69
Şekil 4.25 Örnek durum 3: $ReelS_{21}$ 'in Eureka, Atlas ve IBk ile doğrulanması . .	70
Şekil 4.26 Örnek durum 3: $SanalS_{21}$ 'in Eureka, Atlas ve Bagging ile doğrulanması	71
Şekil 4.27 Örnek durum 3: S_{11} parametresinin doğrulanması	72
Şekil 4.28 Örnek durum 3: S_{12} parametresinin doğrulanması	72
Şekil 4.29 Örnek durum 3: S_{21} parametresinin doğrulanması	73
Şekil 4.30 Örnek durum 3: S_{22} parametresinin doğrulanması	73
Şekil 4.31 Örnek durum 4: $ReelS_{22}$ 'in Eureka, Atlas ve Bagging ile doğrulanması	74
Şekil 4.32 Örnek durum 4: $SanalS_{22}$ 'in Eureka, Atlas ve Bagging ile doğrulanması	75
Şekil 4.33 Örnek durum 4: S_{11} parametresinin doğrulanması	76
Şekil 4.34 Örnek durum 4: S_{12} parametresinin doğrulanması	76
Şekil 4.35 Örnek durum 4: S_{21} parametresinin doğrulanması	77
Şekil 4.36 Örnek durum 4: S_{22} parametresinin doğrulanması	77
Şekil 5.1 Simülasyon matrisi	79
Şekil 5.2 Giriş parametrelerin F_{min} 'e etkisi	80
Şekil 5.3 Giriş parametrelerin $Reel_{opt}$ 'e etkisi	80
Şekil 5.4 Giriş parametrelerin $Sanal_{opt}$ 'e etkisi	81
Şekil 5.5 Giriş parametrelerin g_n 'e etkisi	82
Şekil 5.6 Kararlılık bölgeleri	83
Şekil 5.7 Kapı genişliği parametresinin kararlılığa etkisi	84
Şekil 5.8 Kapı uzunluğu parametresinin kararlılığa etkisi	84
Şekil 5.9 F_{min} ve MAG parametrelerin veri setinde gösterimi	85
Şekil 5.10 F_{min} ve MAG parametrelerin seçilen transistör üzerinden gösterimi	86
Şekil 5.11 Frekans düzleminde kararlılık parametresi değişimi	87
Şekil 5.12 Frekans düzleminde kazanç parametresi değişimi	87
Şekil 5.13 Giriş ve çıkış uyumlaştırma devreleri	88
Şekil 5.14 Giriş uyumlaştırma performansı	89
Şekil 5.15 Çıkış uyumlaştırma performansı	89
Şekil 5.16 Uyumlaştırma sonrası kazanç ifadesi	90

TABLO LİSTESİ

Tablo 2.1	Transistörün fiziksel parametreleri	6
Tablo 2.2	Giriş parametrelerin değerleri	16
Tablo 3.1	Savak geriliminin değişim aralığı	25
Tablo 3.2	Savak geriliminin S parametrelerine etkisi	25
Tablo 3.3	Kapı geriliminin değişim aralığı	30
Tablo 3.4	Kapı geriliminin S parametrelerine etkisi	31
Tablo 3.5	Kapı genişliğinin değişim aralığı	36
Tablo 3.6	Kapı genişliğinin S parametrelerine etkisi	36
Tablo 4.1	Reel S_{11} parametresinin hata metrik değerleri	51
Tablo 4.2	Sanal S_{11} parametresinin hata metrik değerleri	51
Tablo 4.3	Reel S_{21} parametresinin hata metrik değerleri	52
Tablo 4.4	Sanal S_{21} parametresinin hata metrik değerleri	52
Tablo 4.5	Reel S_{12} parametresinin hata metrik değerleri	52
Tablo 4.6	Sanal S_{12} parametresinin hata metrik değerleri	53
Tablo 4.7	Reel S_{22} parametresinin hata metrik değerleri	53
Tablo 4.8	Sanal S_{22} parametresinin hata metrik değerleri	53
Tablo 4.9	Örnek durumlar	62
Tablo 5.1	Mikroşerit hatların uyumlaştırma sonrası parametreleri	88

Veri Güdümlü Metal Yarı İletken Alan Etkili Transistörün Küçük İşaret Modellenmesi

Gökhan SATILMIŞ

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Doktora Tezi

Danışman: Prof. Dr. Filiz GÜNEŞ

Eş-Danışman: Doç. Dr. Peyman MAHOUTI

MESFET transistörün küçük işaret modeli savak gerilimi, kapı gerilimi, frekans ve kapı genişliği parametreleri kullanılarak yapay öğrenme teknikleri yardımıyla modellenmiştir. Veri seti üretmek amacıyla Silvaco Atlas cihaz simülasyon yazılımı kullanılmıştır. Cihaz simülasyonunun giriş parametreleri olarak materyal tipi, katkılama oranı ve tipi, kontak tipi, kapı uzunluğu, kapı genişliği ve iş fonksiyonu parametreleri kullanılırken, çıkış parametreleri olarak küçük işaret parametreleri alınmıştır. Bu elde edilen veri seti daha sonra en yeni algoritmalar olan Yapay sinir ağları, IBk, Kstar, Bagging ve REPTree kullanılarak bağlanım işlemine tabi tutulmuştur. DataRobot firması tarafından sağlanan yazılım vasıtasıyla sembolik bağlanım işlemi gerçekleştirilmiştir ve bunun sonucunda analitik ifadeler elde edilmiştir. Ortalama mutlak hata kriter alınarak hem üretilen analitik ifadelerin hem de en yeni algoritmaların performansı, cihaz simülasyonun sonuçlarıyla karşılaştırılmıştır. Ayrıca, transistörün doğru akım analizi de gerçekleştirilmiştir. Ayrıca, transistörün kapı uzunluğu ve kapı genişliği parametreleri kullanımda olan transistör yapıları referans alınmış ve yeni bir veri seti üretilmiştir. Giriş parametresi olarak alınan kapı uzunluğu ve kapı genişliği parametresinin kazanç, kararlılık ve gürültü parametrelerine olan etkisi ayrı ayrı gösterilmiştir. Oluşturulan tüm transistörlerin minimum gürültü ve kazanç eksenlerinde performansı gösterilmiş olup, koşulsuz kararlı örnek bir transistör geometrisi seçilmiştir. Bu geometrik değerlere sahip transistör kullanılarak koşulsuz kararlı doğrusal kuvvetlendirici tasarımı eşlenik olarak mikroşerit hat kullanılarak uyumlaştırılmıştır. Tasarımın

kazanç, giriş ve çıkış uyumlaştırma grafikleri de elde edilmiştir.

Anahtar Kelimeler: Büyük veri uygulamaları, saçılma parametreleri, veri işleme teknikleri

Physical Parameter Based Data Driven Modelling of Small Signal Parameters of a Metal Semiconductor Field Effect Transistor

Gökhan SATILMIŞ

Department of Electronic and Communication Engineering
Doctor of Philosophy Thesis

Advisor: Prof. Dr. Filiz GÜNEŞ

Co-advisor: Assoc. Prof. Dr. Peyman MAHOUTI

In this work, physical parameter based modeling of small signal parameters for a metal-semiconductor field effect transistor (MESFET) was carried out as continuous functions of drain voltage, gate voltage, frequency, and gate width. For this purpose, a device simulator was used to generate a big dataset of which the physical device parameters included material type, doping concentration and profile, contact type, gate length, gate width, and work function. Five state-of-the-art algorithms: Multilayer Perceptron, IBk, K*, Bagging, and REPTree were used for creating a regression model. The symbolic regression algorithm was used to obtain analytical expressions of the real and imaginary parts of the scattering parameters using the physics-based generated dataset. The regression performances of all the algorithms and the symbolic regression were compared to references from the device simulator results. The results of the derived equations and the best algorithms were then compared to the device simulator results, with case studies for validation. The DC performance characteristics of the MESFET were also obtained. Lastly, a new dataset is generated by taking gate length into account, and PA design is realized using the new dataset. Complex conjugate matching technique is used for matching circuits and microstrip lines are chosen as transmission lines. Gain, input and output return loss performance of the design circuit are also provided.

Keywords: Big data application, scattering parameters, data mining techniques

YILDIZ TECHNICAL UNIVERSITY
GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCES

Metal yarı iletken alan etkili transistörler mikrodalga teknolojisinde özellikle 1-30 GHz frekans bandı arasında yaygın bir şekilde kullanılmaktadır. Bu transistörler ayrıca monolitik tümleşik devrelerde bütünleşik olarak veya ayrı bir devre elemanı olarak da kullanılabilir. Güç kuvvetlendirici, düşük gürültülü kuvvetlendirici, karıştırıcı, anahtarlama ve zayıflatma uygulamalarında tercih edilmektedir. Ayrıca, dijital devrelerde aktif cihaz olarak da kabul görmektedir [1–3].

1.1 Literatür Özeti

Litaratürde bulunan çalışmalar, ticari olarak piyasada bulunan düşük gürültülü kuvvetlendirici transistörlerin çok az sayıda ölçüm verisine bağlı olarak, operasyon bölgesi (frekans, savak gerilimi ve akımı) üzerinden modellenmesi şeklindedir. Bu modellemeler fiziksel üretim parametrelerinden bağımsız olarak yapay öğrenme temelli veya yenilikçi optimizasyon algoritmalar kullanılarak kısıtlı veri seti üzerinden kara kutu modeli şeklinde olmaktadır [4–14]. Fiziksel üretim parametrelerinden bağımsız olarak gerçekleştirilen bu modellemeler, transistörün iç yapısıyla ilgili bilgi vermez. Diğer bir deyişle, transistörü kapalı kutu olarak ele alır ve firmalar tarafından paylaşılan saçılma parametreleri vasıtasıyla modellemeler gerçekleştirilir. Yapay Sinir Ağlar [5, 8] ve olasılık bazlı genelleştirilmiş yapay sinir ağları [13] kara kutu modeline uygulanmıştır. Bu kara kutu modeller, düşük gürültülü kuvvetlendirici optimizasyon problemini gerçeklebilir tasarım uzayında çözmüştür. Tasarım kriterleri düşük pil tüketimi, yüksek kazanç, düşük gürültü ve giriş ve çıkışta düşük duran dalga parametreleri optimum kutuplama gerilimi altında gerçekleştirilebilir.

Kısıtlı saçılma parametre vasıtasıyla transistörün doğrusal olmayan davranışının modellenmesi oldukça zor ve genellikle bu yöntem yetersiz kalmaktadır. Bunun yanında gürültü parametreleri genellikle daha az sayıda katalog dökümanında paylaşılmaktadır. Çünkü gürültü parametrelerin ölçümü oldukça karmaşık ve zordur. Veri güdümlü modelleme algoritmaları veri büyüklüğüne göre performans

göstermektedir. Kısıtlı veriler yardımıyla transistörün doğrusal olmayan davranışı veri boyutuna duyarlı algoritmalarla modellemek oldukça yetersiz kalmaktadır. Bu zorluğu aşmanın bir yolu olarak simülasyon verisi kullanılarak transistörün doğrusal olmayan davranışı modellenenabilir. Simülasyon veri, ölçüm verisine göre oldukça ucuz ve hızlı olarak elde edebilir ve istenilen büyüklükte veri seti oluşturulabilir. Bu yöntem sayesinde transistörün doğrusal olmayan davranışı doğru bir şekilde modellenenilmektedir.

Transistörün kararlılık ve güç parametreleri, üretici firma tarafından paylaşılan katalog bilgisi tarafından temin edilip, buna göre analizler sonucunda elde edilmektedir. Bu yöntemde transistörün malzeme yapısı, kanal uzunluğu ve kanal genişliği veya saçılma parametrelerini etkileyecek üretim parametrelerini belirlenmesi mümkün olmamaktadır. Çünkü, üretici firma bu bilgileri telif hakları sebebiyle paylaşmamaktadır. Yapılan bu çalışmada ise bu üretim parametrelerin saçılma parametrelerine olan etkisi gözlenmektedir. Saçılma parametreleri vasıtasıyla hesaplanan kararlılık ve güç parametrelerine olan etkisi incelenmiş ve analizler gerçekleştirilmiştir.

1.2 Tezin Amacı

Bu çalışmada, metal yarı iletken alan etkili transistörün fiziksel parametreleri vasıtasıyla saçılma parametreleri yapay öğrenme teknikleri yardımıyla modellenmiştir. Fiziksel parametreler sırasıyla malzeme tipi, katkılama oranı ve tipi, kontak tipi, kapı uzunluğu ve genişliği, iş fonksiyonu parametreleridir. Bu amaçla veri seti üretimi için fiziksel cihaz simülasyonu kullanılmıştır. Bu cihaz simülasyonu yardımıyla yüzlerce simülasyon gerçekleştirilmiş ve 17010 satır sayısına sahip bir veri seti üretilmiştir. Bu veri seti ticari transistörlerin katalog bilgisiyle karşılaştırılınca büyük veri olarak nitelendirilebilir. Bu veri seti daha sonra eşit olarak bölünmüş ve rastlantısal olarak karıştırılmıştır. Bölünen bu kısımlar eğitim ve test veri seti olarak bağlanım işleminde kullanılacaktır.

Literatürde yaygın olarak kullanılan sınıflandırma algoritmalarını sınıflandırma amacıyla kullanılmıştır. Bu algoritmalar sırasıyla yapay sinir ağları, IBk, K*, Bagging ve REPTree şeklindedir. Bir diğer uygulanan sınıflandırma algoritması ise sembolik bağlanımdır. Bu algoritma yardımıyla saçılma parametrelerin reel ve sanal kısımlarını analitik olarak ifade edilmektedir. Değişken olarak ise savak gerilimi, kapı gerilimi, kapı genişliği ve frekans şeklindedir. Ortalama mutlak hata fonksiyonu (MAE) yardımıyla sınıflandırma modellerinin doğruluğu cihaz simülasyonu sonuçları karşılaştırılarak ölçülmüştür. En düşük ortalama mutlak hata değeri 0.05 seçilmiştir.

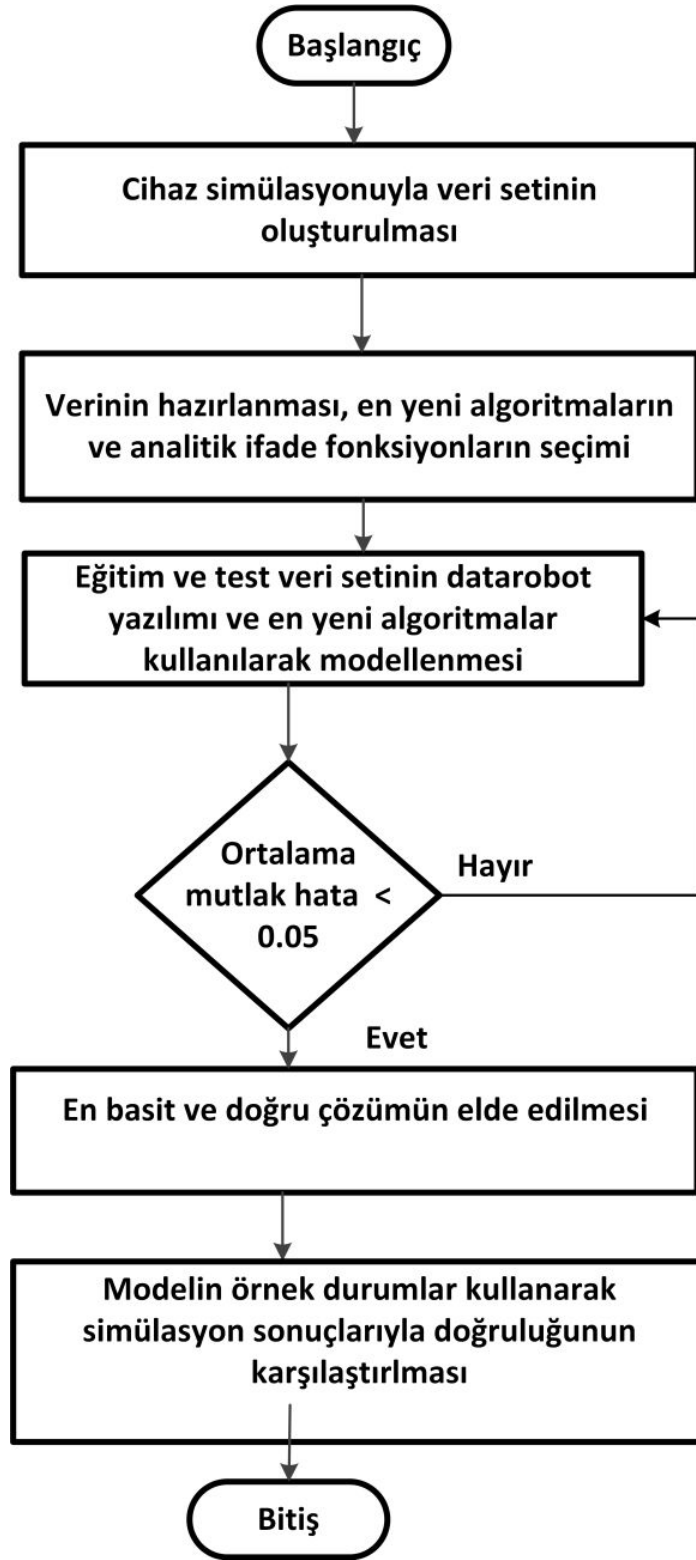
Bu deęer literatürde kabul görmüş bir deęerdir [8, 15]. Ayrıca, ortalama karasel hata (MSE), kök ortalama karasel hata (RMSE) ve Pearson Çarpım Moment Korelasyon Katsayısı (Rs_q) hata metrik fonksiyonlarıyla da oluşturulan modellerin doğruluęu gösterilmiştir.

1.3 Hipotez

Çalışma planının akış diyagramı şekil 1.1’de gösterilmiştir. İlk adım olarak veri setinin üretilmesidir. İkinci adımda verinin temizlenmesi, önişleme tabi tutulmasıdır. Bu aşama doğru bir model oluşturmak için oldukça kritik bir öneme sahiptir. Temiz veri setiyle model oluşturmak modelin performansını doğrudan etkiler. Literatürde farklı oranlarda eğitim ve test olarak veri seti bölünmektedir. En yaygın olarak kabul gören oran yüzde 80 eğitim ve yüzde 20 test şeklinde olmasıdır. Genel olarak eğitim veri setinin büyüklüğü, test veri setinden büyük olması istenir. Bu çalışmada bu yaklaşım yerine, eğitim ve test veri setinin büyüklüğü eşit olarak alınmıştır. Bu aşamadan sonra DataRobot yazılımı kullanılarak sembolik bağlanım yardımıyla analitik ifadeler türetilmeye çalışılmıştır. Bu modelleme aşaması döngüsel bir yapıya sahip olup, istenilen kriter sağlanana kadar modelleme aşaması devam etmektedir. Aynı şekilde, en yenilikçi sınıflandırma algoritmaları yardımıyla da modelleme aşaması devam etmektedir. Bir sonraki aşama, elde edilen modellerin hata deęerinin simülasyon sonuçlarıyla karşılaştırıp, üretilen modelin yeterliliğini göstermektir.

Ayrıca, 8 farklı örnek durum oluşturularak modelin doğruluęu aynı şekilde cihaz simülasyonu sonucuyla karşılaştırılmıştır. Saçılma parametreleri reel ve sanal olarak oluşturulduğundan, 4 farklı saçılma parametresi için 8 farklı örnek durum oluşturulmuştur. Oluşturulan bu örnek durumlar, veri setinin dışından seçildiğinden modelin gerçek performansını göstermede yeterli bir kriter olduęu söylenebilir. Bu örnek durumlardan üzerinden 2 farklı sonuçla karşılaştırılmıştır. İlk olarak elde edilen analitik ifadeler ve ikinci olarak en düşük hata oranına sahip algoritmayla karşılaştırılmıştır. Diğer bir deęişle, beyaz kutu ve kara kutu modelleri cihaz simülasyon sonucuyla karşılaştırılmıştır. Beyaz kutu modeli olarak literatürde yer almasının anlamı, modelde kullanılan bütün parametrelerin açık ve anlaşılır bir şekilde ifade edilmesidir. Diğer yandan kara kutu modelinde ise tam tersi, model parametreleri ve birbirleri arasındaki bağıntılar açık ve net bir şekilde ifade edilememesi şeklindedir. Bu iki tür modelleme yaklaşımının performansı örnek durumlar üzerinden karşılaştırılmıştır.

Son olarak sabit kapı ve savak gerilimi altında kapı uzunluęu ve kapı genişlięi parametrelerini deęiştirerek yeni bir veri seti oluşturulmuştur. Transistör



Şekil 1.1 Çalışmanın akış diyagramı

geometrisiyle ilgili olan kapı uzunluęu ve kapı genişlięi parametrelerinin iki kapılı gürültü parametreleri olan F_{min} , Z_{opt} ve g_n etkisi gözlenmiştir. Kapı uzunluęu ve genişlięi parametrelerin, azami alınabilir güç ve kararlılık parametrelerine olan etkisi de gösterilmiştir. Elde edilen bu veri setinden tasarım kriterleri seçilip örnek bir doğrusal kuvvetlendirici tasarımı gerçekleştirilmiştir.

2 MESFET TRANSİSTÖR

MESFET transistörler 1-30 GHz frekans bandı arasında yaygın bir şekilde kullanılmaktadır. Bu uygulamalarda MESFET transistörlerinin doğru akım, küçük sinyal ve büyük sinyal modelleri gerekmektedir [3]. Fiziksel parametre bazlı modellemeler, eşdeğer devre modellemelerine göre oldukça karmaşıktır. Çünkü bu modeli oluşturmak için analitik çözümler uygulanarak kısmi diferansiyel denklemlerinin çözümü gerekmektedir ve bu denklemler sayısal yöntemler vasıtasıyla çözülebilmektedir. Bu karmaşık yapıyı sayısal yöntemlerle çözmek için gelişmiş bilgisayar mimarisine ihtiyaç duyulmaktadır ve her geçen gün gelişen işlemci yapısıyla karmaşık problemler transistör geometrisine bağlı olarak değişen sürelerde çözülebilmektedir.

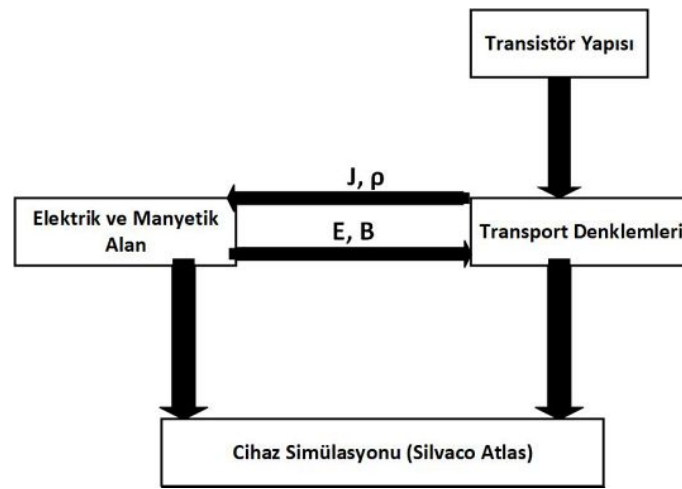
Geleneksel olarak mikrodalga transistörler eşdeğer devre üzerinden elektriksel davranışları modellenmektedir. Eşdeğer devre üzerindeki doğrusal ve doğrusal olmayan elektronik elemanlar yardımıyla, transistör doğru bir şekilde modellenmesi amaçlanmaktadır. Ne yazık ki, bu tür modellemeler transistörün fiziksel yapısıyla ilgili bilgi vermezken, aynı zamanda sınırlı bir bantta geçerlidir. Buna karşılık, transistörün fiziksel parametreleriyle oluşturulmuş modellemeler transistörün hem elektriksel hem de fiziksel davranışı daha iyi açıklar. Örnek olarak, transistörün fiziksel parametrelerini malzeme tipi, katkılama oranı, profili, tipi, transistör geometrisi, iş fonksiyonu gibi parametreler olarak tanımlanabilir. Bu çalışmada kullanılan transistörün fiziksel parametreleri Tablo 2.1'de bulunabilir.

Tablo 2.1 Transistörün fiziksel parametreleri

Yarı iletken malzeme tipi	GaAs	
Katkılama oranı, profili ve tipi	kaynak	düzgün, oran= $1.0e17$ n tipi
Katkılama oranı, profili ve tipi	savak	düzgün, oran= $1.0e15$ p tipi
Kapı kontak tipi	schottky kontak	iş fonksiyonu= 5.5 (eV)

Kapı uzunluğu MESFET transistörlerde kesim frekansını ve akım kazancını etkileyen parametreler arasındadır ve genel olarak $0.1 \mu\text{m}$ ile $1 \mu\text{m}$ arasında yer alır. Kısa kapı

uzunluğu kesim frekansın yüksek olması istenilen uygulamalar için seçilirken uzun kapı uzunluğu ise kesim frekansı düşük olan uygulamalar için belirlenir. Kapı genişliği ise toplam akım miktarını ve dolayısıyla transistörün güç kapasitesini belirlemektedir. Kapı genişliği genel olarak $10\ \mu\text{m}$ ile bir kaç mm arasında değişmektedir. Elektronlar, kaynak elektrotundan savak elektrotuna kapı elektrotu üzerinde bulunan dar bir iletken kanal üzerinden geçerek, transistör iletim haline geçer. Yarı iletken malzeme üzerine yerleştirilen kaynak ve savak elektrotu rezistif tipi bir kontak iken, kapı elektrotu ise schottky tipi bir kontaklıdır. Bu tür bir kontak yapısı sayesinde kanal üzerinden geçen elektronlar iş fonksiyonu denklemiyle akış miktarı belirlenebilir. Transistör yapısının teorik denklemler vasıtasıyla birbiriyle olan ilişkisini şekil 2.1’de verilmiştir [16].



Şekil 2.1 Transistör yapısının çözüm metodu

Şekil 2.1’den görüleceği üzere ilk adım olarak transistör yapısı, geometrisi belirlenmelidir. Bu kısımda yarı iletken malzeme tipi, iş fonksiyonu, kapı uzunluğu ve genişliği gibi parametreler içermektedir. Bu adımdan sonra transistörün hem doğru akım hem de mikrodalga frekansında küçük sinyal işaret modelini oluşturabilmek için bir dizi denklem setine ihtiyaç vardır. Bu denklem seti kısaca transport denklemleriyle ve elektromanyetik alanları temsil etmektedir. Bu denklemler vasıtasıyla hesaplamak istediğimiz değerler ρ , J , E ve B şeklindedir. Bu aşamalar ilk olarak teorik ifadelerle anlatıldıktan sonra bu işlemi yapabilen ticari yazılımlar anlatılacaktır. Ticari yazılım olarak Silvaco firmasının Atlas Cihaz simülasyon programı kullanılmıştır.

2.1 Teorik Çalışma

Yarı iletken fiziği denklemlerini kullanılarak transistörlerin doğru akım, küçük veya büyük işaret modeli elde edilir. Bu denklemler akım yoğunluğu, süreklilik ve poisson denklemleri ve Faraday yasası şeklindedir. Bu denklemler sınır koşulları altında eş

zamanlı olarak çözüldüğü takdirde transistörün çalışma bölgesi doğru bir şekilde elde edilebilir.

Transistörün istenilen modelinin elde edilebilmesi için bu denklemler farklı yaklaşımlar kullanılarak çözülmektedir. Kompakt model, drift-difüzyon, hidrodinamik model ve Boltzman modeli yaklaşımları bunlardan bazılarıdır. Bu çalışmada drift-difüzyon modeli yaklaşımı kullanılarak hesaplamalar yapılmıştır. Bu yaklaşımın kullanılmasının sebebi transistör boyutu elektriksel olarak çalışma frekansındaki dalga boyuna göre büyük olmasıdır. Diğer bir deyişle RF dalga periyodu yük gevşeme süresinden daha uzun olmasıdır. Drift-difüzyon yaklaşımı akım yoğunluğu denkleminde drift ve difüzyon etkilerini ayrı ayrı ele almaktadır.

Elektronlar için akım yoğunluğu denklemi aşağıda belirtilmiştir.

$$J_n = \rho n \mu_n E + \rho D_n \nabla n \quad (2.1)$$

Denklem 2.1'de görüldüğü üzere, ilk terim elektronların uygulanan elektrik alanıyla oluşturduğu akım yoğunluğunu gösterir. İlk terime drift etkisinden kaynaklanan akım yoğunluğu da denebilir. İkinci terim ise difüzyon etkisinden kaynaklanan akım yoğunluğunu ifade eder. İkinci terimde akım yoğunluğu elektron yoğunluğunun gradyanı etkisini göstermektedir.

Bozuk olmayan yarı iletken malzemeler için difüzyon katsayı ile elektron mobilitesi arasındaki ilişki Einstein bağıntısıyla bulunabilir. Denklem 2.2'de bu bağıntı gösterilmiştir.

$$D_n = \frac{k T}{\rho} \mu_n \quad (2.2)$$

Elektron akışının doğrusal veya düşük elektrik alan ortamlarında denklem 2.1 kullanılarak akım yoğunluğu hesaplanmaktadır. Bu ortamlarda elektron hızıyla elektrik alan arasında direk bir bağlantı vardır ve bu bağlantı denklem 2.3 gösterilmiştir.

$$v = \mu_n E \quad (2.3)$$

Yüksek elektrik alan ortamlarında veya transistörün büyük işaret modeli olarak da bahsettiğimiz çalışma şartlarında elektron hızı doyuma ulaşır. Elektron hızıyla elektrik alan arasındaki bağıntı denklem 2.3'de gösterildiği gibi doğrusal olmayıp,

denklem 2.4 gösterildiği gibi doğrusal olmayan bir fonksiyona dönüşür.

Elektronlar için süreklilik denklemi denklem 2.4 gösterilmiştir.

$$\frac{\partial n}{\partial t} = \frac{1}{\rho} \nabla \cdot J_n + G_n \quad (2.4)$$

Eşitliği sol tarafında bulunan belli bir hacimdeki yükün zamana göre türevi, o hacimden dışarıya doğru çıkan yüke eşittir. Bu ifadeye diğer bir deyişle yükün korunumuda denilebilir. Belli bir hacimdeki yük G_n vasıtasıyla üretilebilir. Poisson denklemi ve Faraday yasası ile beraber transistörün cihaz simülasyonunu gerçekleştirebilmek için gerekli denklem setini elde etmiş oluyoruz. Poisson denklemi 2.5 gösterilmiştir.

$$\nabla \cdot E = \frac{\rho}{\epsilon} (N_d - n) \quad (2.5)$$

Faraday yasası ise denklem 2.6 verilmiştir.

$$\nabla \times E = -\frac{\partial B}{\partial t} \quad (2.6)$$

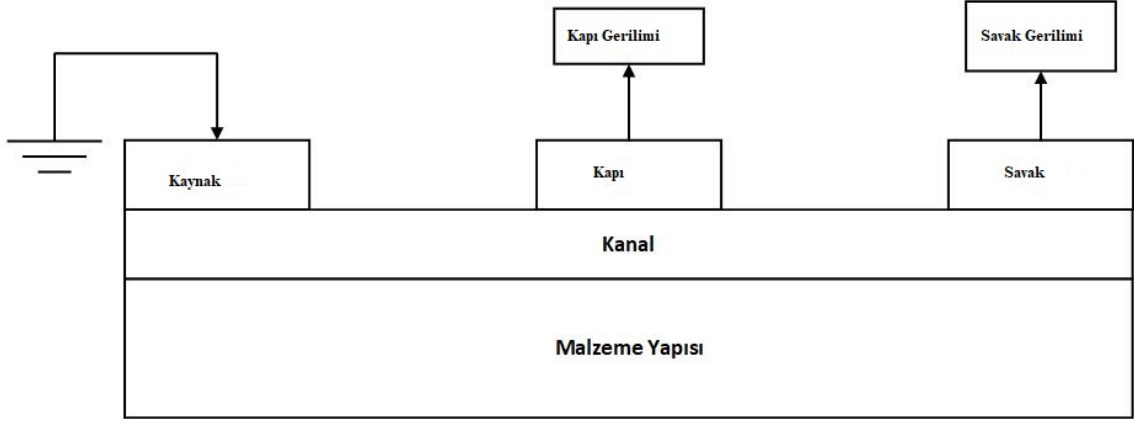
Manyetik alan genellikle ihmal edilir ve bu durumda denklem 2.6'nın sağ tarafı sıfır olur. Bu sayede elektrik alan değeri, elektrik potansiyelin uzaya göre gradyanın alınması ile denklem 2.7 bulunabilir.

$$E = \nabla \cdot V \quad (2.7)$$

Fiziksel bazlı MESFET modeli oluşturabilmek için yukarıda denklemlerin transistör geometrisine uygulanması ve sınır koşulları altında çözülmesi gerekmektedir. Basit bir MESFET transistör geometrisi şekil 2.2'de gösterilmiştir. Eş zamanlı olarak çözülen bu denklem setleri sonucunda transistörün akım-gerilim davranışı elde edilebilmektedir [17].

2.2 Uygulama Çalışması

MESFET transistör yapısının doğru akım modeli, küçük işaret ve büyük işaret modellerini elde edebilmek için sayısal yöntemler kullanılmaktadır. Sonlu farklar ve sonlu elemanlar yöntemiyle iki boyutta transistör yapısı ağlara ayrılarak



Şekil 2.2 MESFET transistörün geometrik yapısı

çözölebilmektedir. Bu amaç doğruıtusunda yarı iletken simölasyon programı olarak Silvaco Atlas yazılımı kullanılmıştır [18].

2.2.1 Cihaz Simölasyon Programı

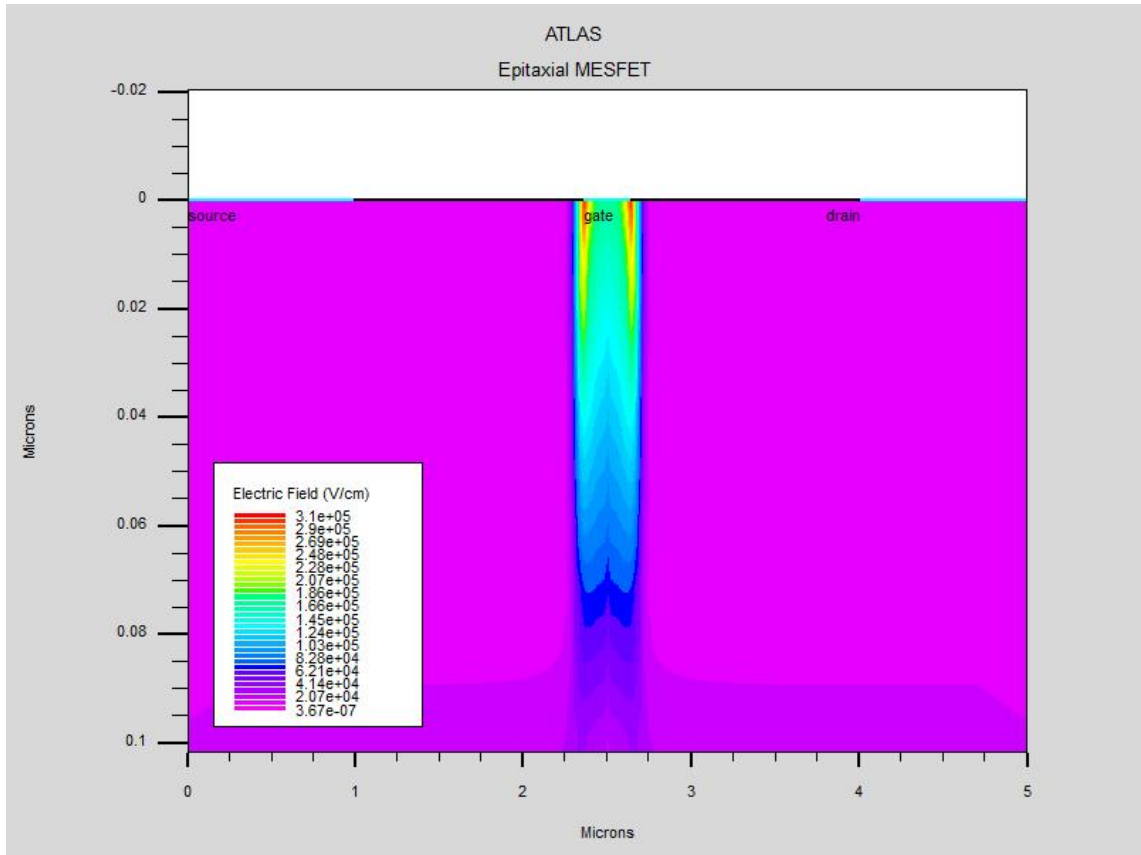
Fiziksel bazlı cihaz simölasyonu programı olan Atlas, herhangi bir yapının elektriksel özellikleri ortaya çıkaran bir programdır. Bunun için yapıyı 2 boyutta veya 3 boyutta ağırlara ayırarak çözüm yapmaktadır. Progam ‘go atlas’ şeklinde bir kod ile çalıştırılabilir. Atlas giriş olarak fiziksel yapı, fiziksel model, sayısal çözüm metodu ve çalışma gerilimine ihtiyaç duyar. Atlas programı, bu giriş parametreleri aldıktan sonra 3 farklı çıkış dosyası vermektedir. Bunlar sırasıyla Runtime çıkış dosyası, log dosyası ve fiziksel yapı dosyasıdır. Runtime çıkış dosyası programın çalışma esnasında gerçekleştirilen adımlar, uyarılar ve her bir adımdaki çözüm adımlarından oluşur. Log dosyası ise yapının gerillim ve akım değerlerini tutar. En son olarak fiziksel yapı dosyası ise çözüm değışkenlerinin 2 boyutlu ve 3 boyutlu alanda çözüm bilgisini tutar. Bu çözüm değışkenlerini TonyPlot üzerinden grafiksel olarak gösterilebilir. Atlas fiziksel yapıyı ağırlara ayırır ve ağ sıklığına göre doğruluk değeri artabilir ama diğer yandan sayısal verimlilik azalabilir. Bu iki değışkeni optimumu değerde tutanabilmek için sadece kritik alanlara sık ağ atıp, diğer yerlere daha geniş ağlar atılabilir. Atlas çıkış dosyası olan yapı dosyası belirlenen gerilim altında olan transistörün bir resmini gösterir. Buradan doping profilini, band parametrelerini, elektron konsantrasyonlarını ve elektrik alanına ulaşılabilir. Diğer bir çıkış dosyası olan Atlas log dosyasında uç karakteristiklerini saklar. Bunlar DC simölasyon için elektrotların gerilim ve akım değışkenleridir. AC simölasyonunda ise küçük işaret frekansı, kondüktans ve kapasitans değışkenleri kayıt edilir.

Atlas yazılımı fiziksel bazlı bir cihaz simölasyon programıdır. Fiziksel bazlı cihaz simölasyon programları bir yapının belli bir gerilim altındaki elektriksel özellikleri

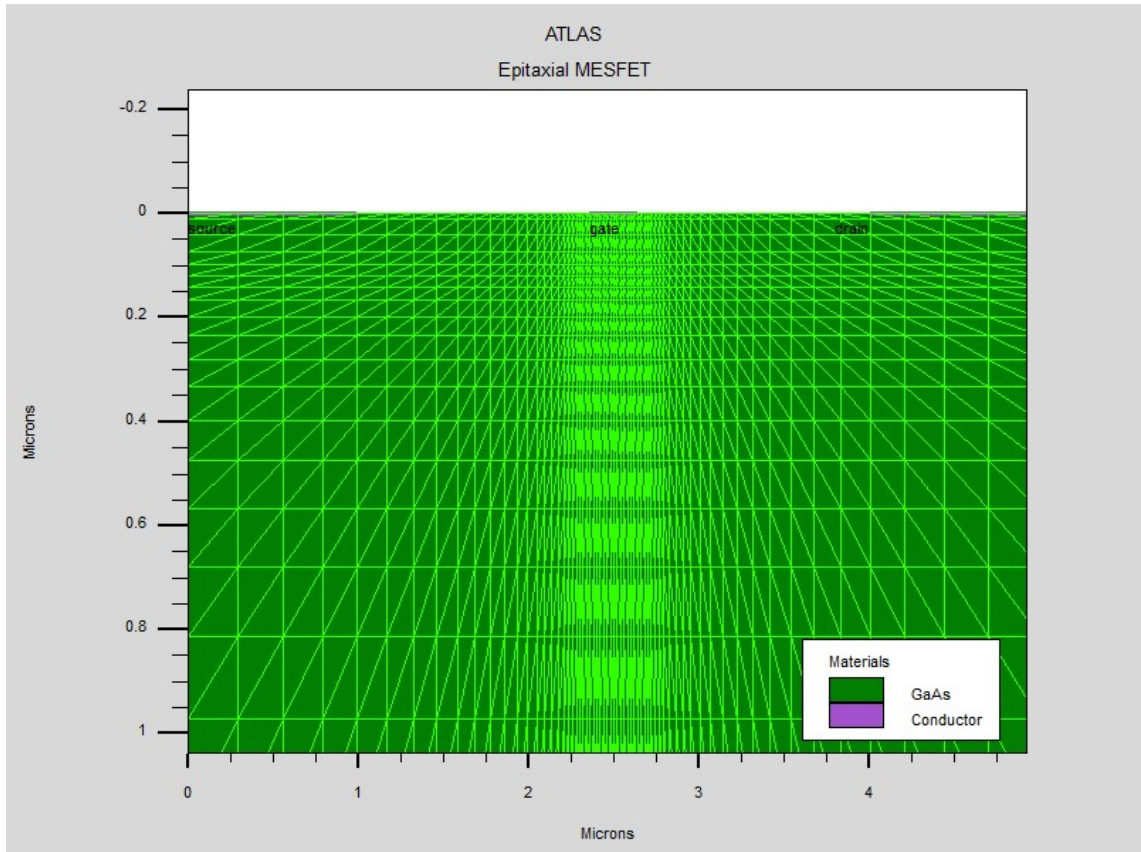
verir. Atlas programı, bu yapıdaki yüklerin hareketini sayısal yöntemler kullanarak çözer. Bunun sonucunda yapının elektriksel özellikleri DC, AC veya transient şartları altında elde edilir. Fiziksel bazlı cihaz simülatörlerin en büyük avantajı tahmin edilebilir ve transistörün iç yapısıyla ilgili bilgi vermesidir. Ayrıca fiziksel bazlı simülasyon gerçek bir deneyi gerçekleştirmeye göre hem ucuz hem de hızlı bir çözüm sunar. Diğer bir avantajı ise deney sırasında ölçülmesi zor belki imkansız olan değerler bu simülasyon programı vasıtasıyla elde edilebilir.

Atlas programı, giriş dosyasını alarak bir çıkış dosyası üretir. Giriş dosyası içinde bir çok komut bulunmaktadır, bu komutlar çalışma gerilim değerini, fiziksel yapıyı, modeli ve parametreleri temsil eder. Giriş dosyasını hazırladıktan sonra Atlas programının çalıştırılmasıyla 3 farklı dosya üretilir. Bu dosyalar log dosyası, yapı dosyası ve runtime dosyası şeklindedir. Runtime dosyası simülasyon programı çalıştığı zaman meydana gelen uyarıları, hataları içerir. Bu dosyayı daha sonra hataların kaynağını bulabilmek için metin dosyası olarak kayıt edebilmek mümkündür. Log dosyasında gerilim ve akım değerleri mevcuttur. Son olarak yapı dosyasında ise 2 boyutlu çözüm dosyası bulunur.

Transistör geometrisindeki ağ yapısı doğruluğu ve sayısal verimliliği etkiler. Çok sık ağ yapısının olduğu yerlerde doğruluk yüksek iken sayısal verimlilik düşük olur. Benzer şekilde seyrek ağ yapısının olduğu yerlerde ise doğruluk düşüken sayısal verimlilik yüksek olur. Bu yüzden transistör geometrisinde sadece kritik bölgede sık ağ yapısı kullanıp, diğer yerlerde seyrek ağ yapısını kullanmak, bu sayısal problemi çözmek için en verimli yol olacaktır. Transistörün çalışma durumunda elektrik alan dağılımı şekil 2.3'de gösterilmiştir. Buradan anlaşılacağı üzere kritik bölge olarak kapı elektrotunun çevresini düşünebiliriz. Bu çalışmada kullanılan MESFET transistörün kritik bölgelerde sık ağ yapısının olduğu, diğer yerlerde ise daha seyrek olarak yerleştirilen ağlar şekil 2.4 verilmiştir. Bu transistör X ve Y eksenleri üzerinde gösterilmiş olup, birimler μm olarak verilmiştir.



Şekil 2.3 Elektrik alanın gösterilmesi



Şekil 2.4 Ağ yapısının gösterimi

Atlas komutları belli bir sıralama içinde kullanılması gerekmektedir, aksi takdirde hata mesajlarını runtime dosyasında alınabilir ve sonuç elde edilemez. Atlas komutlarının sırası ve örnek komutlar aşağıda liste olarak verilmiştir.

1. Transistör Yapısı : ağ yapısı, bölge, elektrot, katkılama
2. Malzeme Özellikleri: malzeme, model, kontak, arayüz
3. Sayısal Çözüm Yöntemi: metot
4. Çözüm Dosyaları: loglama, çözüm, yükleme, kayıt etme
5. Sonuç Analizi: elde etme, grafiksel arayüz

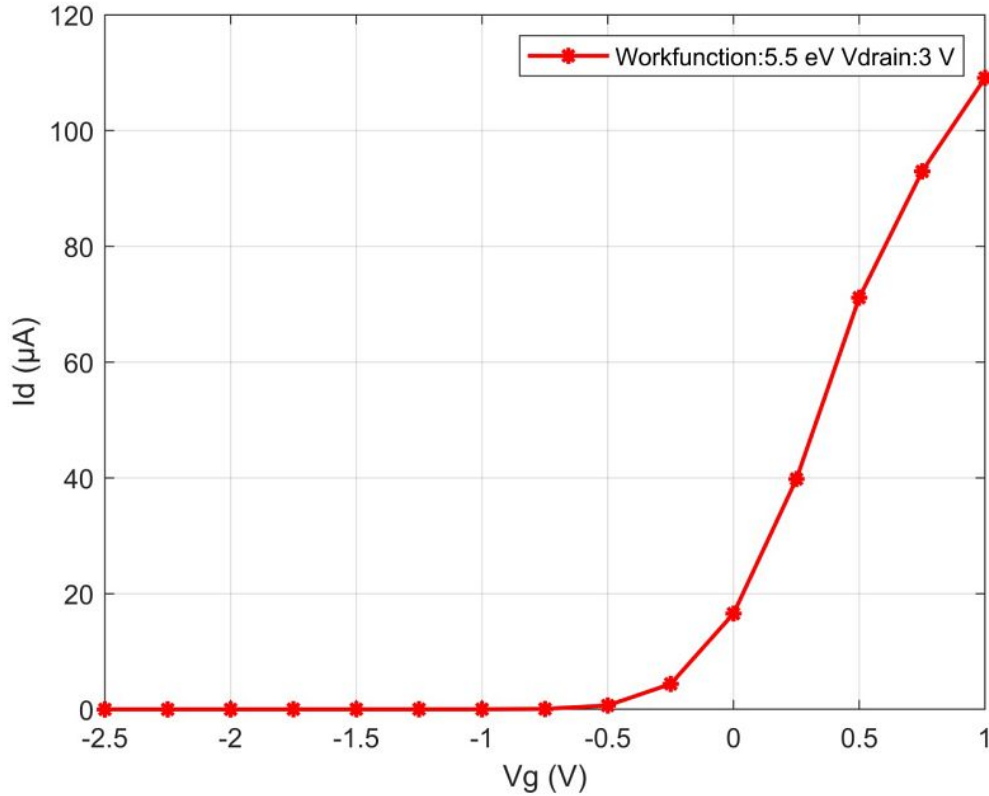
Yukarıda bahsedilen Atlas komutları sırasıyla gerçekleştirilmesi sonucu bir cihaz simülasyonu gerçekleştirilebilir. İlk komut olarak transistör geometrisi ağlara ayrılır, elektrotlar yerleştirilir ve katkılama oranı, tipi belirlenir. Bu aşamada transistör geometrisi de oluşturulmuştur. İkinci komutta malzeme özellikleri ve kullanılacak modeller belirlenir, kontak tipi ve değeri belirlenir. Aynı zamanda kapı iş fonksiyonu hesaplanarak değeri yazılır. Üçüncü komutta, Newton veya Gummel sayısal çözüm metodu belirlenir. Diğer bir deyişle tek bir DC gerilim altında AC analizin istenilen frekans bandı boyunca gerçekleştirilir. Dördüncü komutta elde edilen kondüktans ve kapasitans değerlerinin saçılma parametrelerine dönüşümü gerçekleştirilir ve dış dünyaya aktarılacak çözüm dosyaları seçilir. Son komutta, sonuçları atlas içinde görselleştirme yapmak için bu komutlar kullanılır. İstenirse saçılma parametreleri Tonyplot yardımıyla bir excel dosyasına aktarılabilir.

MESFET transistörün cihaz simülasyonunun gerçekleştirirken katkılama tipi ve elektrot yerleşimi ilk satırdaki komutlar vasıtasıyla gerçekleştirilir. Elektrot komutu sayesinde kaynak, kapı ve savak elektrotların yerleşimi ve boyutu belirlenir. İkinci satırdaki komutlardan kontak kullanılarak, bu yerleştirilen elektrotların rezistif tipi veya schottky tipi olan kapı elektrotu seçilir. Ayrıca iş fonksiyonu analitik ifadesiyle hesaplanıp, değeri tanımlanabilir. İş fonksiyonun analitik ifadesi denklem 2.8'de bulunabilir [19]. $V_{applied}$ ifadesi kapı elektrotuna uygulanan gerilimi ifade eder. Diğer parametreler malzemenin özellikleriyle ilgilidir ve dışarıdan uygulanacak bir gerilimle değiştirilemezken $V_{applied}$ değişkeni yardımıyla iş fonksiyonun değeri değiştirilebilir. Yine aynı satırdaki model komutta GaAs malzemeye özel model tipleri belirlenmiştir. Sayısal çözüm yöntemi satırındaki method komutuyla Gummel-Newton metodu seçilmiştir. Bu komutta ilk olarak Gummel yöntemi kullanılarak mevcut yapı çözülür ve eğer yakınsama sağlanamazsa Newton metodu geçerli. Son iki satırdaki komutlarla çözümler dış dünyaya aktarılır ve daha sonra büyük veri seti oluşturmak

için kullanılacaktır.

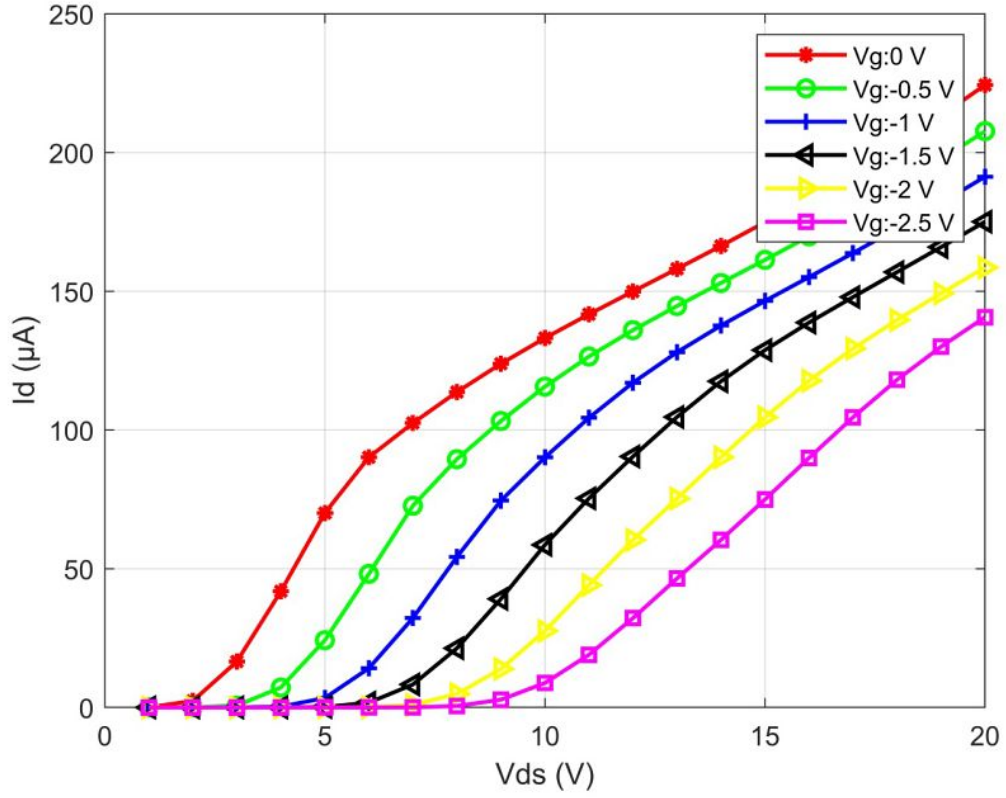
$$isfonksiyonu = \chi_s + \frac{E_g}{2q} + k * \frac{T_L}{2q} * \ln * \frac{N_c}{N_v} + V_{applied} - \Psi_s \quad (2.8)$$

Atlas simülasyon programı ilk olarak transistör yapısının DC analizini gerçekleştirdikten sonra üstüne AC analizi gerçekleştirir ve buna bağlı parametreleri hesaplayabilir. Bir transistörün DC analizi iki tür grafik üzerinden gösterilir. İlk olarak transistörün kapı gerilimiyle savak akımı arasında ilişkidir. Şekil 2.5’da y eksenini savak akımını ve x eksenini kapı gerilimi ifade eder. Artan kapı gerilimiyle transistör kapalı durumdan açık duruma gelir ve sonra doyuma ulaşır. Diğer bir deyişle transistörden akan savak akımı sıfırdan başlayarak belli bir değere kadar yükselir ve daha sonra kapı gerilimi artmasına rağmen yükselmez, doyuma ulaşır.



Şekil 2.5 Savak akımının değişen kapı gerilimiyle çizdirilmesi

İkinci tür grafikte ise şekil 2.6’de y eksenini savak akımı temsil ederken x eksenini savak gerilimi ifade eder. Bu grafikte tek bir grafikten ziyade birden çok grafik üst üste çizdirilmiştir. Üst üste çizdirilen grafikler çizdirilirken değişken parametre ise kapı gerilimidir. Bu tür grafikte x eksenini sabit olduğunu kabul edersek değişen kapı gerilimiyle savak akımı arasındaki doğrusal olmayan ilişki gösterilmiş olur.

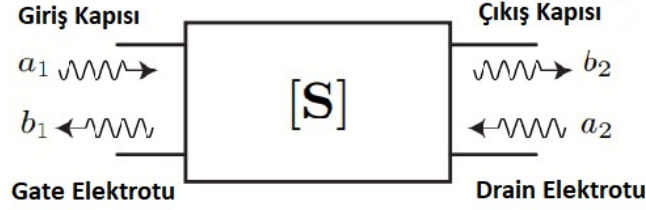


Şekil 2.6 Savak akım ve gerilim ailesi

Akım değerleri hesaplandıktan sonra her bir elektrot arasındaki kondüktans ve kapasitans değerleri hesaplanır. Bu hesaplanan değerler bir metin dosyası olarak runtime ortamında dışarıya aktarılabilir. Ayrıca, saçılma parametreleri hesaplayabilmek için AC analiz sırasında s.param komutunun kullanılması gerekmektedir. Bu hesaplama sırasında mevcut transistör iki kapılı bir devre gibi düşünülür. Giriş kapısı olarak kapı elektrodu ve çıkış kapısı olarak ise savak elektrotu olarak hesap yapılır. İki kapılı bir devrenin şematik gösterimi şekil 2.7’de gösterilmiştir.

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (2.9)$$

Şekil 2.7’de görüleceği gibi S parametreleri gelen, yansıyan ve iletilen dalgalar üzerinden bize bilgi verir. Bu ilişki denklem 2.9’de verilmiştir. İki kapılı devrede 4 adet S parametresiden bahsedebiliriz, bunlar sırasıyla S_{11} , S_{21} , S_{12} ve S_{22} parametreleridir. S parametreleri karmaşık sayı oldukları için reel ve sanal kısımdan oluşurlar. Bu yüzden toplam parametre sayısı 8 adet olur.



Şekil 2.7 İki kapılı devrede S parametrenin gösterimi

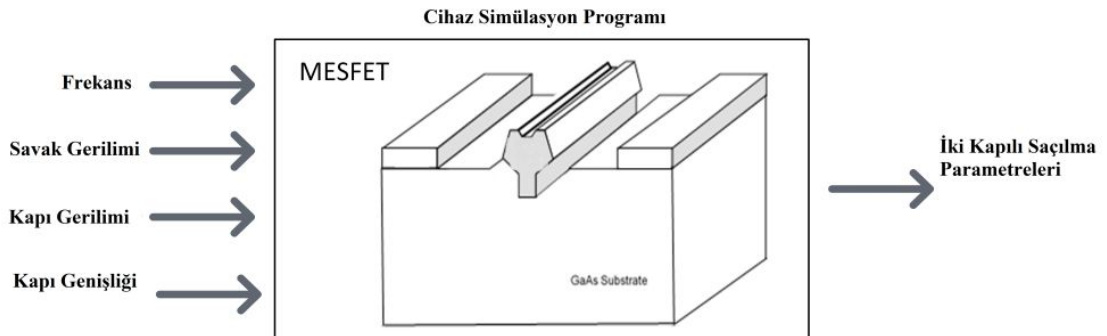
2.3 Veri Seti Oluşturulması

MESFET transistörün S parametreleri tablo 2.2 verilen kapı genişliği, frekans, savak ve kapı gerilimi değerleri kullanılarak Silvaco Atlas yazılımı yardımıyla hesaplanmıştır. Şekil 2.8 belirtiliği Atlas programının giriş ve çıkış parametreleri verilmiştir. Her bir kapı genişliği, savak gerilimi ve kapı gerilimi altında S parametreleri hesaplandığında frekans bandı boyunca 21 adet S parametresi hesaplanmış olur.

Tablo 2.2’da verilen kapı genişliği, kapı ve savak geriliminin değişken sayılarını çarpıldığında toplam simülasyon sayısı 810 olur. Bu veri setini oluşturmak için gerekli simülasyon sayısını 21 değeri ile çarpıldığı zaman veri setinin boyutunu 17010 olarak buluruz. Bu boyuttaki bir veri seti transistör firmaları tarafından katalog bilgisinde paylaşılan veri setinden oldukça büyüktür ve transistörün doğrusal olmayan davranışı açıklamak için yeterli bir boyuta sahiptir.

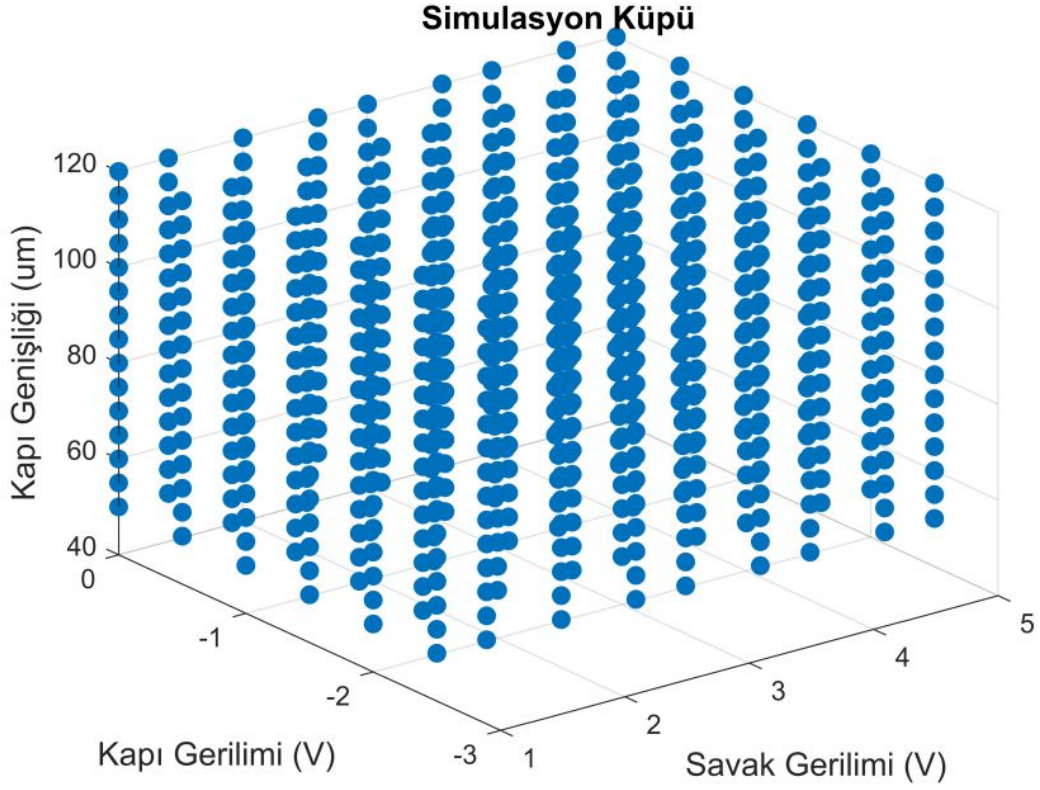
Tablo 2.2 Giriş parametrelerin değerleri

Parametreler	Değerler	Örnek Sayısı
Kapı genişliği (μm)	50,55, 60, 65, 70, 75, 80, 85, 90, 95, 100, 105, 110, 115,120	15
Savak gerilimi (V)	1, 1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5	9
Kapı gerilimi (V)	0, -0.5, -1, -1.5, -2, -2.5	6
Frekans (GHz)	1, 3, ..., 41	21
İş fonksiyonu(eV)	5.5	1
Veri setinin boyutu	15*9*6*21*1	17010



Şekil 2.8 Atlas programının giriş ve çıkış parametreleri

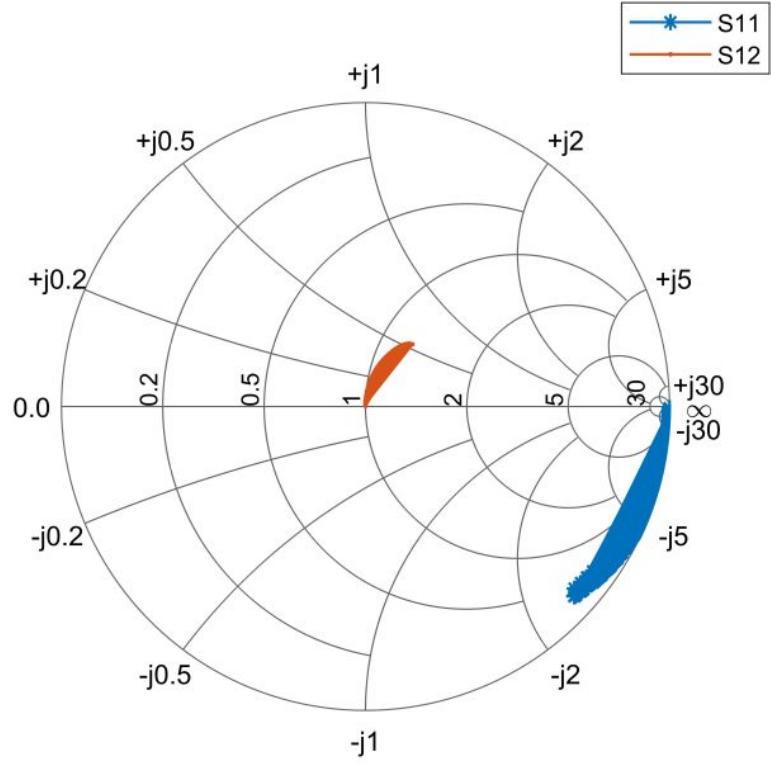
Transisörün bütün bölgeleri şekil 2.5 ve şekil 2.6’de gösterilmiştir. Bunlar kapalı, açık(doğrusal) ve saturasyon(doğrusal olmayan) şeklindedir. Tablo 2.2’da gösterildiği üzere kapı ve savak gerilim değişkenlerinin değer aralığı bu bölgeleri kapsayacak şekilde seçilmiştir. Sonuç olarak üretilen veri seti transistörün bütün bölgeleri kapsadığı için yeterli olacağı planlanmaktadır. Ayrıca, 2.9’de giriş parametrelerinin değişim aralığı 3 boyutlu uzayda gösterilmiştir.



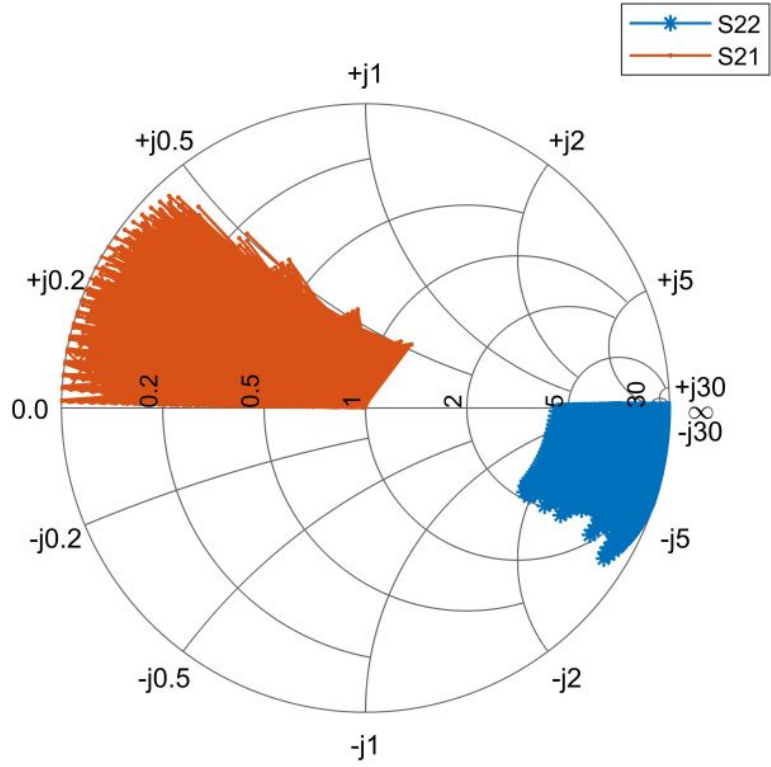
Şekil 2.9 Simülasyon küpü

Şekil 2.9’de gösterilen simülasyon matrisi sonucunda üretilen S_{11} ve S_{12} parametreleri smith abağı üzerinden şekil 2.10’de gösterilmiştir.

Şekil 2.9’de gösterilen simülasyon matrisi sonucunda üretilen S_{22} ve S_{21} parametreleri smith abağı üzerinden şekil 2.11’de gösterilmiştir.

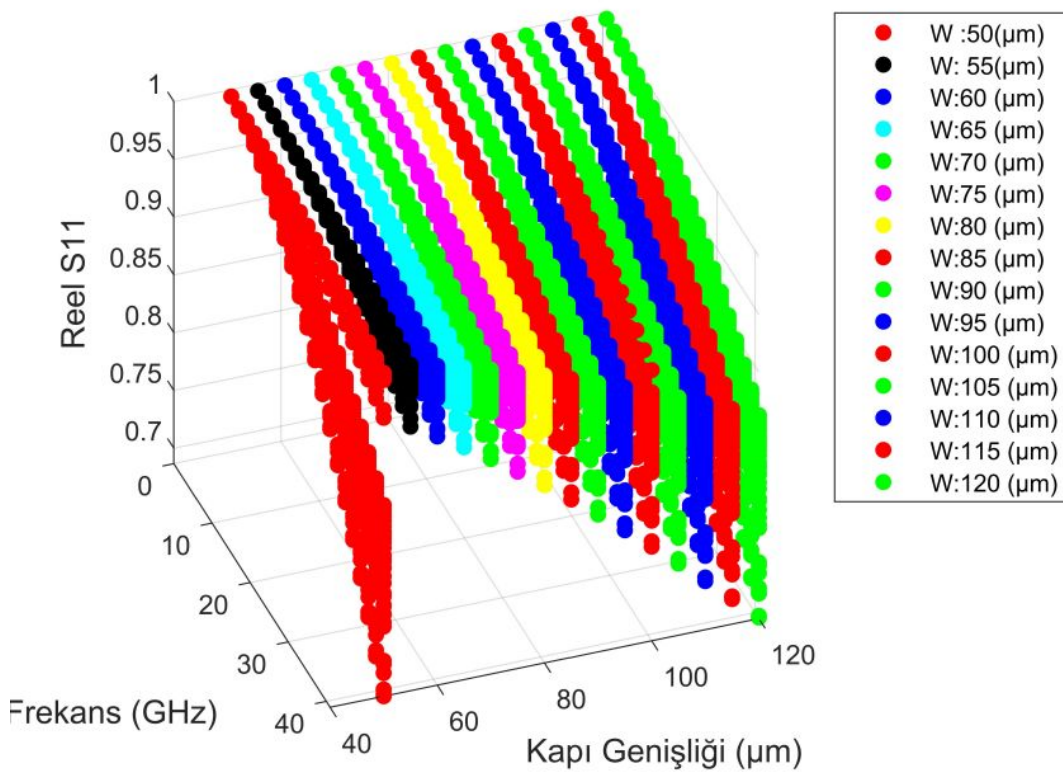


Şekil 2.10 S_{11} ve S_{12} smith abağında gösterimi

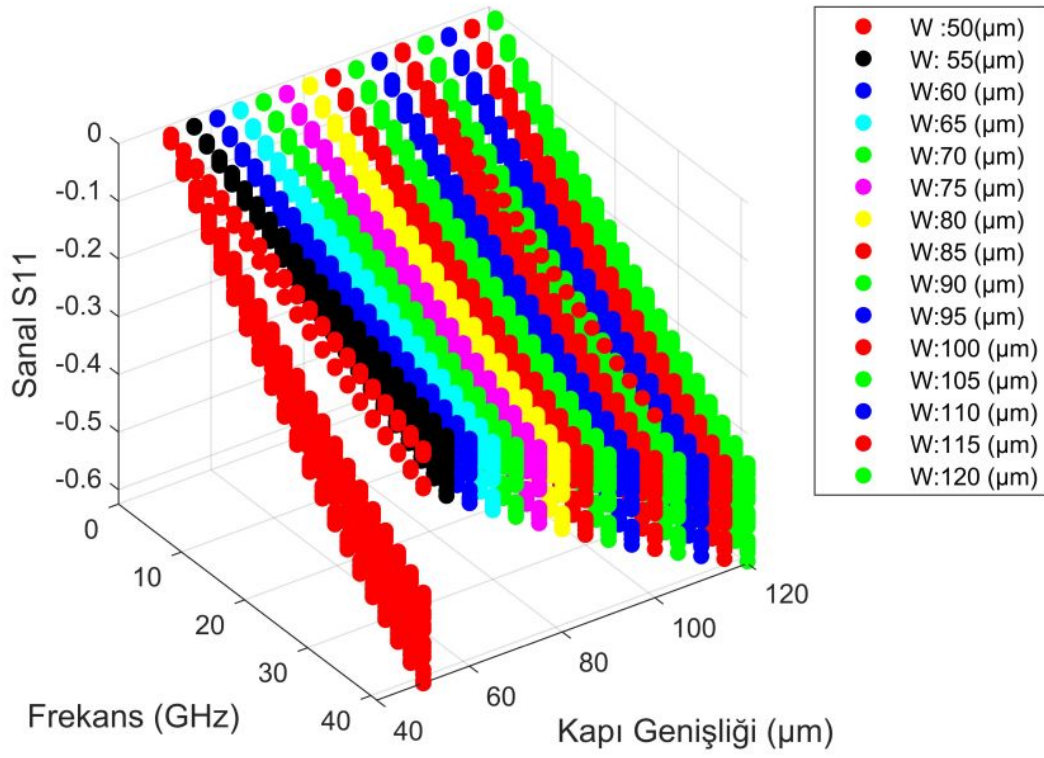


Şekil 2.11 S_{22} ve S_{21} smith abağında gösterimi

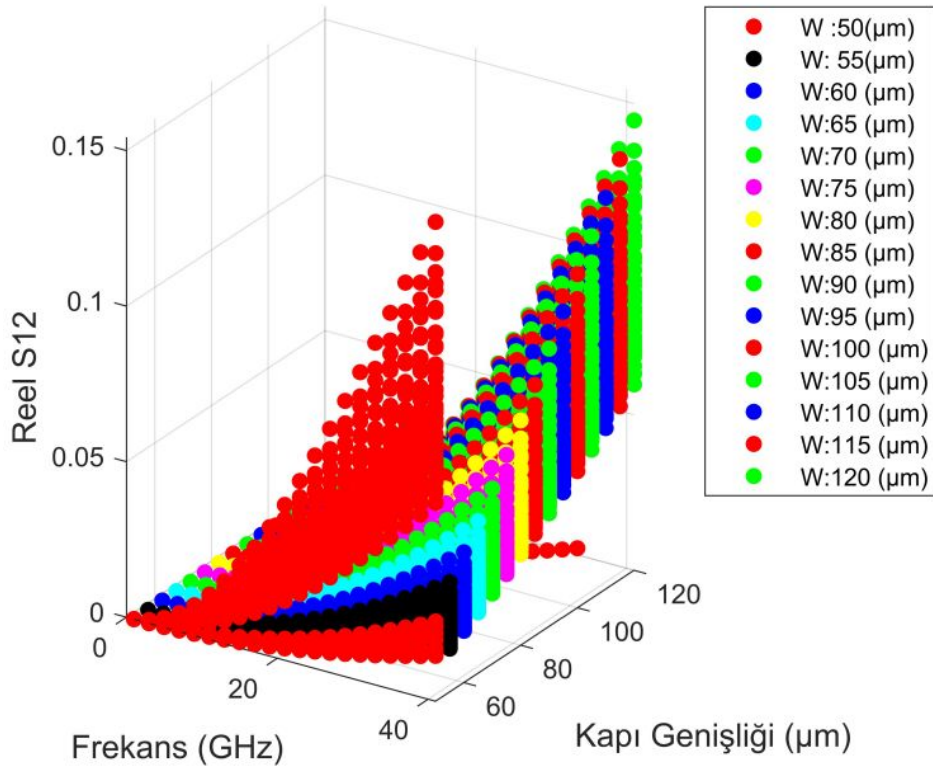
Tablo 2.2’da ve şekil 2.8’de verilen giriş parametrelerin etkisi ayrı ayrı bütün $RealS_{11}$, $ImagS_{11}$, $RealS_{21}$, $ImagS_{21}$, $RealS_{12}$, $ImagS_{12}$, $RealS_{22}$ ve $ImagS_{22}$ parametrelerine incelenmiştir. Bu parametreler sırasıyla şekil 2.12, şekil 2.13, şekil 2.14, şekil 2.15, şekil 2.16, şekil 2.17, şekil 2.18 ve şekil 2.19 gösterilmiştir. Bunun yanında iki tür modelleme tekniği uygulanmıştır. İlk olarak beyaz kutu modellemesi olarak ifade edeceğimiz modelleme tekniği yardımıyla giriş parametreleri kullanılarak analitik ifadeler türetilmiştir. İkinci tür modelleme olarak kapalı kutu modelleme tekniğiyle literatürdeki en iyi algoritmalar kullanılarak doğru bir model oluşturulmaya çalışılmıştır. Son olarak hem veri seti üzerinden hem de örnek durumlar üzerinden modellerin hata değerleri hem tablo olarak hem de grafiksel olarak gösterilmiştir.



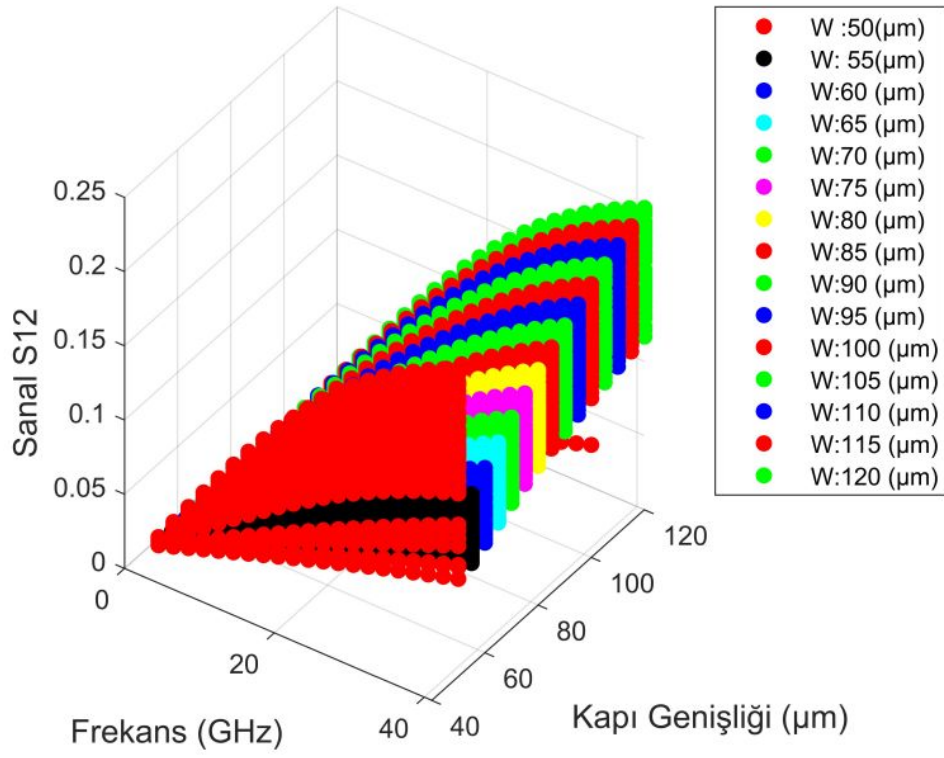
Şekil 2.12 Veri setinde oluşturulan $ReelS_{11}$ gösterimi



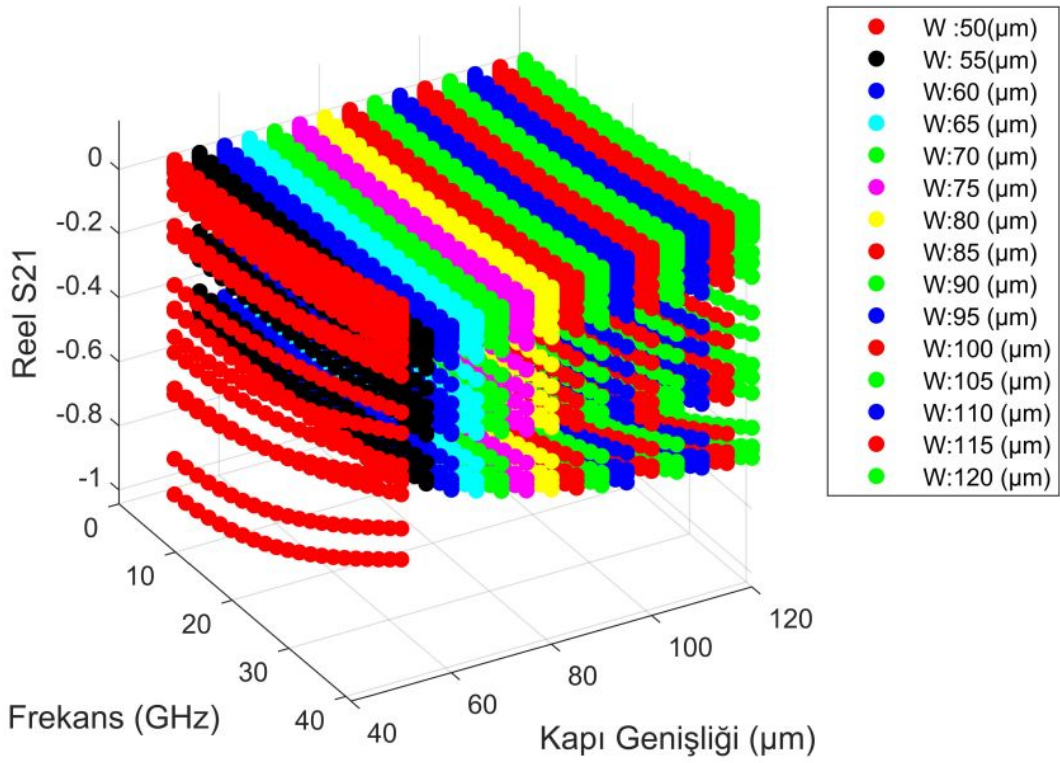
Şekil 2.13 Veri setinde oluşturulan $\text{Sanal } S_{11}$ gösterimi



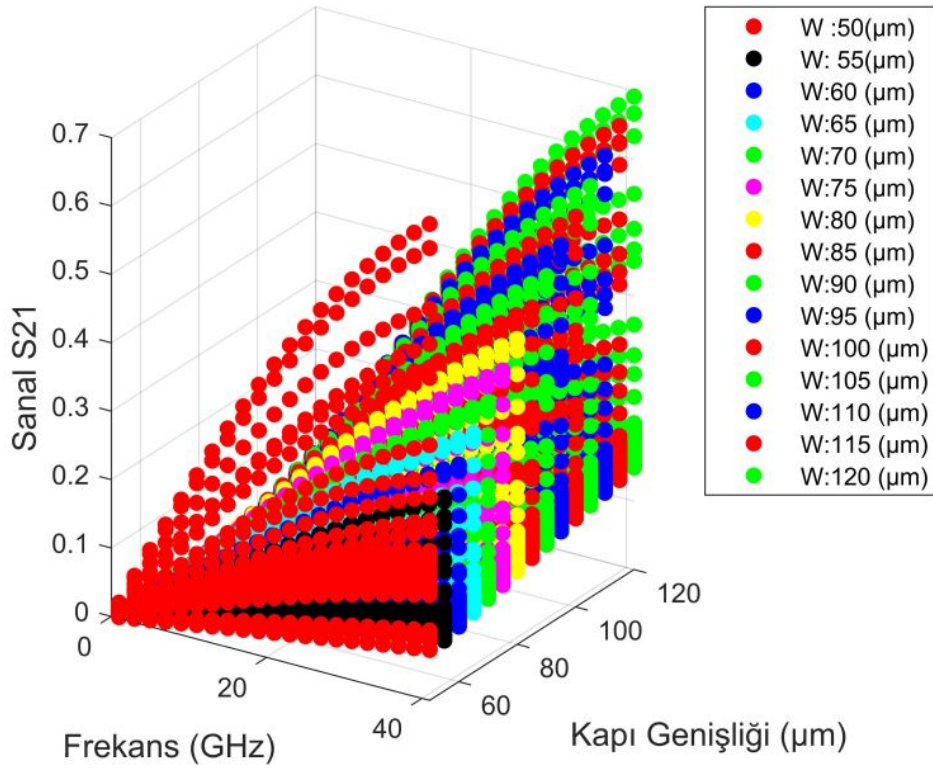
Şekil 2.14 Veri setinde oluşturulan $\text{Reel } S_{12}$ gösterimi



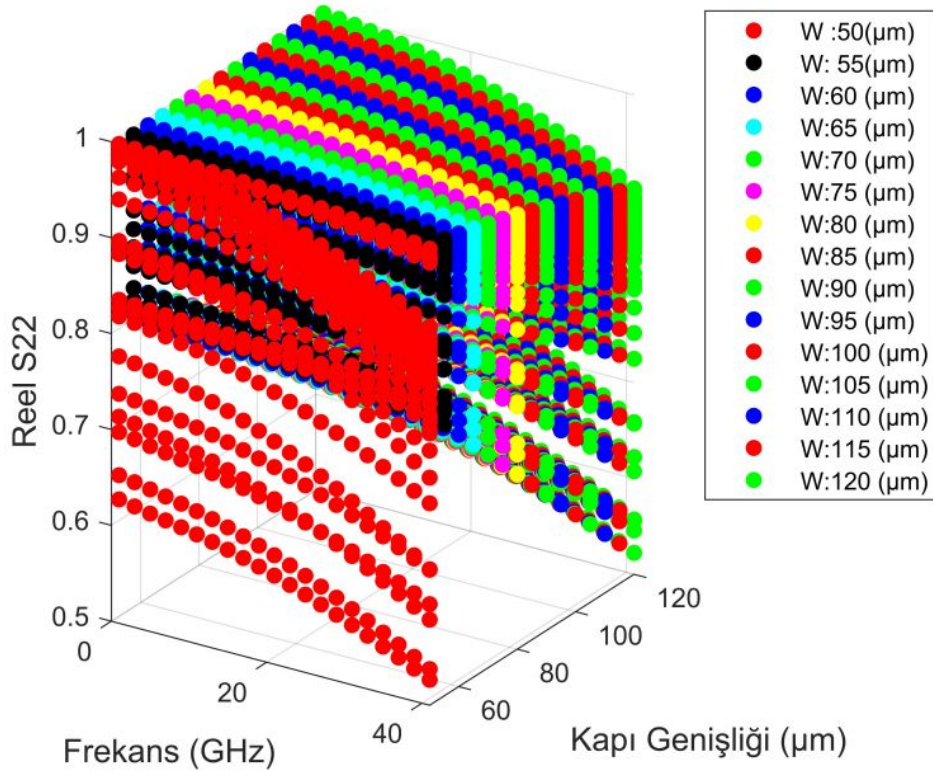
Şekil 2.15 Veri setinde oluşturulan $\text{Sanal } S_{12}$ gösterimi



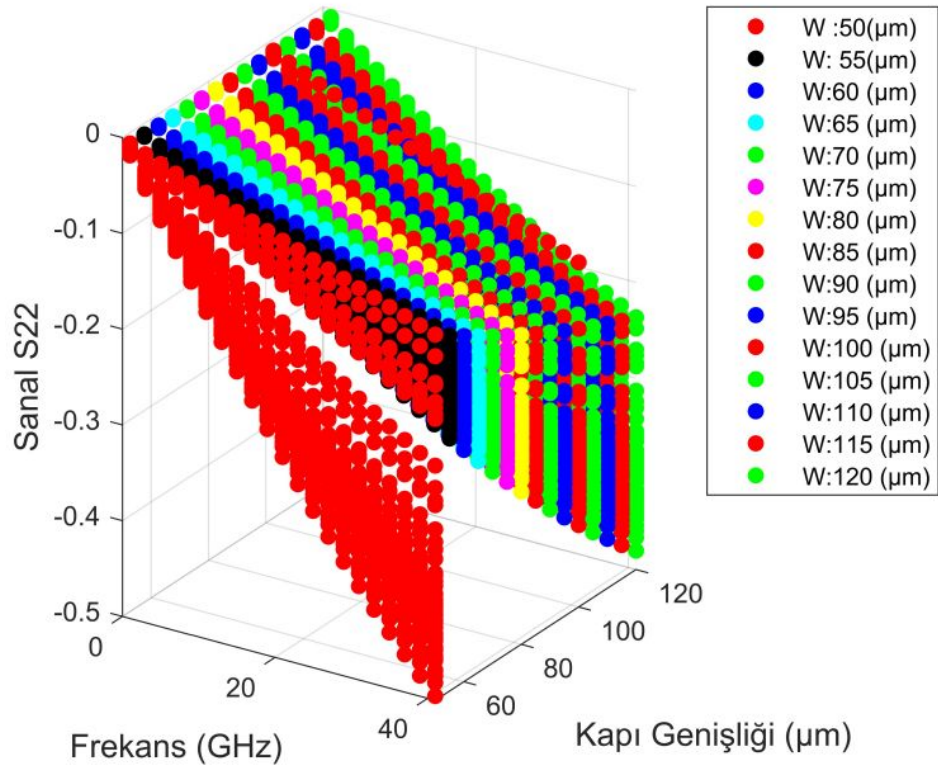
Şekil 2.16 Veri setinde oluşturulan $\text{Reel } S_{21}$ gösterimi



Şekil 2.17 Veri setinde oluşturulan $Sanal S_{21}$ gösterimi



Şekil 2.18 Veri setinde oluşturulan $Reel S_{22}$ gösterimi



Şekil 2.19 Veri setinde oluşturulan $\text{Sanal } S_{22}$ gösterimi

Bu bölümde ilk olarak kullanılan her bir değişkenin S_{11} , S_{21} , S_{12} ve S_{22} parametrelerine olan etkisi incelenmiştir. Her bir giriş değişkenin etkisini göstermek için ayrı ayrı grafikler oluşturulmuştur. S parametreleri karmaşık sayı oldukları için her bir giriş parametresi için 8 adet grafik oluşturulmuştur. Toplamda 3 değişken olan savak ve kapı gerilimi, kapı genişliği parametreleri için 24 adet grafik oluşturulmuştur. Her grafik üzerinden değişken parametrelerin S parametresine olan etkisi açıklanmıştır.

Modelleme teknikleri kısmındaysa ilk olarak beyaz kutu modellemesi gerçekleştirilmiştir. Bu modelleme tekniği için Eureka yazılımı [20–22] kullanılmıştır ve analitik ifadeler üretilmiştir. Diğer bir modelleme tekniği olan kara kutu modellemesinde ise WEKA [23] yazılımı kullanılmıştır. Kara kutu modellemesi literatürde sıkça kullanılmaktadır [7, 8, 13, 14, 24–27]. WEKA yazılımında kullanılan algoritmalar sırasıyla Yapay Sinir Ağları, IBk, Kstar[28], Bagging [29], REPTree algoritmasıdır. WEKA yazılımı açık kaynaklı bir yazılım olup, herkes tarafından ücretsiz bir şekilde kullanılabilir. Bu tezde WEKA 3.5 versiyonu kullanılmıştır.

3.1 Parametrelerin Etkisi

Tablo 2.2 değişken olarak verilen savak ve kapı gerilimi, kapı genişliği parametrelerinin frekans düzleminde S parametrelerine olan etkisi ayrı ayrı gösterilmiştir. Bu inceleme her bir parametrenin iki kapılı bir transistör yapısındaki S_{11} , S_{21} , S_{12} , S_{22} parametrelerine etkisi gösterilmiştir. S parametreleri karmaşık sayı oldukları için *Reel* ve *Sanal* olmak üzere her bir parametre iki farklı kısımdan incelenecektir. Bunun sonucunda modelde kullanılan her bir değişkenin etkisini toplamda 8 farklı grafik üzerinden göstereceğiz. İlk parametre olarak savak gerilimi, daha sonra kapı gerilimi ve kapı genişliği parametrelerin S parametrelerine olan etkisi sırasıyla gösterilmiştir.

3.1.1 Savak Gerilimi

Savak geriliminin $ReelS_{11}$, $SanalS_{11}$, $ReelS_{21}$, $SanalS_{21}$, $ReelS_{12}$, $SanalS_{12}$, $ReelS_{22}$ ve $SanalS_{22}$ parametrelerine olan etkisi sırasıyla şekil 3.1, şekil 3.2, şekil 3.3, şekil 3.4, şekil 3.5, şekil 3.6, şekil 3.7 ve şekil 3.8’de gösterilmiştir. Bu grafiklerde savak geriliminin değerleri sırasıyla 1.5 (V), 2.5 (V), 3 (V), 4 (V) ve 5 (V) olacak şekilde seçilmiştir. Tablo 3.1’de gösterildiği üzere kapı genişliği ve kapı gerilimi parametreleri sabit tutularak savak geriliminin parametresinin değişimi verilmiştir.

Tablo 3.1 Savak geriliminin değişim aralığı

W	Vd	Vg
85	1.5	-1
85	2.5	-1
85	3	-1
85	4	-1
85	5	-1

Tablo 3.2’de gösterildiği üzere savak gerilimi değişken olarak alınıp, diğer parametreler sabit olarak tutulmuştur. Kapı genişliği 85 (μm), kapı gerilimi -1 (V), frekans 20 (GHz) ve iş fonksiyonu değeri ise 4.5 (eV) alınmıştır. Bunun sonucunda tüm S parametrelerin değişimi tablo 3.2’de gösterilmiştir.

Tablo 3.2 Savak geriliminin S parametrelerine etkisi

f	W	Vd	Vg	Reel S11	Sanal S11	Reel S21	Sanal S21	Reel S12	Sanal S12	Reel S22	Sanal S22
20	85	1.5	-1	0.9577	-0.2476	-0.0041	0.0996	0.0211	0.0903	0.9548	-0.1896
20	85	2.5	-1	0.9552	-0.2545	-0.3606	0.1897	0.0145	0.0707	0.8142	-0.1438
20	85	3	-1	0.9549	-0.2554	-0.4921	0.2189	0.0131	0.0663	0.7672	-0.1325
20	85	4	-1	0.9554	-0.2526	-0.7015	0.259	0.0111	0.0591	0.7048	-0.1148
20	85	5	-1	0.9528	-0.2481	-0.6881	0.2553	0.0099	0.0529	0.7199	-0.0979

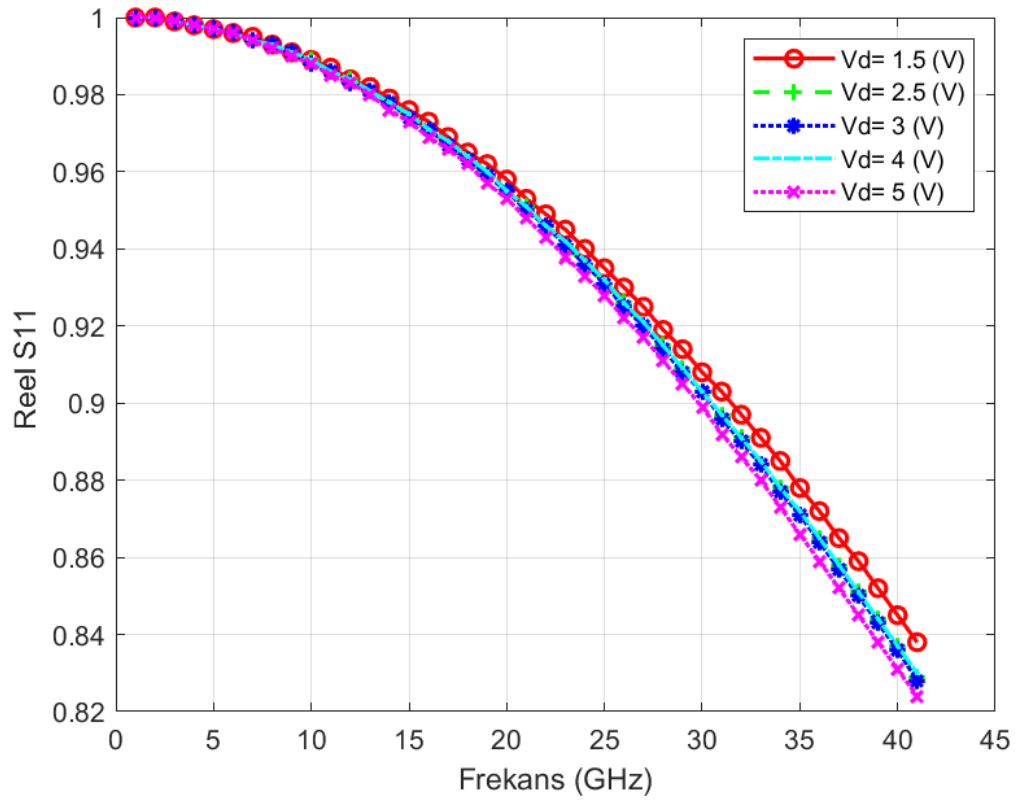
Şekil 3.1’de görüldüğü gibi savak gerilimi parametresinin $ReelS_{11}$ parametresine herhangi bir etkisi yoktur.

Şekil 3.2’de görüldüğü gibi savak gerilimi parametresinin $SanalS_{11}$ parametresine herhangi bir etkisi yoktur.

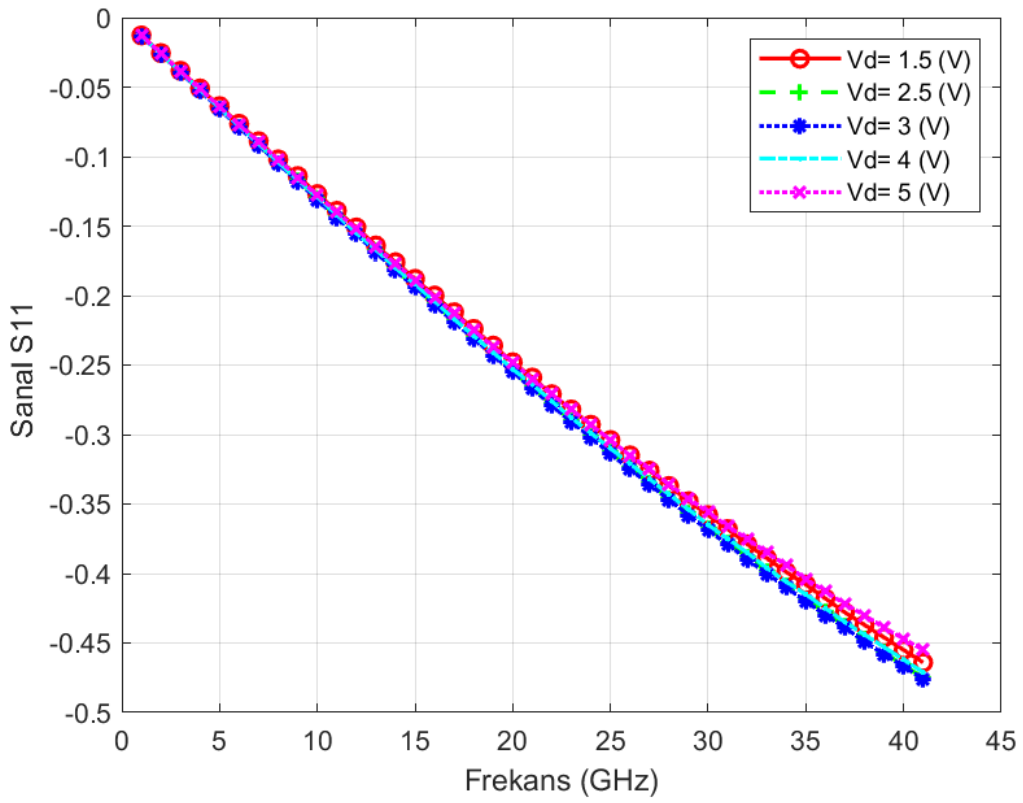
Şekil 3.3’de görüldüğü gibi savak gerilimi parametresinin $ReelS_{12}$ parametresine etkisi vardır ve savak gerilimi arttıkça bu değer azalmaktadır.

Şekil 3.4’de görüldüğü gibi savak gerilimi parametresinin $SanalS_{12}$ parametresine etkisi vardır ve savak gerilimi arttıkça bu değer azalmaktadır.

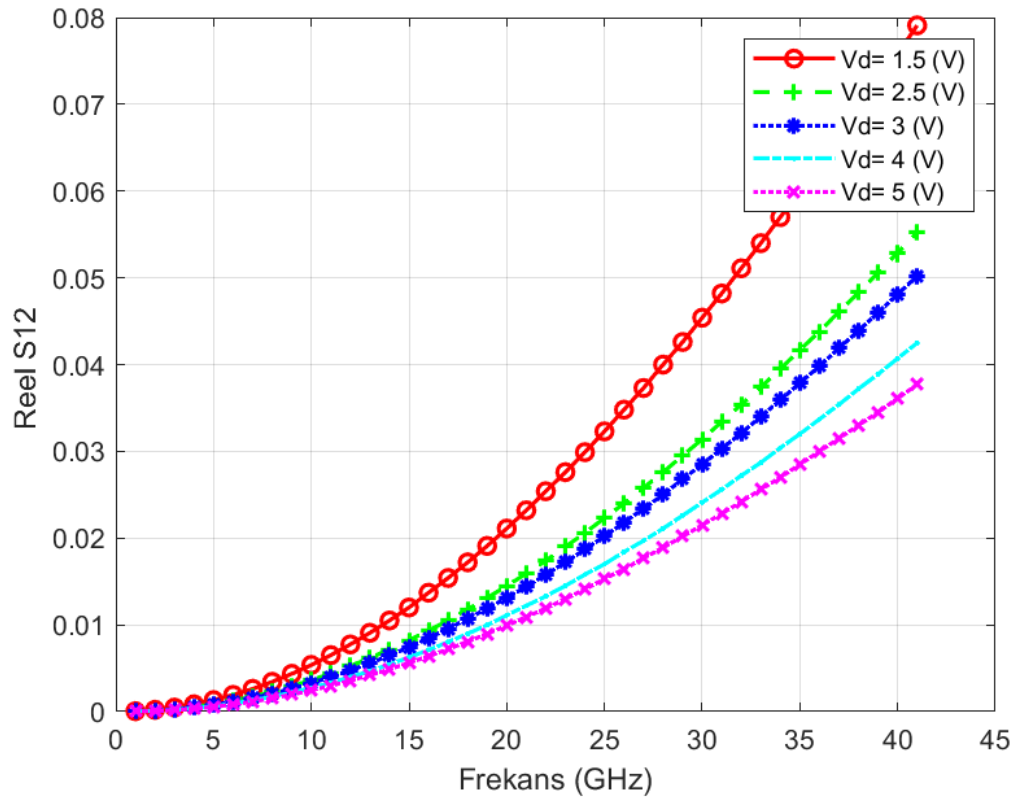
Şekil 3.5’de görüldüğü gibi savak gerilimi parametresinin $ReelS_{21}$ parametresine etkisi vardır ve savak gerilimi arttıkça bu değer belli bir değere kadar azalmaktadır. $V_d=4$ (V) değerinden sonra herhangi bir değişim yoktur.



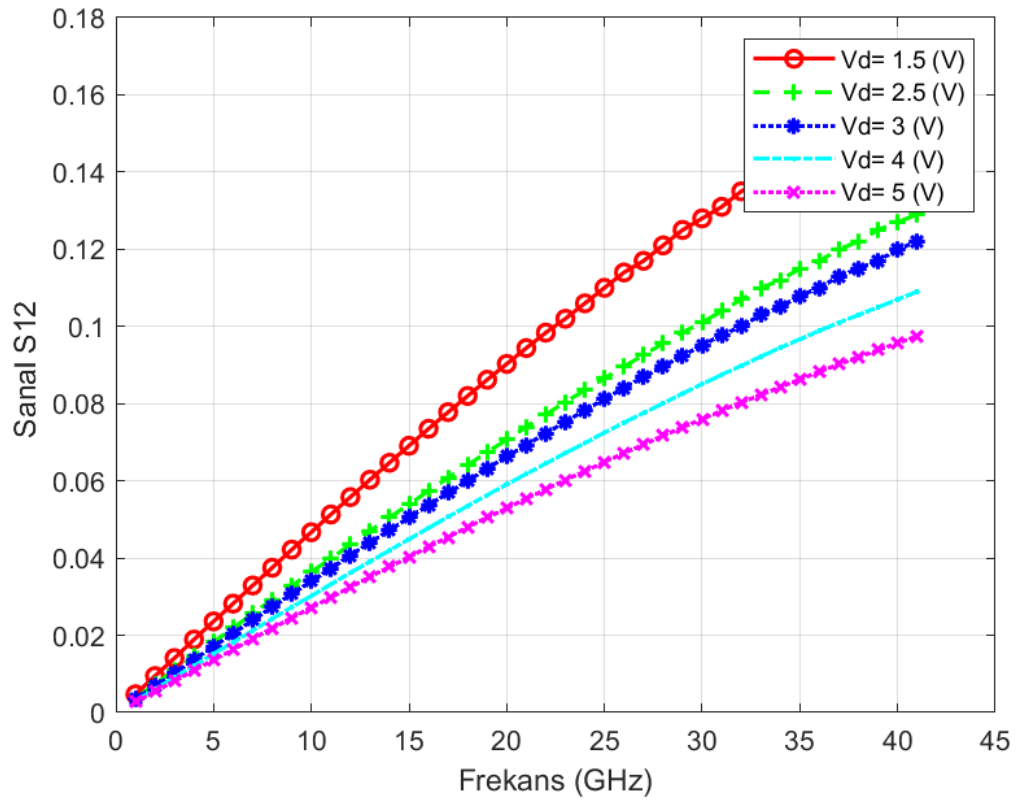
Şekil 3.1 $Reel S_{11}$ 'in savak gerilimiyle değişimi



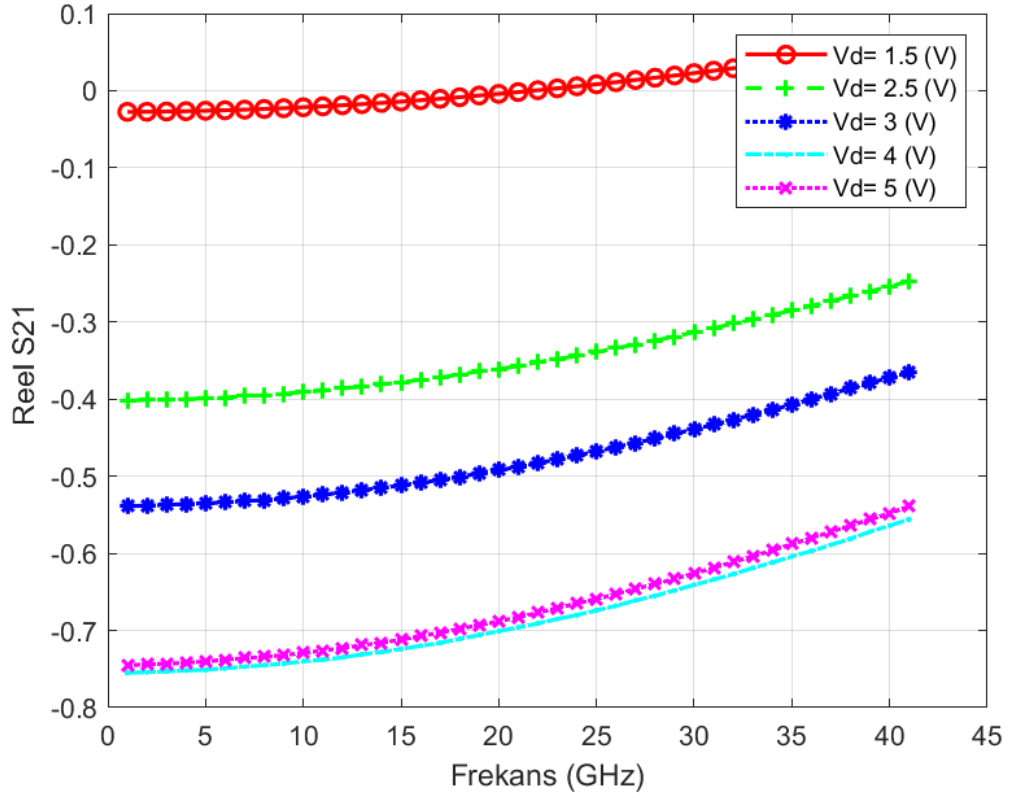
Şekil 3.2 $Sanal S_{11}$ 'in savak gerilimiyle değişimi



Şekil 3.3 $Reel S_{12}$ 'in savak gerilimiyle değişimi



Şekil 3.4 $Sanal S_{12}$ 'in savak gerilimiyle değişimi

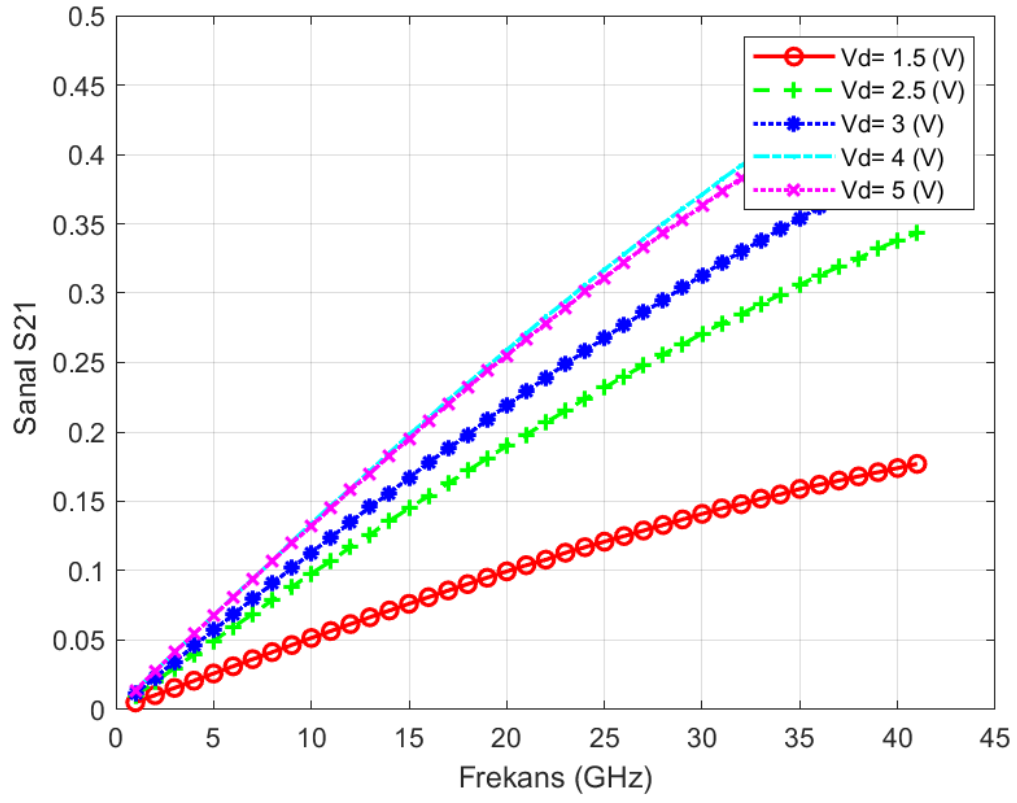


Şekil 3.5 $ReelS_{21}$ 'in savak gerilimiyle değişimi

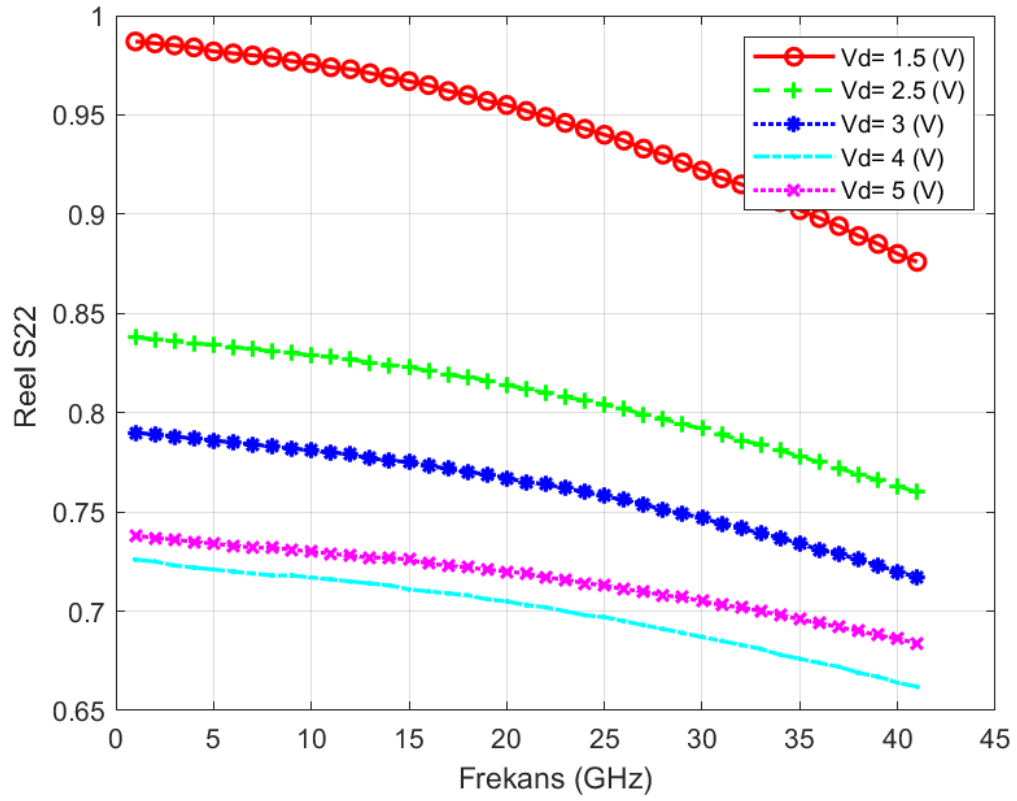
Şekil 3.6'de görüldüğü gibi savak gerilimi parametresinin $SanalS_{21}$ parametresine etkisi vardır ve savak gerilimi arttıkça bu değer belli bir değere kadar artmaktadır. $V_d=4$ (V) değerinden sonra herhangi bir değişim yoktur.

Şekil 3.7'de görüldüğü gibi savak gerilimi parametresinin $ReelS_{22}$ parametresine etkisi vardır ve savak gerilimi arttıkça bu değer azalmaktadır.

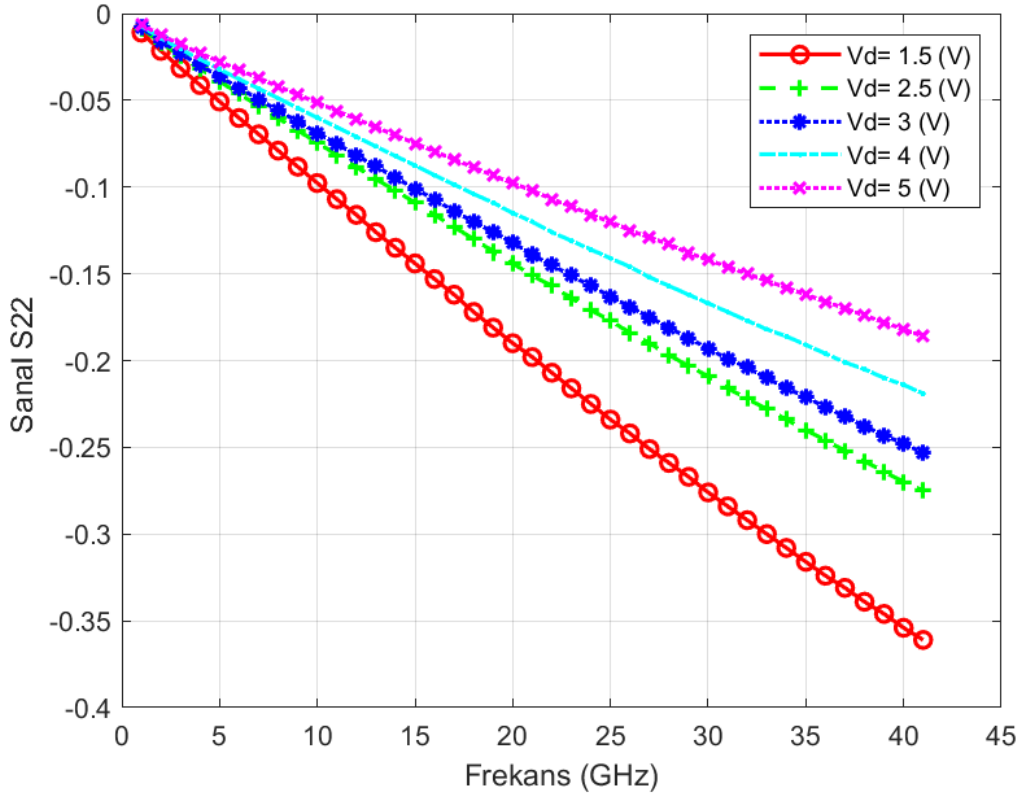
Şekil 3.8'de görüldüğü gibi savak gerilimi parametresinin $SanalS_{22}$ parametresine etkisi vardır ve savak gerilimi arttıkça bu değer artmaktadır.



Şekil 3.6 $\text{Sanal } S_{21}$ 'in savak gerilimiyle değişimi



Şekil 3.7 $\text{Reel } S_{22}$ 'in savak gerilimiyle değişimi



Şekil 3.8 $SanalS_{22}$ 'in savak gerilimiyle değişimi

3.1.2 Kapı Gerilimi

Kapı geriliminin $ReelS_{11}$, $SanalS_{11}$, $ReelS_{21}$, $SanalS_{21}$, $ReelS_{12}$, $SanalS_{12}$, $ReelS_{22}$ ve $SanalS_{22}$ parametrelerine olan etkisi sırasıyla şekil 3.9, şekil 3.10, şekil 3.11, şekil 3.12, şekil 3.13, şekil 3.14, şekil 3.15 ve şekil 3.16'de gösterilmiştir. Bu grafiklerde savak geriliminin değerleri sırasıyla 0 (V), -1 (V), -1.5(V), -2(V) ve -2.5(V) olacak şekilde seçilmiştir. Tablo 3.3'de gösterildiği üzere kapı genişliği ve savak gerilimi parametreleri sabit tutularak kapı gerilimi parametresinin etkisi gözlenmiştir.

Tablo 3.3 Kapı geriliminin değişim aralığı

W	Vd	Vg
85	3	0
85	3	-1
85	3	-1.5
85	3	-2
85	3	-2.5

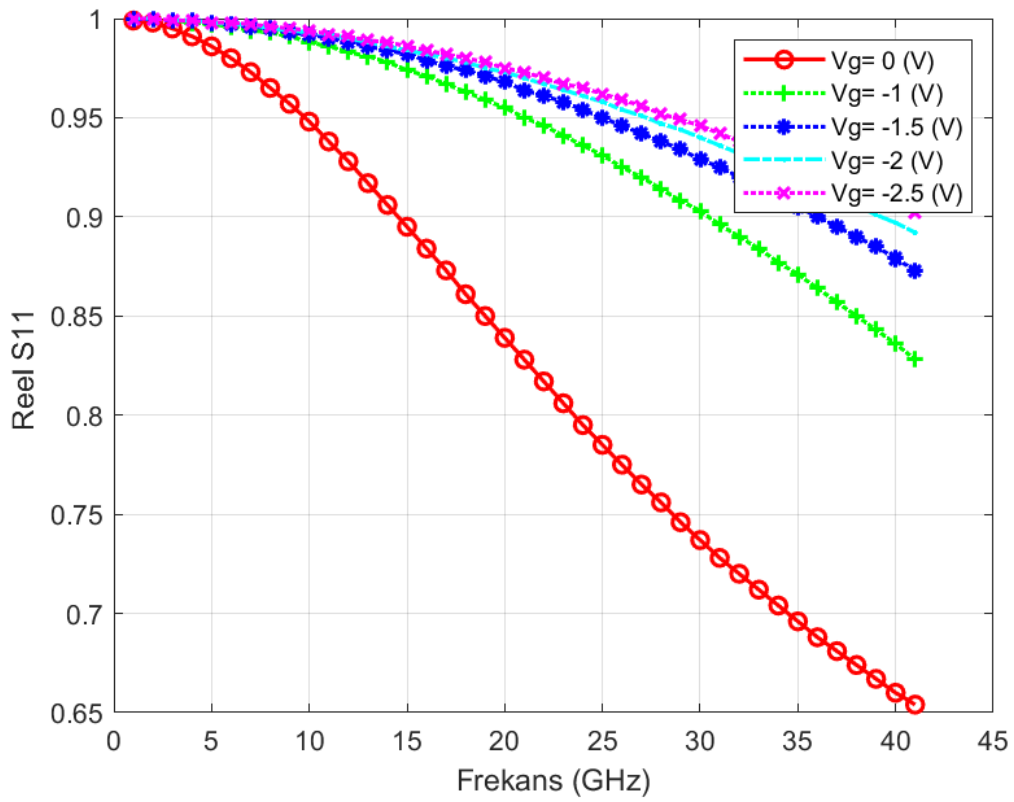
Tablo 3.4'de gösterildiği üzere savak gerilimi değişken olarak alınıp, diğer parametreler sabit olarak tutulmuştur. Kapı genişliği $85(\mu\text{m})$, savak gerilimi 3 (V), frekans 20 (GHz) ve iş fonksiyonu değeri ise 4.5 (eV) alınmıştır. Bunun sonucunda

tüm S parametrelerin değişimi tablo 3.4’de gösterilmiştir.

Tablo 3.4 Kapı geriliminin S parametrelerine etkisi

f	W	Vd	Vg	ReelS11	SanalS11	ReelS21	SanalS21	ReelS12	SanalS12	ReelS22	SanalS22
20	85	3	0	0.8388	-0.3034	-0.2037	0.1784	0.0097	0.0479	0.8799	-0.0849
20	85	3	-1	0.9549	-0.2554	-0.4921	0.2189	0.0131	0.0663	0.7672	-0.1325
20	85	3	-1.5	0.9676	-0.2199	-0.0309	0.0867	0.014	0.072	0.9525	-0.1598
20	85	3	-2	0.9726	-0.2031	0.0132	0.0732	0.0138	0.0731	0.9771	-0.1612
20	85	3	-2.5	0.9752	-0.1931	0.0131	0.0724	0.0131	0.0724	0.9783	-0.1578

Şekil 3.9’de görüldüğü gibi kapı gerilimi parametresinin $ReelS_{11}$ parametresine etkisi vardır ve kapı gerilimi azaldıkça bu değer artmaktadır.

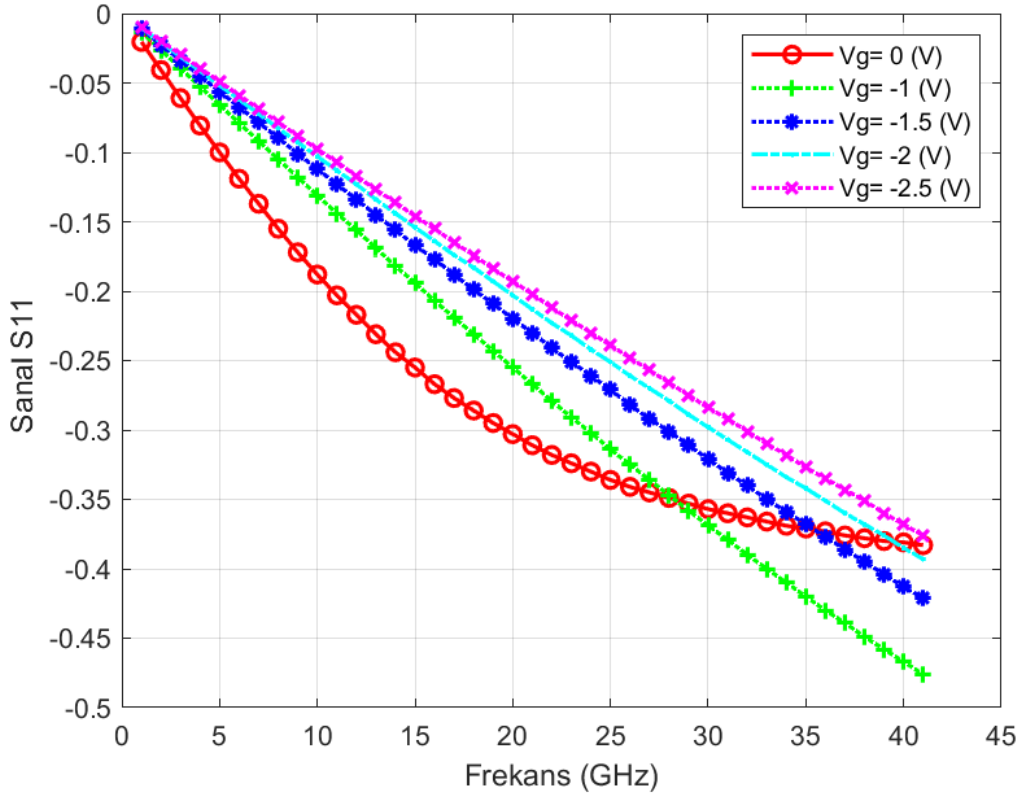


Şekil 3.9 $ReelS_{11}$ ’in kapı gerilimiyle değişimi

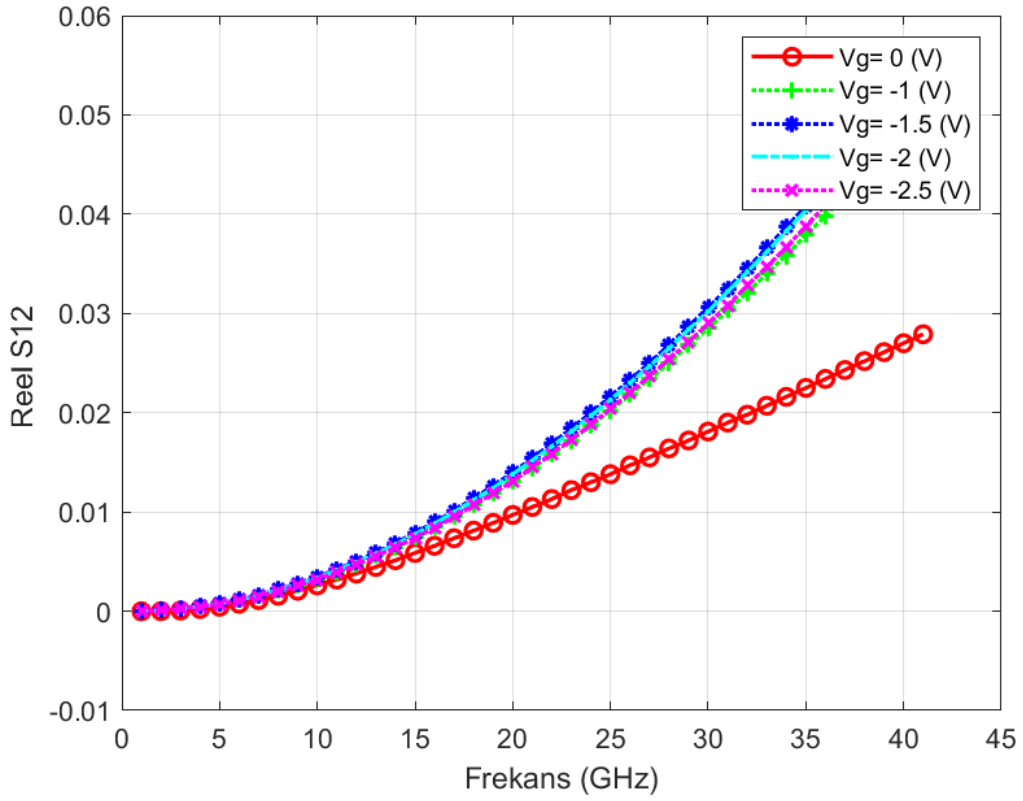
Şekil 3.10’de görüldüğü gibi kapı gerilimi parametresinin $SanalS_{11}$ parametresine etkisi vardır ve kapı gerilimi azaldıkça bu değer genellikle artmaktadır. $V_g=0$ (V) değeri için bir parabolik fonksiyon oluşmuştur.

Şekil 3.11’de görüldüğü gibi kapı gerilimi parametresinin $ReelS_{12}$ parametresine etkisi bir değer dışında yoktur. Bu değer $V_g=0$ (V) değeridir, onun dışındaki değerlerde grafikler üst üste çakışmıştır. V_g değeri azaldıkça $ReelS_{12}$ parametresi artmaktadır.

Şekil 3.12’de görüldüğü gibi kapı gerilimi parametresinin $SanalS_{12}$ parametresine etkisi yaklaşık olarak bir değer dışında yoktur. Bu değer $V_g=0$ (V) değeridir, onun

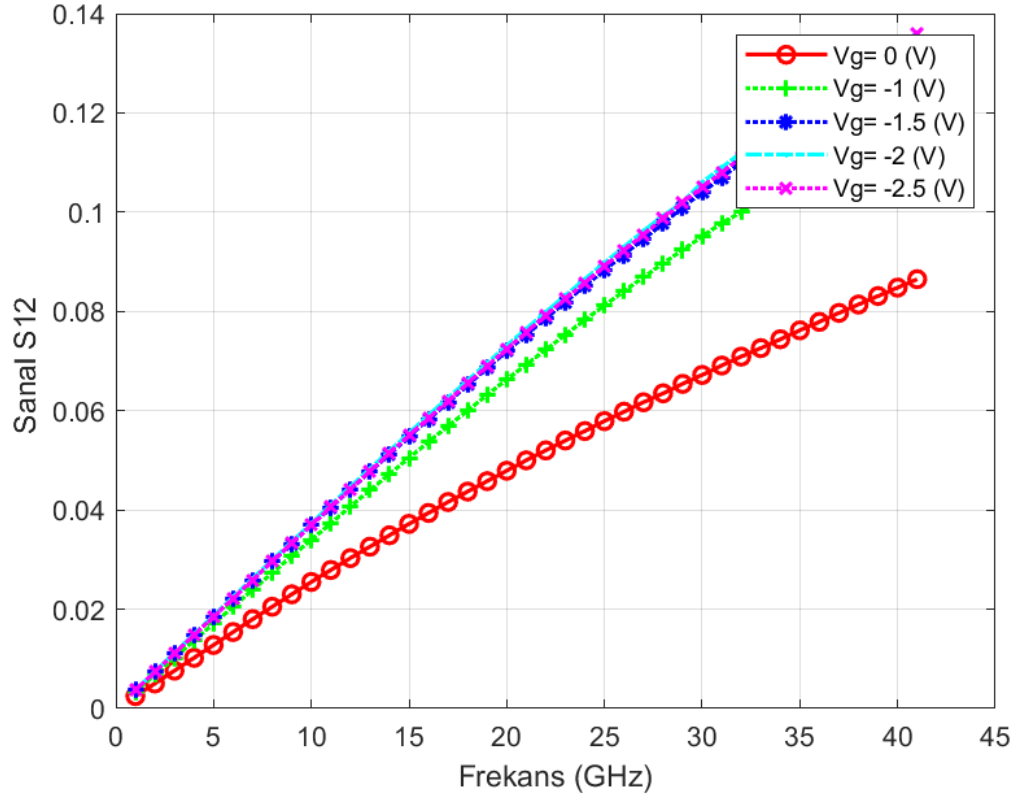


Şekil 3.10 $\text{Sanal } S_{11}$ 'in kapı gerilimiyle değişimi



Şekil 3.11 $\text{Reel } S_{12}$ 'in kapı gerilimiyle değişimi

dışındaki değerlerde grafikler üst üste çakışmıştır. V_g değeri azaldıkça $SanalS_{12}$ parametresi artmaktadır.



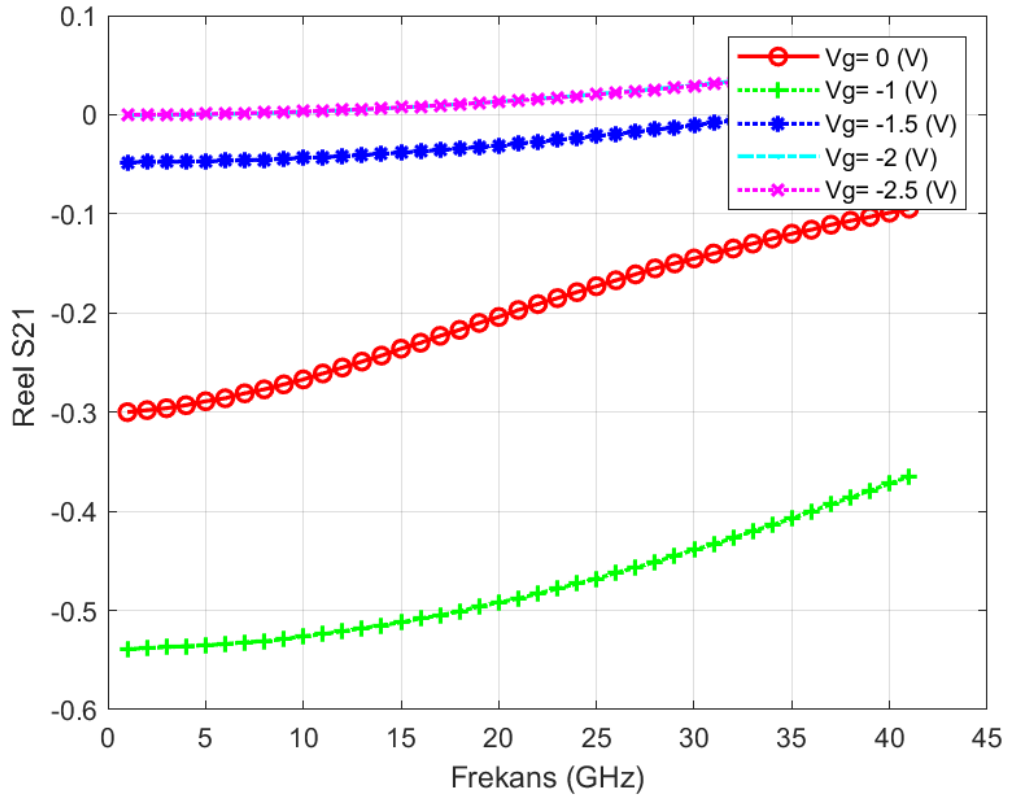
Şekil 3.12 $SanalS_{12}$ 'in kapı gerilimiyle değişimi

Şekil 3.13'de görüldüğü gibi kapı gerilimi parametresinin $ReelS_{21}$ parametresine etkisi vardır ve net olarak azalan artan ilişkisi kurmak mümkün değildir.

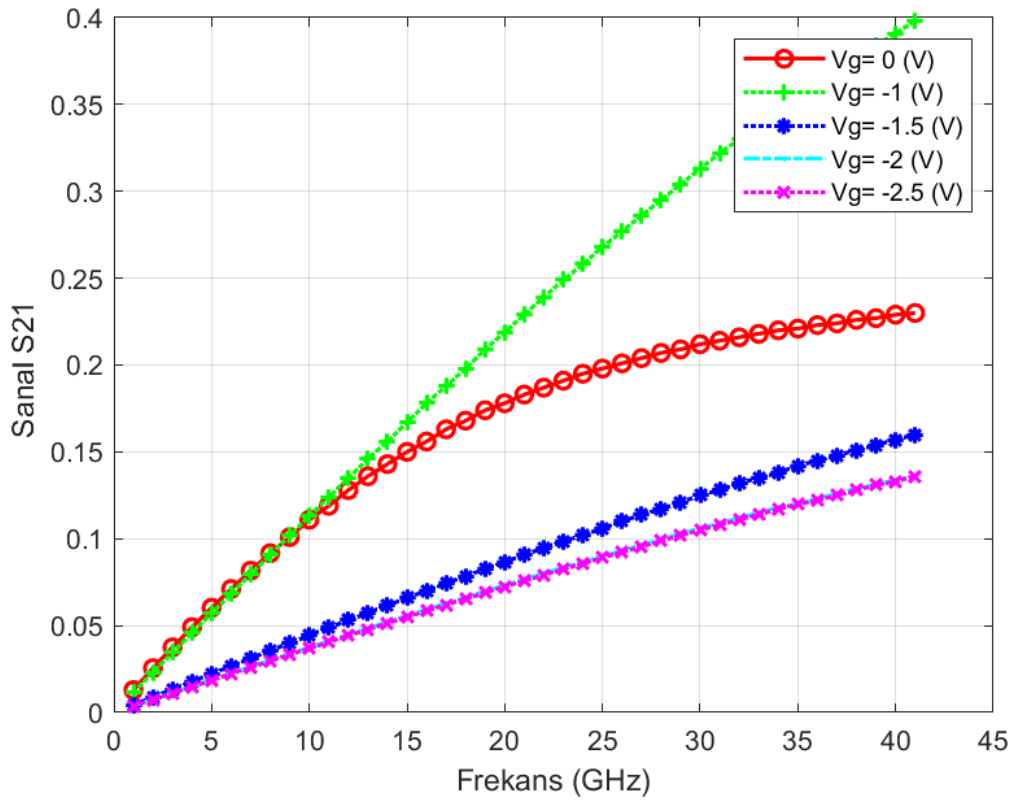
Şekil 3.14'de görüldüğü gibi kapı gerilimi parametresinin $SanalS_{21}$ parametresine etkisi vardır ve net olarak azalan artan ilişkisi kurmak mümkün değildir.

Şekil 3.15'de görüldüğü gibi kapı gerilimi parametresinin $ReelS_{22}$ parametresine etkisi vardır ve net olarak azalan artan ilişkisi kurmak mümkün değildir.

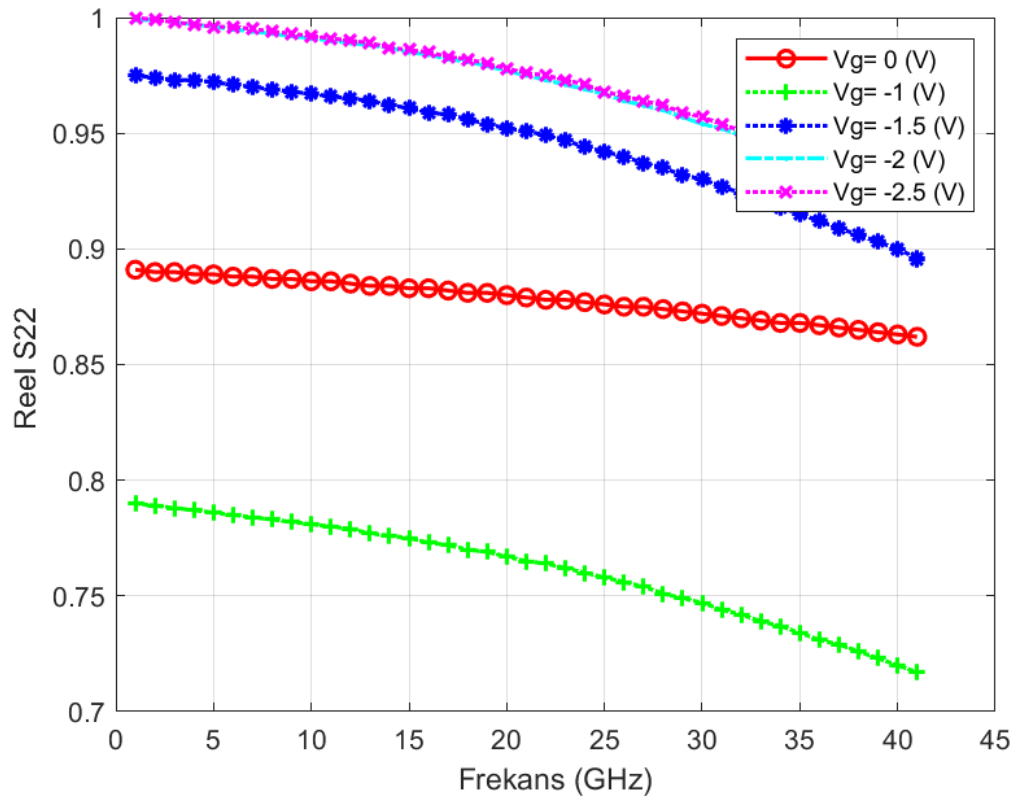
Şekil 3.16'de görüldüğü gibi kapı gerilimi parametresinin $SanalS_{22}$ parametresine etkisi vardır ve V_g parameteresi azaltıkça $SanalS_{22}$ parametresi de azalmaktadır.



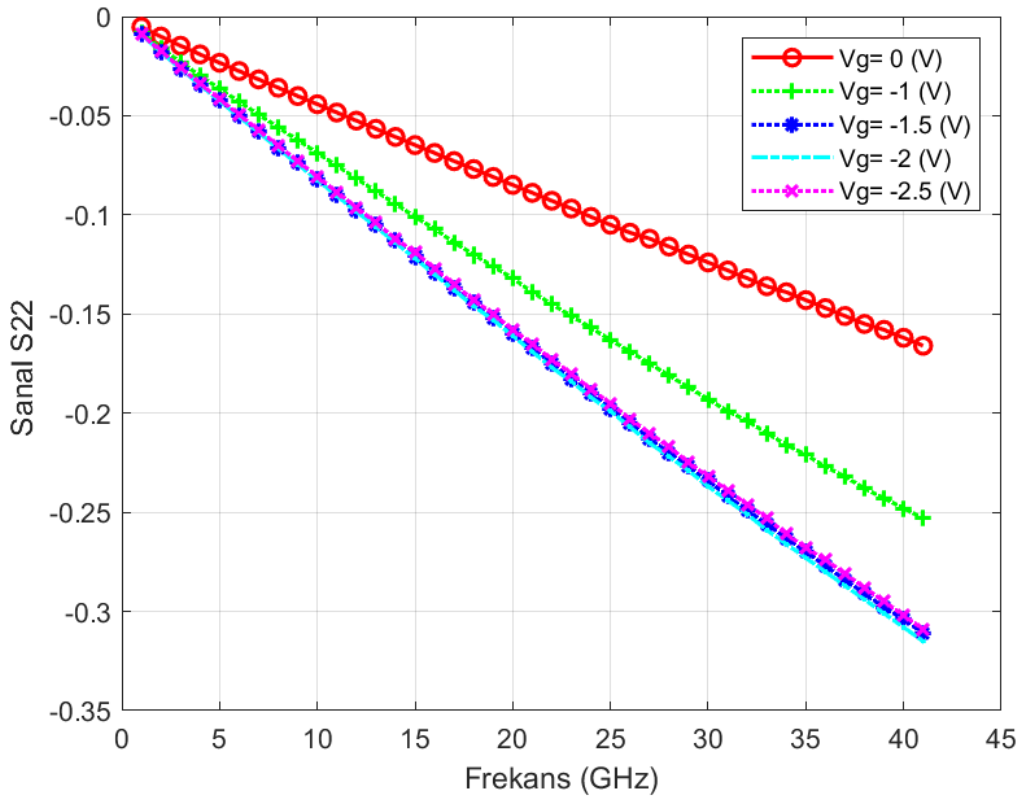
Şekil 3.13 $Reel S_{21}$ 'in kapı gerilimiyle değişimi



Şekil 3.14 $Sanal S_{21}$ 'in kapı gerilimiyle değişimi



Şekil 3.15 $Reel S_{22}$ 'in kapı gerilimiyle değişimi



Şekil 3.16 $Sanal S_{22}$ 'in kapı gerilimiyle değişimi

3.1.3 Kapı Genişliği

Kapı genişliğinin $ReelS_{11}$, $SanalS_{11}$, $ReelS_{21}$, $SanalS_{21}$, $ReelS_{12}$, $SanalS_{12}$, $ReelS_{22}$ ve $SanalS_{22}$ parametrelerine olan etkisi sırasıyla şekil 3.17, şekil 3.18, şekil 3.19, şekil 3.20, şekil 3.21, şekil 3.22, şekil 3.23 ve şekil 3.24’de gösterilmiştir. Bu grafiklerde savak geriliminin değerleri sırasıyla 65 (μm), 75 (μm), 85 (μm), 95 (μm) ve 105 (μm) olacak şekilde seçilmiştir. Tablo 3.5’de gösterildiği üzere kapı ve savak gerilimi parametreleri sabit tutularak kapı genişliği parametresinin etkisi gözlemlenmiştir.

Tablo 3.5 Kapı genişliğinin değişim aralığı

W	Vd	Vg
65	3	-1
75	3	-1
85	3	-1
95	3	-1
105	3	-1

Tablo 3.6 Kapı genişliğinin S parametrelerine etkisi

f	W	Vd	Vg	ReelS11	SanalS11	ReelS21	SanalS21	ReelS12	SanalS12	ReelS11	SanalS11
20	65	3	-1	0.973	-0.1943	-0.3961	0.1548	0.0079	0.0527	0.8204	-0.1041
20	75	3	-1	0.9646	-0.2249	-0.4457	0.1862	0.0104	0.0597	0.7937	-0.1185
20	85	3	-1	0.954	-0.2554	-0.4921	0.2189	0.0131	0.0663	0.7672	-0.1325
20	95	3	-1	0.9441	-0.2857	-0.5354	0.2529	0.0161	0.0725	0.7408	-0.1459
20	105	3	-1	0.9321	-0.3158	-0.5756	0.288	0.0193	0.0784	0.7146	-0.1589

Tablo 3.6’de gösterildiği üzere savak gerilimi değişken olarak alınıp, diğer parametreler sabit olarak tutulmuştur. Kapı gerilimi -1 (V), savak gerilimi 3 (V), frekans 20 (GHz) ve iş fonksiyonu değeri ise 4.5 (eV) alınmıştır. Bunun sonucunda tüm S parametrelerin kapı genişliğine göre değişimi tablo 3.6’de gösterilmiştir.

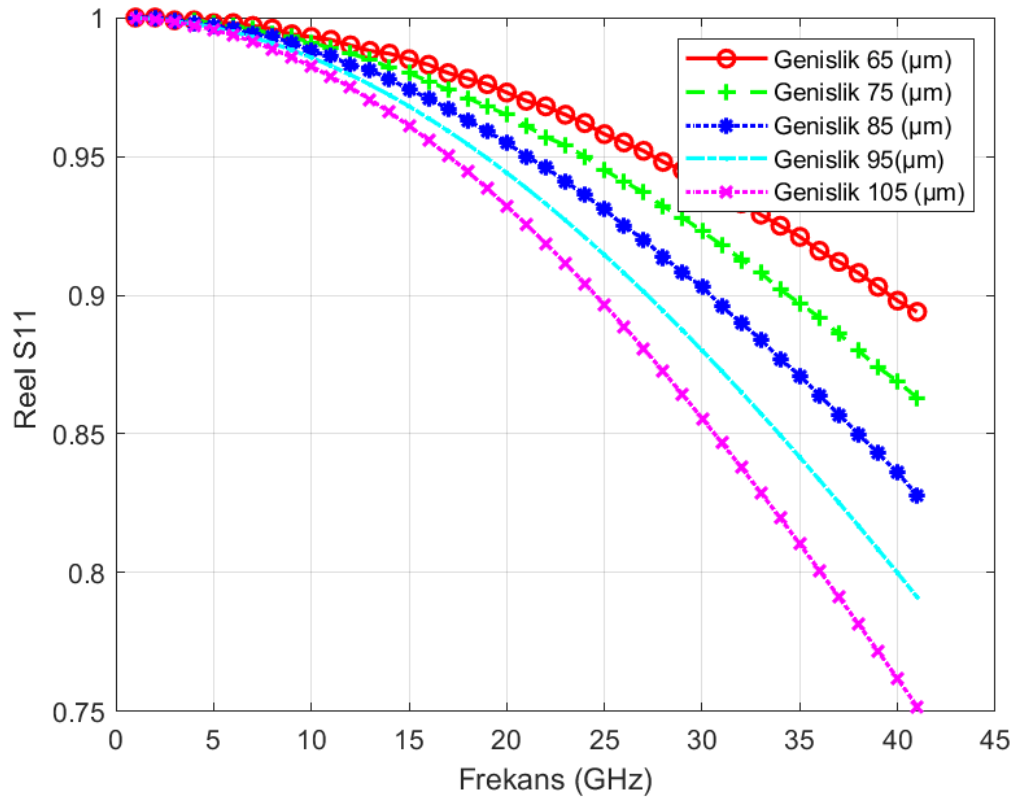
Şekil 3.17’de görüldüğü gibi kapı genişliği parametresinin $ReelS_{11}$ parametresine etkisi vardır ve kapı gerilimi arttıkça bu değer azalmaktadır.

Şekil 3.18’de görüldüğü gibi kapı genişliği parametresinin $SanalS_{11}$ parametresine etkisi vardır ve kapı genişliği arttıkça bu değer azalmaktadır.

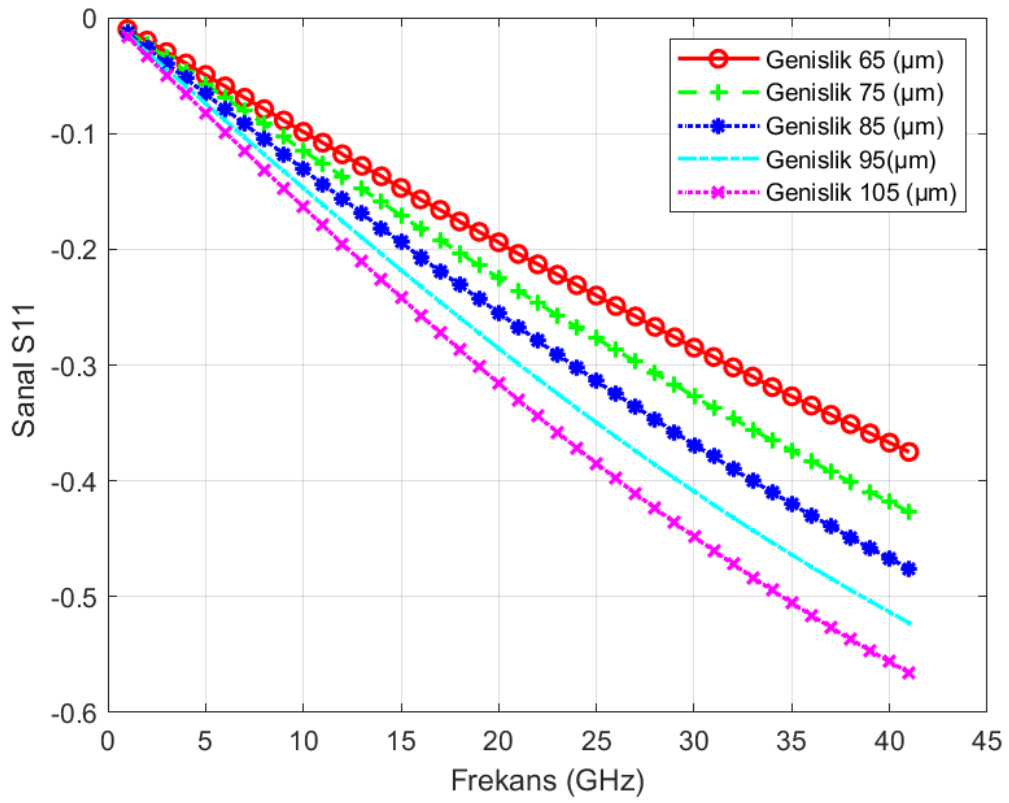
Şekil 3.19’de görüldüğü gibi kapı genişliği parametresinin $ReelS_{12}$ parametresine etkisi vardır ve kapı genişliği arttıkça bu değer artmaktadır.

Şekil 3.20’de görüldüğü gibi kapı genişliği parametresinin $SanalS_{12}$ parametresine etkisi vardır ve kapı genişliği arttıkça bu değer artmaktadır.

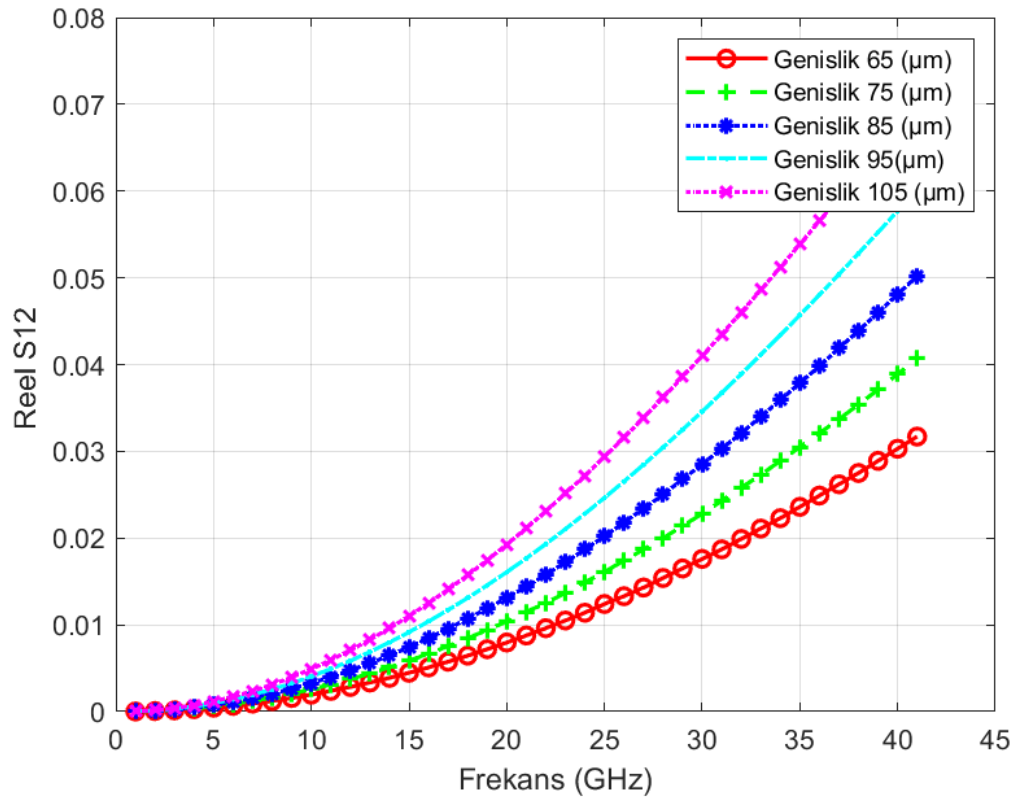
Şekil 3.21’de görüldüğü gibi kapı genişliği parametresinin $ReelS_{21}$ parametresine etkisi vardır ve kapı genişliği arttıkça bu değer azalmaktadır. Frekans aralığı sonunda ise değerler aynı noktaya doğru hareket etmektedir.



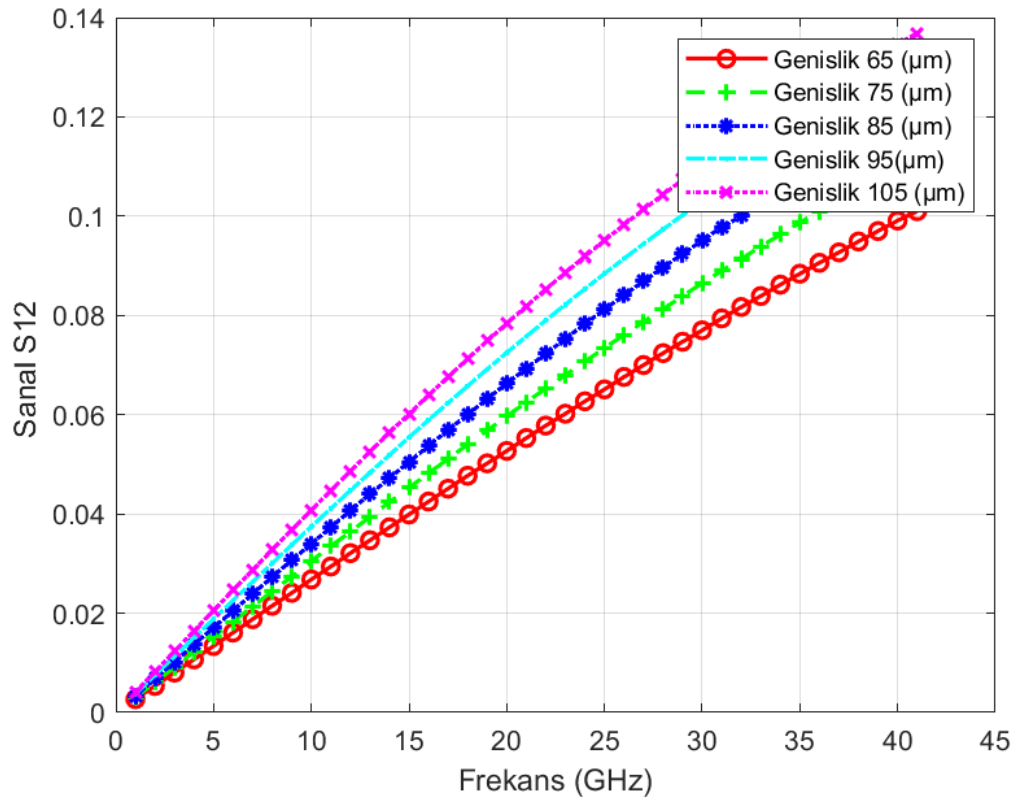
Şekil 3.17 $Reel S_{11}$ 'in kapı genişliğiyle değişimi



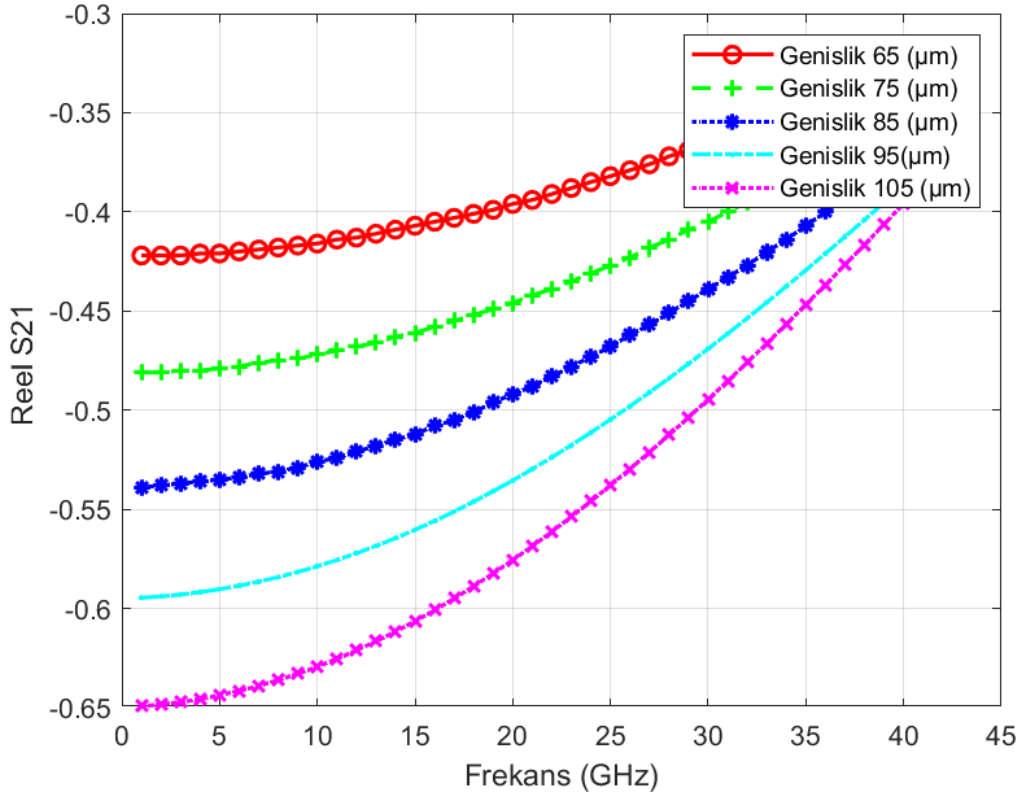
Şekil 3.18 $Sanal S_{11}$ 'in kapı genişliğiyle değişimi



Şekil 3.19 $Reel S_{12}$ 'in kapı genişliğiyle değişimi



Şekil 3.20 $Sanal S_{12}$ 'in kapı genişliğiyle değişimi

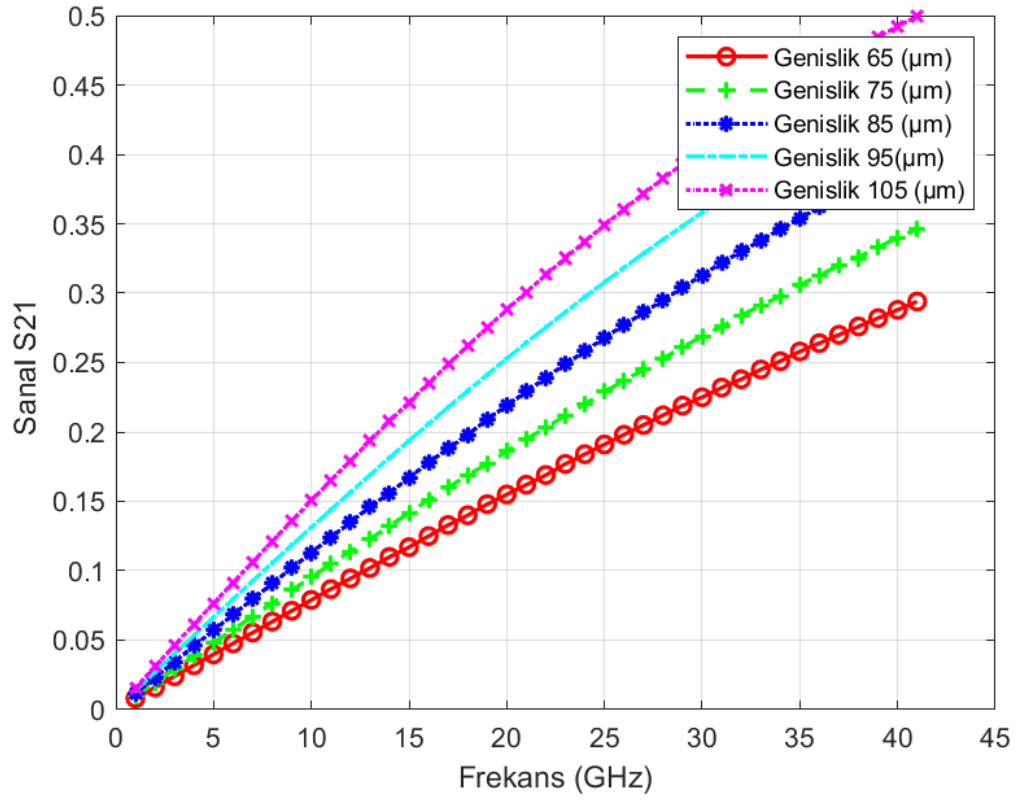


Şekil 3.21 $ReelS_{21}$ 'in kapı genişliğiyle değişimi

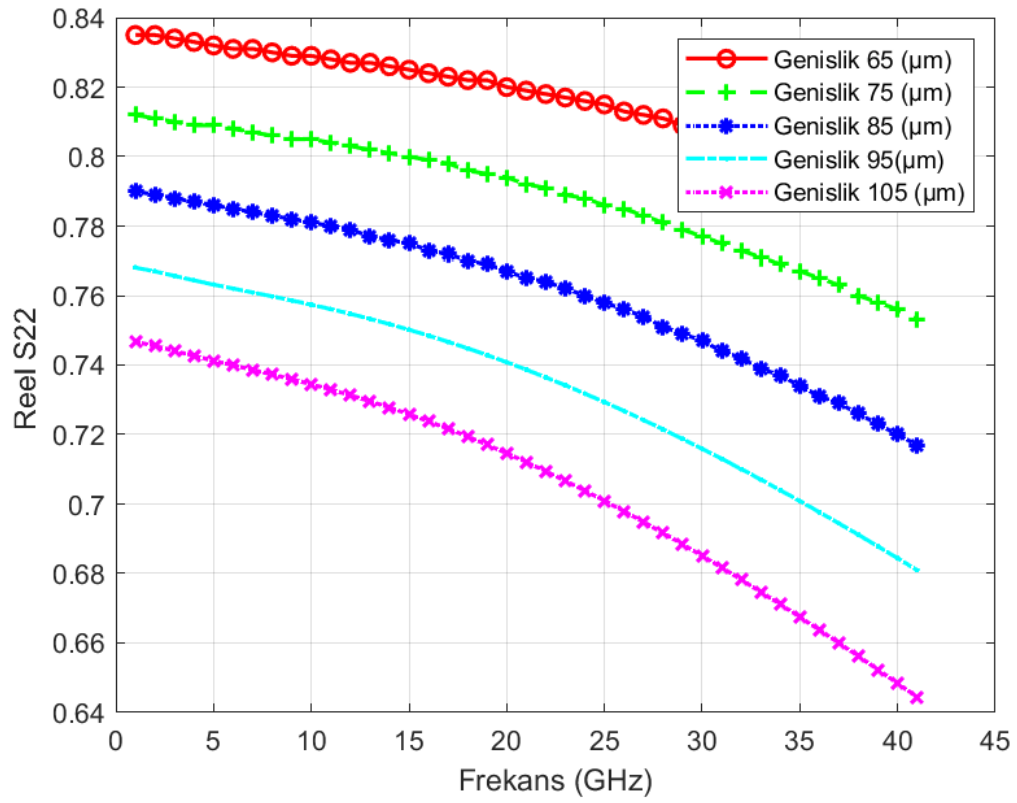
Şekil 3.22'de görüldüğü gibi kapı genişliği parametresinin $SanalS_{21}$ parametresine etkisi vardır ve kapı genişliği arttıkça bu değer artmaktadır.

Şekil 3.23'de görüldüğü gibi kapı genişliği parametresinin $ReelS_{22}$ parametresine etkisi vardır ve kapı genişliği arttıkça bu değer azalmaktadır.

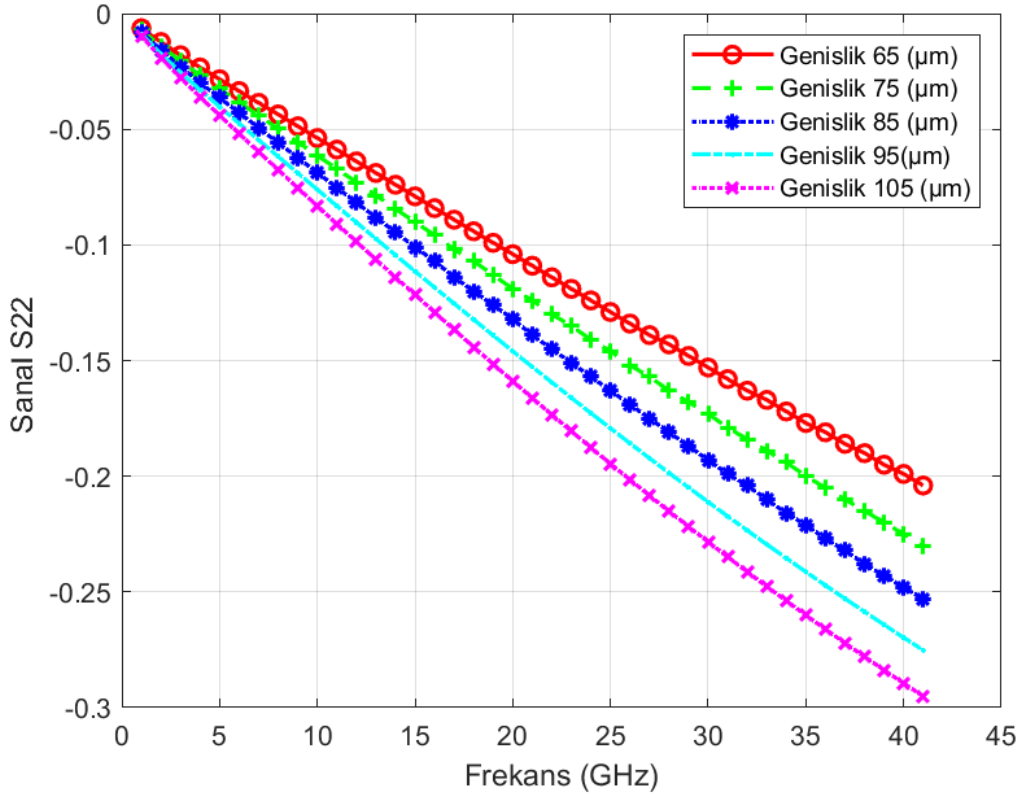
Şekil 3.24'de görüldüğü gibi kapı genişliği parametresinin $SanalS_{22}$ parametresine etkisi vardır ve kapı genişliği arttıkça bu değer azalmaktadır.



Şekil 3.22 $Sanal S_{21}$ 'in kapı genişliğiyle değişimi



Şekil 3.23 $Reel S_{22}$ 'in kapı genişliğiyle değişimi



Şekil 3.24 $Sanal S_{22}$ 'in kapı genişliğiyle değişimi

3.2 Beyaz Kutu Modellemesi

Beyaz kutu modellemesi kara kutu modellemesinin aksine oluşturulan model parametreleri açık, net ve anlaşılır olması gerekmektedir [26]. Bu tür modellemelerde doğruluk ve açıklanabilirlik arasında iyi bir denge kurulmaktadır. Beyaz kutu modelleme algoritması olarak sembolik bağlanım kullanılacaktır. Bu algoritmayı temel olarak oluşturulan Eureqa yazılımı bu çalışmada kullanılmıştır.

3.2.1 Eureqa Yazılımı

Eureqa yazılımı büyük veri seti içinden parametrelerin birbiriyle olan ilişkisini ortaya çıkaran bir programdır. Diğer bir deyişle Eureqa yapay zeka bazlı modelleme tekniğiyle evrimsel arama yöntemlerini bir araya getirerek veri seti üzerinden matematiksel denklemler ortaya çıkartır.

Eureqa yazılımı kullanıcı dostu bir arayüze sahiptir ve 6 farklı bölümden oluşmaktadır. İlk olarak giriş bölümünde veri setinin programa girilmesi beklenmektedir. Veri seti excel dosyasında virgülle ayrılmış değer formatında girilebilir. İkinci olarak verinin hazırlanmasıdır. Bu bölümde parametreler üzerinden normalizasyon, kaydırma ve

uç değer gibi parametrelerin çıkarılması gibi veriyi uygun formata getirme işlemleri yapılır. Üçüncü bölüm uygun matematiksel ifadenin aranacağı bölümdür. Bu bölümde temel dört işlemler, trigonometrik ifadeler, Gauss, faktöriye ve güç ifadeleri gibi geniş bir matematiksel fonksiyon havuzu bulunmaktadır. Bu bölümde seçilecek matematiksel fonksiyonlar kritik öneme sahiptir. Çünkü çok fazla sayıda seçilecek matematiksel fonksiyon çalışma süresini aşırı derecede uzatacağı gibi çok az sayıya seçilecek matematiksel fonksiyon ise büyük hatalarla sonuç bulacaktır. Diğer bir yandan sadece matematiksel fonksiyon sayısı değil aynı zamanda her bir fonksiyonun karmaşıklık düzeyi vardır. Sonuç olarak bu bölümde seçilecek fonksiyonlar oluşturulan veri setiyle uyumlu olmalıdır. Eğer uyumsuzluk olması durumunda saatler sonucunda elde ettiğiniz denklemlerin hata oranları beklediğinizden büyük çıkabilir. Kabul edilebilir hata seviyesine ulaşıldığı zaman kullanıcı aramayı durdurabilir. Bundan sonraki bölüm ise sonuç kısmıdır. Eureka sonuç bölümünde arama kısmında seçtiğimiz fonksiyonlardan bize bir denklem üretir. Son bölüm olan raporlama bölümünde bu denklemlerin hata fonksiyonları yardımıyla doğruluğu ortaya konur.

Transistörlerin S parametreleri frekans, kapı ve savak gerilimi ve kapı genişliğine bağlı olarak değiştiği öngörülmektedir. Veri seti oluşturduktan sonra Eureka yazılımı kullanarak bu değişimin nasıl bir matematiksel ifadeye dönüşeceği bir sonraki bölümde ele alınmıştır.

3.2.2 Denklemlerin Oluşturulması

İlk denklem olarak $ReelS_{11}$ parametresi oluşturulmuştur. Denklem 3.1'de gösterilmiştir ve bu denklem polinom ifadesidir. Denklemden değişken olarak frekans, kapı genişliği ve kapı gerilimi parametreleri mevcutken savak gerilimi yoktur. Daha önce parametreleri etkisi bölümünde gösterildiği üzere $ReelS_{11}$ parametresine savak gerilimi parametresi etkilememiştir.

$$ReelS_{11} = 1 + f^2 * 10^{-23} \{ V_g (2.6 - 0.011 * W * V_g) - 0.01 * W (7.92 * V_g + 0.127 * W) \} \quad (3.1)$$

İkinci denklem olarak $SanalS_{11}$ parametresi oluşturulmuştur. Denklem 3.2'de gösterilmiştir ve bu denklem hiperbolik tanjant fonksiyondur. Hiperbolik tanjant fonksiyonun değişim aralığı -1 ile 1 arasındadır. Denklemden değişken olarak frekans, kapı genişliği ve kapı gerilimi parametreleri mevcutken savak gerilimi yoktur. Daha önce parametreleri etkisi bölümünde gösterildiği üzere $SanalS_{11}$ parametresine savak

gerilimi parametresi etkilememiştir.

$$SanalS_{11} = \tanh(-2.27 * 10^{-11} * f) + \tanh\left(\frac{7.54 * 10^{-10} * f}{W + 5.56 * 10^{-10} * f + (W - 50.6)^{-8} + V_g(W + 2.31(W - 50.6)^{-8} - 53)^{0.608 - 17}}\right) \quad (3.2)$$

Üçüncü denklem olarak $ReelS_{21}$ parametresi oluşturulmuştur. Denklem 3.3'de gösterilmiştir ve bu denklem hiperbolik tanjant fonksiyondur. Denklemde değişken olarak frekans, kapı genişliği ve kapı gerilimi ve savak gerilimi parametreleri mevcuttur.

$$ReelS_{21} = \tanh\left(\frac{10660}{200V_d - 3.11 * 10^3 - V_g * W - 10^{-9} * f * W}\right) + \tanh\left(\left(\frac{1.29 + (3.86 * 10^{-11} * f)^{V_d} + e^{0.543 * V_d}}{W}\right)(V_g + 0.371 * V_d + \frac{-5.46 * V_d}{W - 3.24 * 10^{-10} * f} - 0.681)\right) \quad (3.3)$$

Dördüncü denklem olarak $SanalS_{21}$ parametresi oluşturulmuştur. Denklem 3.4'de gösterilmiştir ve bu denklem hiperbolik tanjant ve ters tanjant fonksiyondur. Denklemde değişken olarak frekans, kapı genişliği ve kapı gerilimi ve savak gerilimi parametreleri mevcuttur.

$$SanalS_{21} = 0.67 * \operatorname{atan}(1.58e - 16 * f * V_d^2 * W^2 * \sin(0.5 * V_d * e^{4V_g})) + \tanh(\tanh(7.57 * 10^{-14} * f * W)) - 3.32 * 10^{-15} * f * V_d * W \quad (3.4)$$

Beşinci denklem olarak $ReelS_{12}$ parametresi oluşturulmuştur. Denklem 3.5'de gösterilmiştir ve bu denklem polinom ifadesidir. Denklemde değişken olarak frekans, kapı genişliği ve savak gerilimi parametreleri mevcutken kapı gerilimi yoktur. Daha önce parametreleri etkisi bölümünde gösterildiği üzere $ReelS_{12}$ parametresine kapı gerilimi parametresi etkilememiştir.

$$ReelS_{12} = 4.46 * 10^{-9} + f * W \{10^{-15}(57.48 * V_d^2 + 3.19) + 4.46 * 10^{-27} * f * W\} * \sin(4.46 * 10^{-9} + f * W(10^{-15}(7.56 + 59.3V_d^2)) + 4.46 * 10^{-27} * f * W) \quad (3.5)$$

Altıncı denklem olarak $SanalS_{12}$ parametresi oluşturulmuştur. Denklem 3.6'de gösterilmiştir ve bu denklem polinom ifadesidir. Denklemde değişken olarak frekans, kapı genişliği ve kapı gerilimi ve savak gerilimi parametreleri mevcuttur.

$$Sanal_{12} = f * 10^{-15} \{W(55.2 - 4.89V_d) - V_g(61V_d - 55.2V_g)\} - 3.58 * 10^{-38} * f^3 * W^2 \quad (3.6)$$

Yedinci denklem olarak $ReelS_{22}$ parametresi oluşturulmuştur. Denklem 3.7'de gösterilmiştir ve bu denklem hiperbolik tanjant ve sinüs fonksiyondur. Denklemde değişken olarak frekans, kapı genişliği ve kapı gerilimi ve savak gerilimi parametreleri mevcuttur.

$$\begin{aligned} ReelS_{22} = & \tanh(0.192^{(\sin(V_g + 0.335V_d) - \sin((W - 49.4)^{0.18}))}) - 3.05 * 10^{-16} * f * W^2 \\ & + \tanh(1.99 * 10^{-5} * W * V_d + (2.13 * 10^{-6} * W^2 * V_d)^{(0.733 + 9.56 * 10^{-12} * f + \frac{2.41 * 10^9 * V_d}{f}})) \end{aligned} \quad (3.7)$$

Sekinci denklem olarak $SanalS_{22}$ parametresi oluşturulmuştur. Denklem 3.8'de gösterilmiştir ve bu denklem polinom ifadesidir. Denklemde değişken olarak frekans, kapı genişliği ve kapı gerilimi ve savak gerilimi parametreleri mevcuttur.

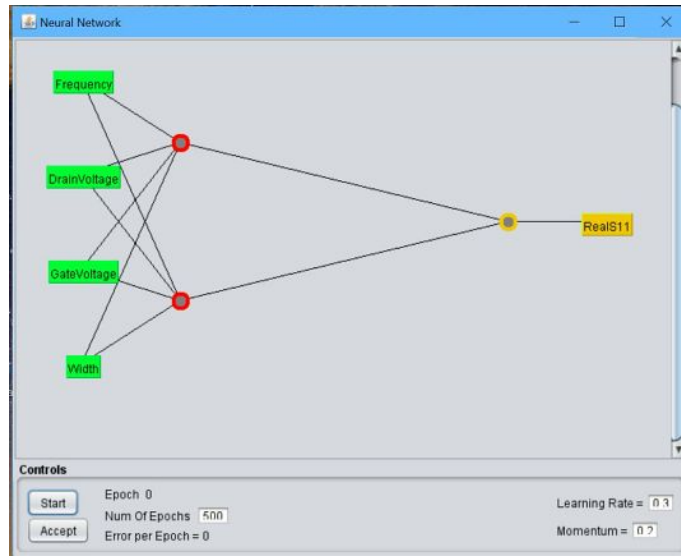
$$\begin{aligned} SanalS_{22} = & \tanh(-1.63 - (\frac{8 * 10^9}{f} - 0.67 * V_g)^{(V_d + \frac{11.9}{f * V_d * 10^{-9} - V_g} - 1.87)}) \\ & + \tanh(\frac{38.7 + 1.86 * V_d + 5.4 * \tan(2438 * W - 1.34 * 10^5)}{\sqrt{284 + 10^{-9} * f(3.59 * V_g + W)}}) \end{aligned} \quad (3.8)$$

3.3 Kara Kutu Modellemesi

Kara kutu modellemesi sırasında WEKA yazılımı kullanılmıştır. Bu yazılım literatürde yaygın olarak kullanılan algoritmaları barındırmaktadır. Ayrıca, algoritmaların içindeki parametreleri değiştirme imkânında tanınmaktadır. Böylelikle en uygun parametrelerin bulunması konusunda olanak sağlamaktadır. Yapay sinir Ağları, IBK, Kstar, Bagging, REPTree algoritmaları aşağıda sırasıyla ayrıntılı bir şekilde verilmiştir.

3.3.1 Yapay Sinir Ağları

Şekil 3.26’de yapay sinir ağlarının parametreleri verilmiştir. Yapay sinir ağları oluştururken kullanılan parametreler, öğrenme katsayısı 0.3, momentum değeri 0.2 ve bir parça alınan veri seti boyutu ise 100 olarak alınmıştır. Bu algoritma [30–32], kullanılarak literatürde transistor modellemesi gerçekleştirilmiştir. Bu parametreler kullanılarak yapay sinir ağları eğitilmiş ve model oluşturulmuştur. Bu model daha sonra örnek durumlar oluşturularak doğruluğu belirlenmiştir. Örnek olarak $ReelS_{11}$ parameterisi çıkış parametresi olarak alınıp, giriş parametresi olarak savak gerilimi, kapı gerilimi, kapı genişliği ve frekans parametresinin alındığı durumda oluşturulan yapay sinir ağı yapısı şekil 3.25’ gösterilmiştir.



Şekil 3.25 Yapay sinir ağlarının gösterimi

weka.gui.GenericObjectEditor

weka.classifiers.functions.MultilayerPerceptron

About

A classifier that uses backpropagation to learn a multi-layer perceptron to classify instances.

More

Capabilities

GUI: False

autoBuild: True

batchSize: 100

debug: False

decay: False

doNotCheckCapabilities: False

hiddenLayers: a

learningRate: 0.3

momentum: 0.2

nominalToBinaryFilter: True

normalizeAttributes: True

normalizeNumericClass: True

numDecimalPlaces: 2

reset: True

resume: False

seed: 0

trainingTime: 500

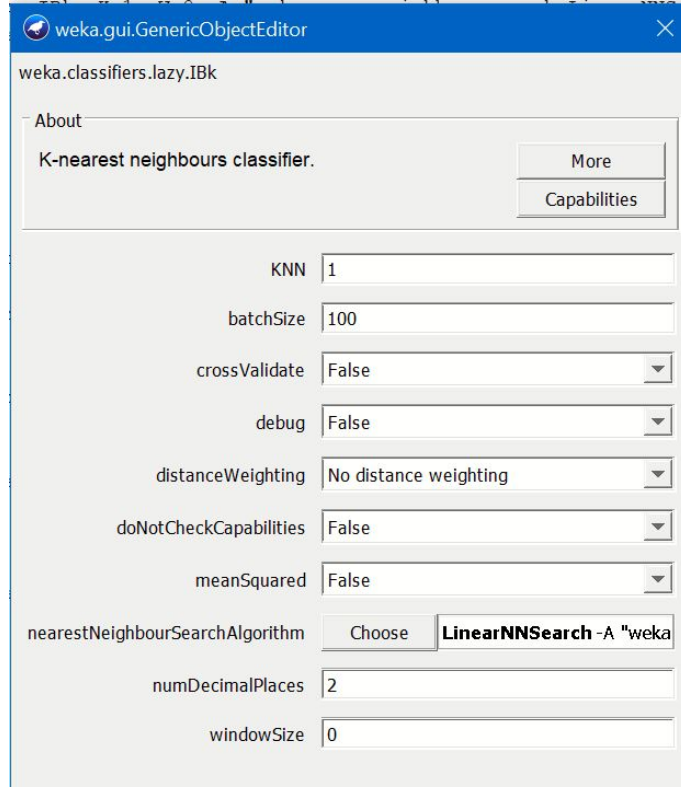
validationSetSize: 0

validationThreshold: 20

Şekil 3.26 Yapay sinir ağlarının parametreleri

3.3.2 IBk

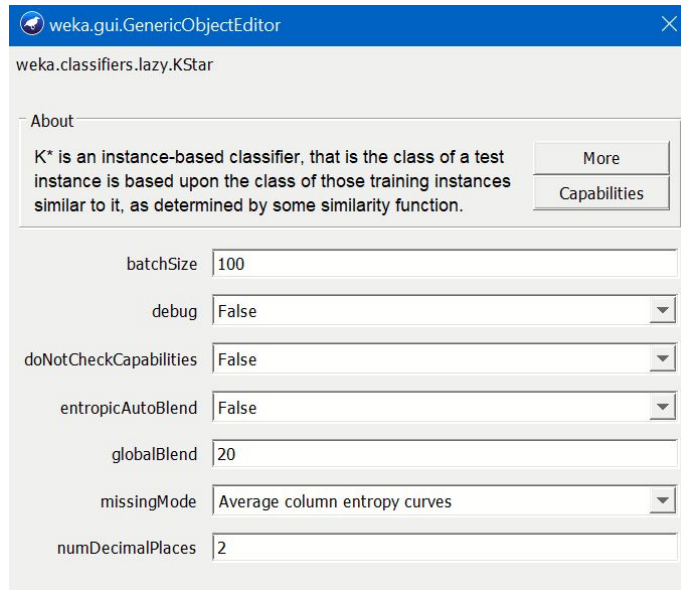
Şekil 3.27’de IBk algoritmasının [33, 34] parametreleri verilmiştir. Bu parametreler kullanılarak IBk algoritması eğitilmiş ve model oluşturulmuştur. Bu model daha sonra örnek durumlar oluşturularak doğruluğu belirlenmiştir.



Şekil 3.27 IBk algoritmasının parametreleri

3.3.3 KStar

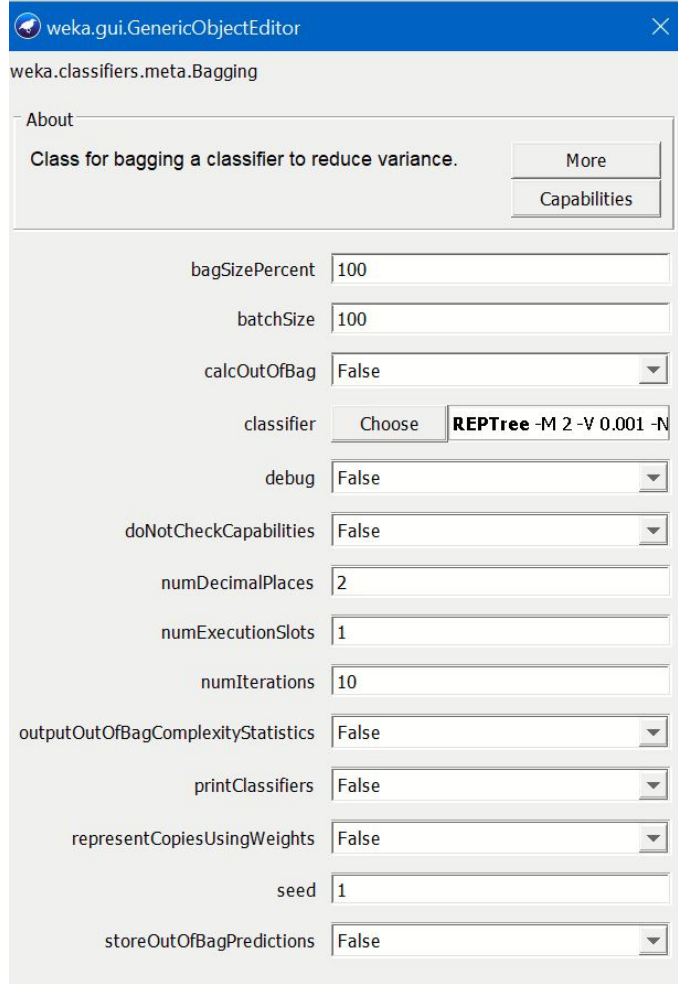
Şekil 3.28’de KStar algoritmasının [34] parametreleri verilmiştir. Bu parametreler kullanılarak Kstar algoritması eğitilmiş ve model oluşturulmuştur. Bu model daha sonra örnek durumlar oluşturularak doğruluğu belirlenmiştir.



Şekil 3.28 KStar algoritmasının parametreleri

3.3.4 Bagging

Şekil 3.29’de Bagging algoritmasının [29] parametreleri verilmiştir. Bu parametreler kullanılarak Bagging algoritması eğitilmiş ve model oluşturulmuştur. Bu model daha sonra örnek durumlar oluşturularak doğruluğu belirlenmiştir.



The screenshot shows the 'weka.gui.GenericObjectEditor' window for the 'weka.classifiers.meta.Bagging' classifier. The 'About' section states: 'Class for bagging a classifier to reduce variance.' Below this are 'More' and 'Capabilities' buttons. The main area contains various parameters:

Parameter	Value
bagSizePercent	100
batchSize	100
calcOutOfBag	False
classifier	Choose REPTree -M 2 -V 0.001 -N
debug	False
doNotCheckCapabilities	False
numDecimalPlaces	2
numExecutionSlots	1
numIterations	10
outputOutOfBagComplexityStatistics	False
printClassifiers	False
representCopiesUsingWeights	False
seed	1
storeOutOfBagPredictions	False

Şekil 3.29 Bagging algoritmasının parametreleri

3.3.5 REPTree

Şekil 3.30’de REPTree algoritmasının [23] parametreleri verilmiştir. Bu parametreler kullanılarak REPTree algoritması eğitilmiş ve model oluşturulmuştur. Bu model daha sonra örnek durumlar oluşturularak doğruluğu belirlenmiştir.

weka.gui.GenericObjectEditor

weka.classifiers.trees.REPTree

About

Fast decision tree learner.

More

Capabilities

batchSize 100

debug False

doNotCheckCapabilities False

initialCount 0.0

maxDepth -1

minNum 2.0

minVarianceProp 0.001

noPruning False

numDecimalPlaces 2

numFolds 3

seed 1

spreadInitialCount False

Şekil 3.30 REPTree algoritmasının parametreleri

4 DOĞRULAMA YÖNTEMLERİ

Bölüm 3’de oluşturulan MESFET transistör modelinin doğruluğu göstermek için iki farklı yöntem izlenmiştir. İlk olarak tüm veri seti üzeri kullanılarak yapılan doğrulama yöntemidir. Bu yöntem kullanılarak hata oranları hem bir tablo olarak verilmiş hem de simülasyon sonucuyla üst üste çizdirilerek, modelin doğruluğu gösterilmeye çalışılmıştır. İlk gösterim metodu olarak reel ve sanal kısım ayrı olmak üzere kartezyen koordinat düzleminde gösterim gerçekleştirilmiştir. Toplam 8 adet parametre olduğu için bu gösterim şeklinde 8 farklı grafik elde edilmiştir. İkinci gösterim metodu olarak polar koordinat düzlemi seçilmiştir. Bu koordinat düzleminde S parametreleri Atlas sonucuyla Eureka sonucu üst üste çizdirilerek modelin doğruluğu gösterilmiştir.

İkinci doğrulama metodu olarak ise örnek durumlar oluşturularak, bu durumlar üzerinden modelin hata değeri gösterilmiştir. Bu oluşturulan örnek durumlar, üretilen veri setinin dışından parametreler yardımıyla oluşturulmuştur. Bu yöntemin kullanılmasının sebebi, modelin gerçek tahmin gücünü ortaya çıkarmaktır. Bunun için 4 farklı örnek durum oluşturulmuş ve S parametrelerinin reel ve sanal kısımları kartezyen koordinat düzleminde önerilen model, en iyi algoritma ve cihaz simülasyon sonucuyla grafiksel olarak karşılaştırılmıştır. Ayrıca, polar koordinat düzleminde Atlas sonucuyla, Eureka sonucu karşılaştırılmıştır.

4.1 Veri Seti Üzerinden Doğrulama

Tüm veri seti üzerinden hata değeri hesaplanarak tablo şeklinde sunulmuştur. Hata fonksiyonu olarak ortalama mutlak hata (MAE), ortalama karesel hata (MSE), kök ortalama karesel hata (RMSE) ve Pearson çarpım-moment korelasyon katsayısı (Rsq) kullanılmıştır. Hata metrik fonksiyonların hesaplanması sırasıyla aşağıdaki denklemler 4.1, 4.2, 4.3 ve 4.4’da gösterilmiştir.

$$MAE = \frac{1}{n} \sum_{i=1}^n |y_i - \hat{y}_i| \quad (4.1)$$

$$MSE = \frac{1}{n} \sum_{i=1}^n (y_i - \hat{y}_i)^2 \quad (4.2)$$

$$RMSE = \sqrt{\frac{1}{n} \sum_{i=1}^n (y_i - \hat{y}_i)^2} \quad (4.3)$$

$$SSE = \sum_{i=1}^n (y_i - \hat{y}_i)^2 \quad (4.4)$$

$$SST = \sum_{i=1}^n (y_i - \bar{y})^2 \quad R^2 = \frac{SST - SSE}{SST}$$

Tablo 4.1’de tüm veri seti kullanılarak bahsedilen hata metrik fonksiyonlarının değerleri ve kullanılan algoritmalar verilmiştir. Kapalı kutu algoritmalarından en iyi sonuç veren algoritma Bagging algoritmasıdır.

Tablo 4.1 Reel S_{11} parametresinin hata metrik değerleri

Models	MAE	MSE	RMSE	Rsqr
Eureqa	0.012128087	0.000446056	0.02112004	0.806259184
MLP	0.006765704	0.000150671	0.012274827	0.93337841
IBk	0.006654688	0.000203156	0.014253279	0.910171564
KStar	0.006641543	0.00025964	0.016113337	0.88519648
Bagging	0.002731762	5.30E-05	0.007281039	0.976559282
REPTree	0.003703694	7.20E-05	0.00848612	0.968157836

Tablo 4.2’de tüm veri seti kullanılarak bahsedilen hata metrik fonksiyonlarının değerleri ve kullanılan algoritmalar verilmiştir. Kapalı kutu algoritmalarından en iyi sonuç veren algoritma Bagging algoritmasıdır. REPTree algoritması da oldukça yakındır.

Tablo 4.2 Sanal S_{11} parametresinin hata metrik değerleri

Models	MAE	MSE	RMSE	Rsqr
Eureqa	0.014063173	0.000677408	0.026027055	0.96144134
MLP	0.025399066	0.00171255	0.041382973	0.901852906
IBk	0.019608998	0.001078541	0.032841154	0.938188271
KStar	0.016497485	0.001222811	0.03496872	0.929920089
Bagging	0.006026916	0.000212237	0.014568363	0.987836584
REPTree	0.007656559	0.000233254	0.015272651	0.986632108

Tablo 4.3’de tüm veri seti kullanılarak bahsedilen hata metrik fonksiyonlarının değerleri ve kullanılan algoritmalar verilmiştir. Kapalı kutu algoritmalarından en

iyi sonuç veren algoritma IBk algoritmasıdır. Benzer şekilde Bagging ve REPTree algoritmalarında oldukça yakın değerler üretmiştir.

Tablo 4.3 Reel S_{21} parametresinin hata metrik değerleri

Models	MAE	MSE	RMSE	Rsq
Eureqa	0.011464467	0.001485222	0.038538578	0.966639232
MLP	0.027715822	0.001947627	0.044131924	0.955094344
IBk	0.005540712	0.000319766	0.017882012	0.992627274
KStar	0.040069783	0.006037085	0.077698682	0.860805325
Bagging	0.005940277	0.000146507	0.012103996	0.996622053
REPTree	0.007919107	0.000246127	0.015688447	0.994325139

Tablo 4.8’de tüm veri seti kullanılarak bahsedilen hata metrik fonksiyonlarının değerleri ve kullanılan algoritmalar verilmiştir. Kapalı kutu algoritmalarından en iyi sonuç veren algoritma Bagging algoritmasıdır.

Tablo 4.4 Sanal S_{21} parametresinin hata metrik değerleri

Models	MAE	MSE	RMSE	Rsq
Eureqa	0.009904024	0.000956586	0.030928717	0.887285646
MLP	0.024106671	0.001312224	0.036224628	0.842472872
IBk	0.009411302	0.00033796	0.01838369	0.959429268
KStar	0.015615885	0.001083704	0.032919666	0.869905683
Bagging	0.006132841	0.000238217	0.015434264	0.971403075
REPTree	0.00893113	0.00034741	0.018638929	0.958294881

Tablo 4.5’de tüm veri seti kullanılarak bahsedilen hata metrik fonksiyonlarının değerleri ve kullanılan algoritmalar verilmiştir. Kapalı kutu algoritmalarından en iyi sonuç veren algoritma Bagging algoritmasıdır.

Tablo 4.5 Reel S_{12} parametresinin hata metrik değerleri

Models	MAE	MSE	RMSE	Rsq
Eureqa	0.002919737	9.76E-05	0.009880903	0.803006939
MLP	0.00290818	2.61E-05	0.005110224	0.947157216
IBk	0.003154505	4.96E-05	0.007039856	0.899715587
KStar	0.00289378	5.71E-05	0.007554416	0.884519784
Bagging	0.0014587	9.72E-06	0.003117106	0.980338849
REPTree	0.002090171	1.59E-05	0.003982298	0.967909724

Tablo 4.6’de tüm veri seti kullanılarak bahsedilen hata metrik fonksiyonlarının değerleri ve kullanılan algoritmalar verilmiştir. Kapalı kutu algoritmalarından en iyi

sonuç veren algoritma Bagging algoritmasıdır. Benzer şekilde REPTree algoritmasında oldukça yakındır.

Tablo 4.6 Sanal S_{12} parametresinin hata metrik değerleri

Models	MAE	MSE	RMSE	Rsqu
Eureqa	0.006180175	0.000238026	0.015428099	0.88169747
MLP	0.00823434	0.00018047	0.013433917	0.91037841
IBk	0.006493968	0.000115261	0.010735955	0.942761441
KStar	0.005205033	0.00012272	0.011077898	0.939057242
Bagging	0.002621236	2.08E-05	0.004563365	0.989658639
REPTree	0.00372564	3.33E-05	0.005770711	0.983462646

Tablo 4.7’de tüm veri seti kullanılarak bahsedilen hata metrik fonksiyonlarının değerleri ve kullanılan algoritmalar verilmiştir. Kapalı kutu algoritmalarından en iyi sonuç veren algoritma Bagging algoritmasıdır.

Tablo 4.7 Reel S_{22} parametresinin hata metrik değerleri

Models	MAE	MSE	RMSE	Rsqu
Eureqa	0.008427058	0.000406164	0.020153513	0.95044927
MLP	0.01380803	0.000670321	0.025890557	0.916214593
IBk	0.005453654	0.000201771	0.014204611	0.974780046
KStar	0.018562135	0.001139432	0.033755481	0.857578947
Bagging	0.004035896	6.77E-05	0.008228651	0.991536639
REPTree	0.006088794	0.000115336	0.010739469	0.985583785

Tablo 4.8’de tüm veri seti kullanılarak bahsedilen hata metrik fonksiyonlarının değerleri ve kullanılan algoritmalar verilmiştir. Kapalı kutu algoritmalarından en iyi sonuç veren algoritma Bagging algoritmasıdır.

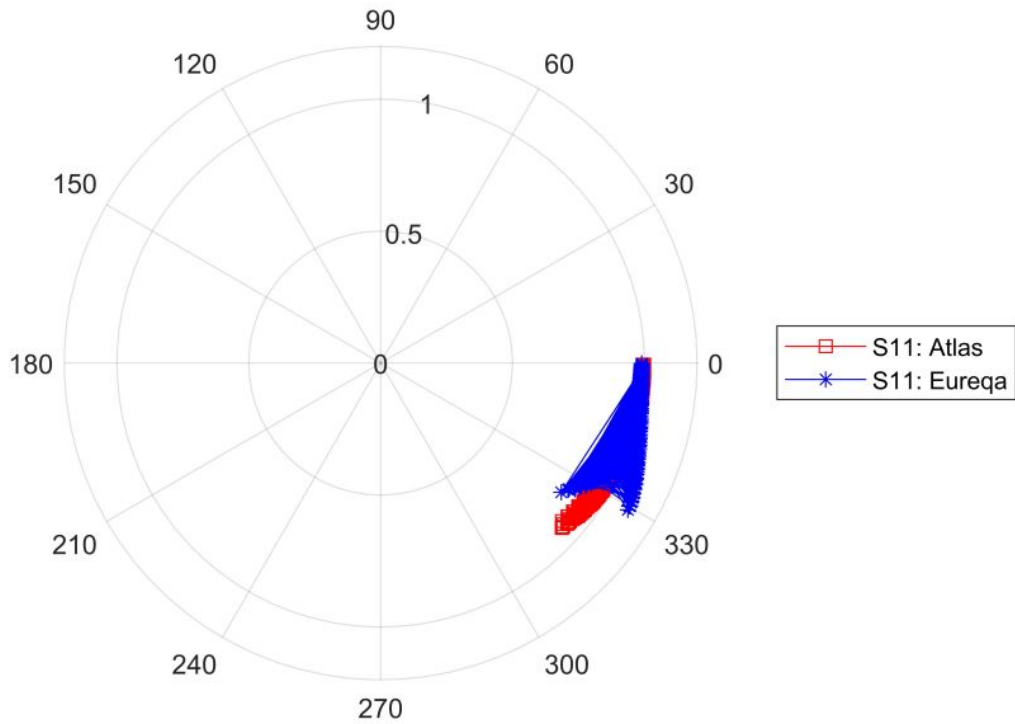
Tablo 4.8 Sanal S_{22} parametresinin hata metrik değerleri

Models	MAE	MSE	RMSE	Rsqu
Eureqa	0.009533012	0.0003115	0.017649364	0.968926269
MLP	0.0210328	0.001125255	0.033544825	0.887767957
IBk	0.014774366	0.000631953	0.025138679	0.936969505
KStar	0.012622915	0.00070723	0.026593797	0.929461452
Bagging	0.006618908	0.000132692	0.011519196	0.986765421
REPTree	0.009430087	0.000218883	0.014794683	0.978168824

4.1.1 Polar Koordinat Düzleminde Gösterim

Oluşturulan veri setinin tamamı polar koordinat düzleminde aşağıdaki grafiklerde gösterilmiştir. Eureka yazılımının elde edilen analitik ifadeler kullanılarak S parametreleri hesaplanmış ve Atlas simülasyon sonucuyla üst üste çizdirilmiştir.

Şekil 4.1’de gösterildiği üzere tüm veri seti kullanılarak S_{11} parametresi Atlas simülasyon sonucuyla Eureka analitik ifade sonucu üst üste çizdirilmiştir. Grafikten görüldüğü üzere analitik ifadeyle Atlas sonucu birbiri üzerine örtüşmektedir.

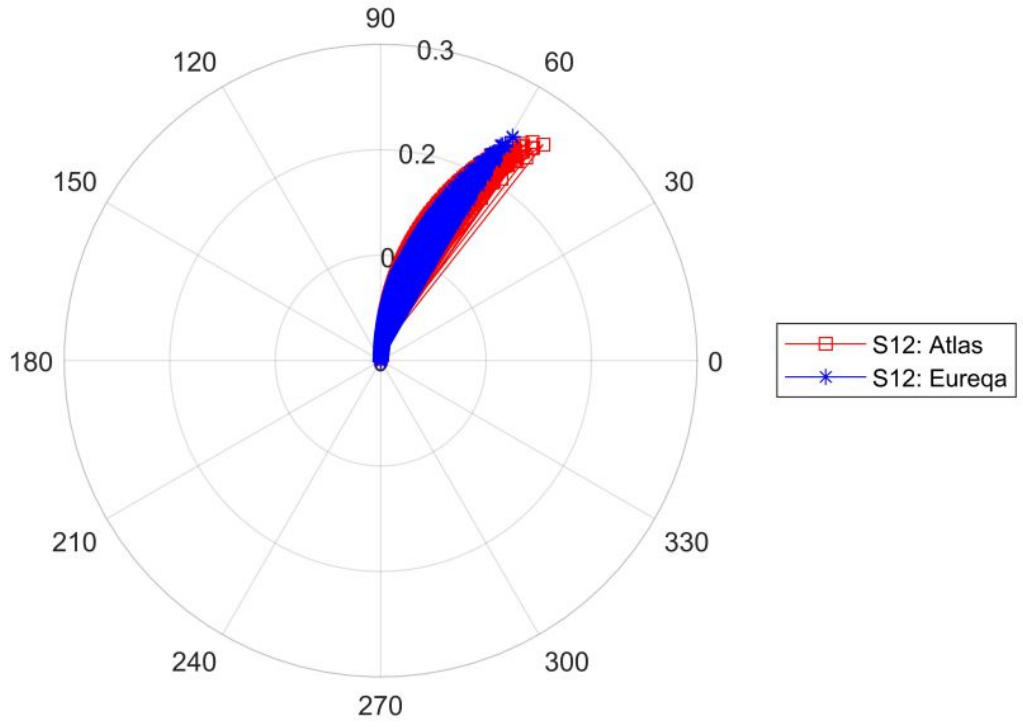


Şekil 4.1 S_{11} parametresinin Eureka denklemleriyle doğrulanması

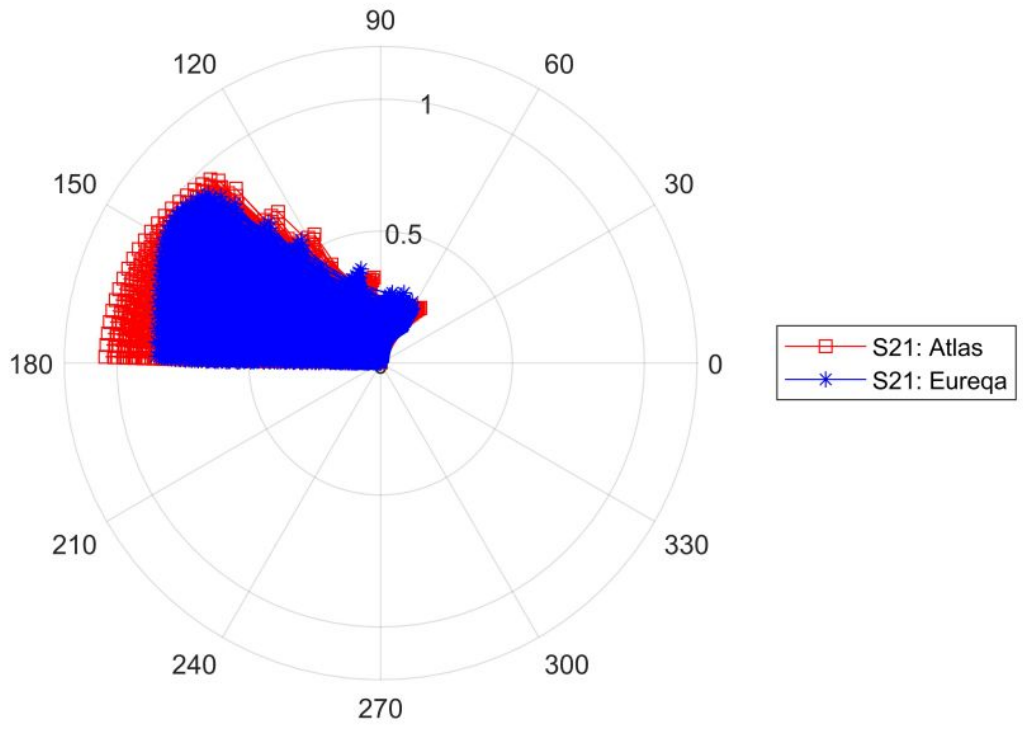
Şekil 4.2’de gösterildiği üzere tüm veri seti kullanılarak S_{12} parametresi Atlas simülasyon sonucuyla Eureka analitik ifade sonucu üst üste çizdirilmiştir.

Şekil 4.3’de gösterildiği üzere tüm veri seti kullanılarak S_{21} parametresi Atlas simülasyon sonucuyla Eureka analitik ifade sonucu üst üste çizdirilmiştir.

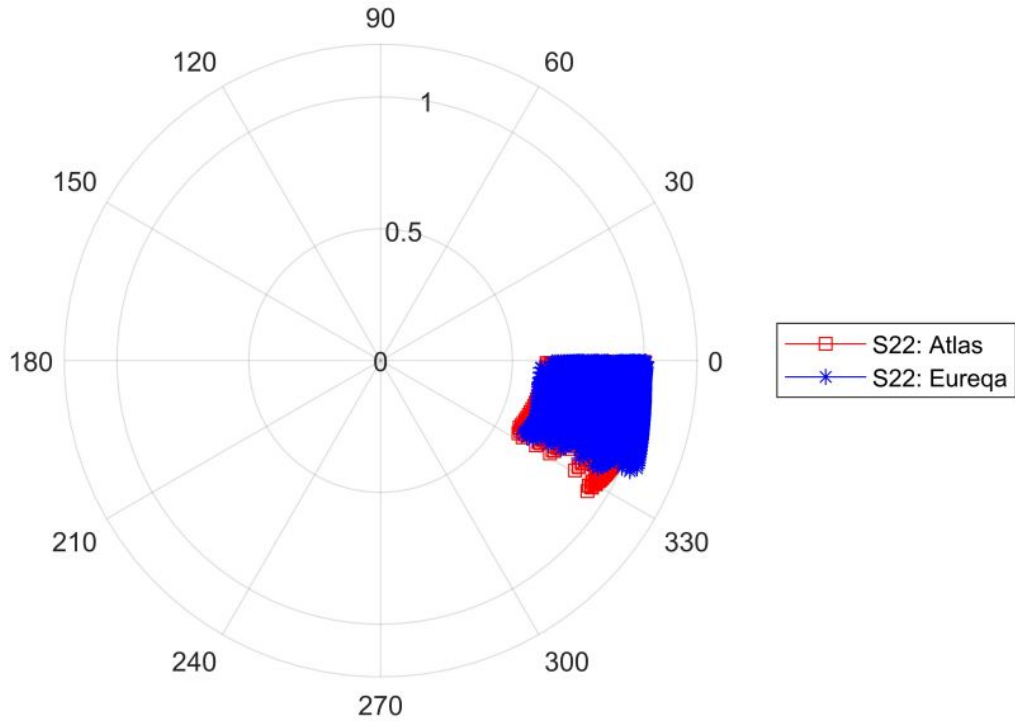
Şekil 4.4’de gösterildiği üzere tüm veri seti kullanılarak S_{22} parametresi Atlas simülasyon sonucuyla Eureka analitik ifade sonucu üst üste çizdirilmiştir.



Şekil 4.2 S_{12} parametresinin Eureka denklemleriyle doğrulanması



Şekil 4.3 S_{21} parametresinin Eureka denklemleriyle doğrulanması



Şekil 4.4 S_{22} parametresinin Eureka denklemleriyle doğrulanması

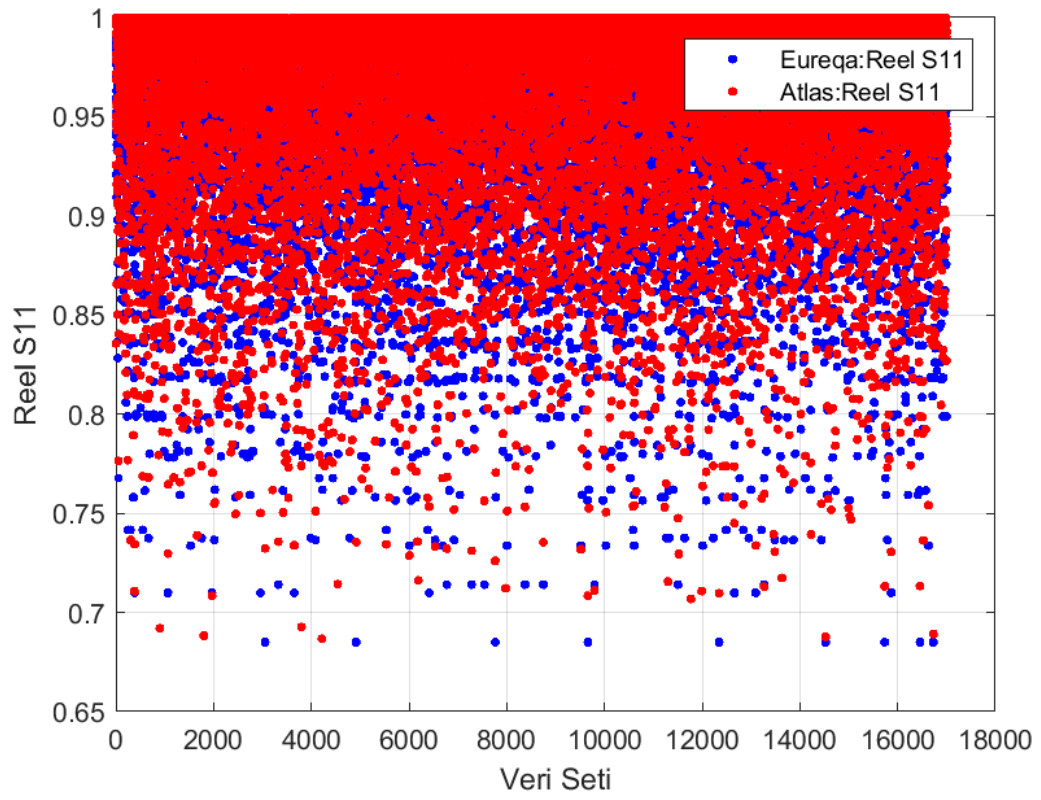
4.1.2 Kartezyen Koordinat Düzleminde Gösterim

Oluşturulan veri setinin tamamı kartezyen koordinat düzleminde reel ve sanal olmak üzere aşağıdaki grafiklerde gösterilmiştir. Eureka yazılımın elde edilen analitik ifadeler kullanılarak S parametreleri hesaplanmış ve Atlas simülasyon sonucuyla üst üste çizdirilmiştir. Aşağıdaki grafiklerde x eksenini oluşturulan veri setinin büyüklüğü olan 17010 sayısını göstermekteyken, y eksenini S parametresinin reel veya sanal kısmını göstermektedir. Genel olarak hata yerleri, grafiklerin uç kesimlerinde gözlenmiştir.

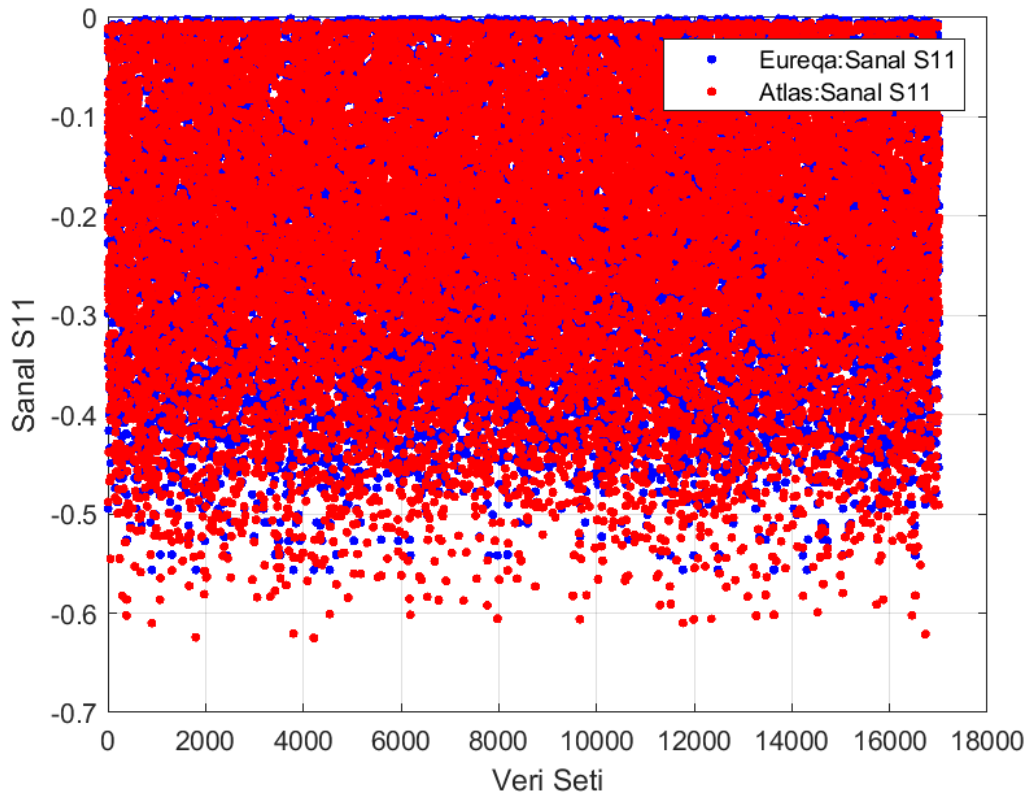
Şekil 4.5’de gösterildiği üzere tüm veri seti kullanılarak $ReelS_{11}$ parametresinin Atlas simülasyon sonucuyla Eureka analitik ifade sonucu üst üste çizdirilmiştir. Grafikten görüldüğü üzere hata yerleri grafiğin uç kesimlerinde gözlemlenmiştir.

Şekil 4.6’de gösterildiği üzere tüm veri seti kullanılarak $SanalS_{11}$ parametresinin Atlas simülasyon sonucuyla Eureka analitik ifade sonucu üst üste çizdirilmiştir. Grafikten görüldüğü üzere hata yerleri grafiğin başlangıç kesimlerinde gözlemlenmiştir.

Şekil 4.7’de gösterildiği üzere tüm veri seti kullanılarak $ReelS_{12}$ parametresinin Atlas simülasyon sonucuyla Eureka analitik ifade sonucu üst üste çizdirilmiştir. Grafikten

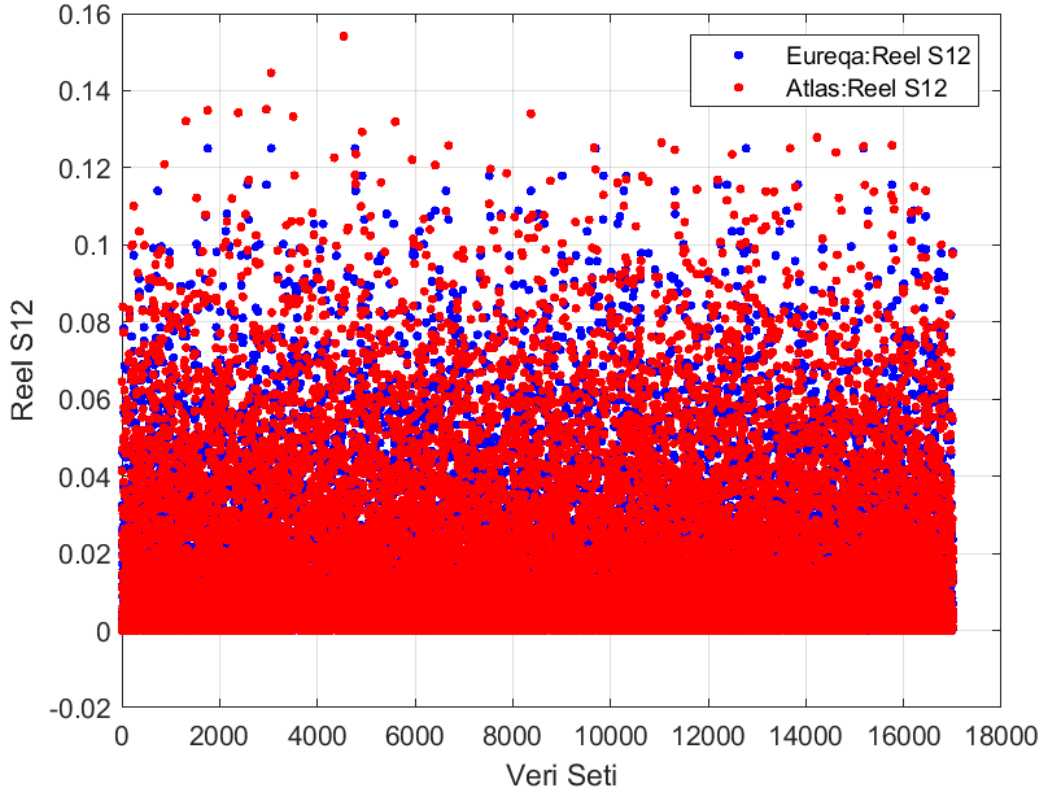


Şekil 4.5 $ReelS_{11}$ 'in Eureqa denklemleriyle doğrulanması



Şekil 4.6 $SanalS_{11}$ 'in Eureqa denklemleriyle doğrulanması

görüldüğü üzere hata yerleri grafiğin uç kesimlerinde gözlemlenmiştir.



Şekil 4.7 $ReelS_{12}$ 'in Eureqa denklemleriyle doğrulanması

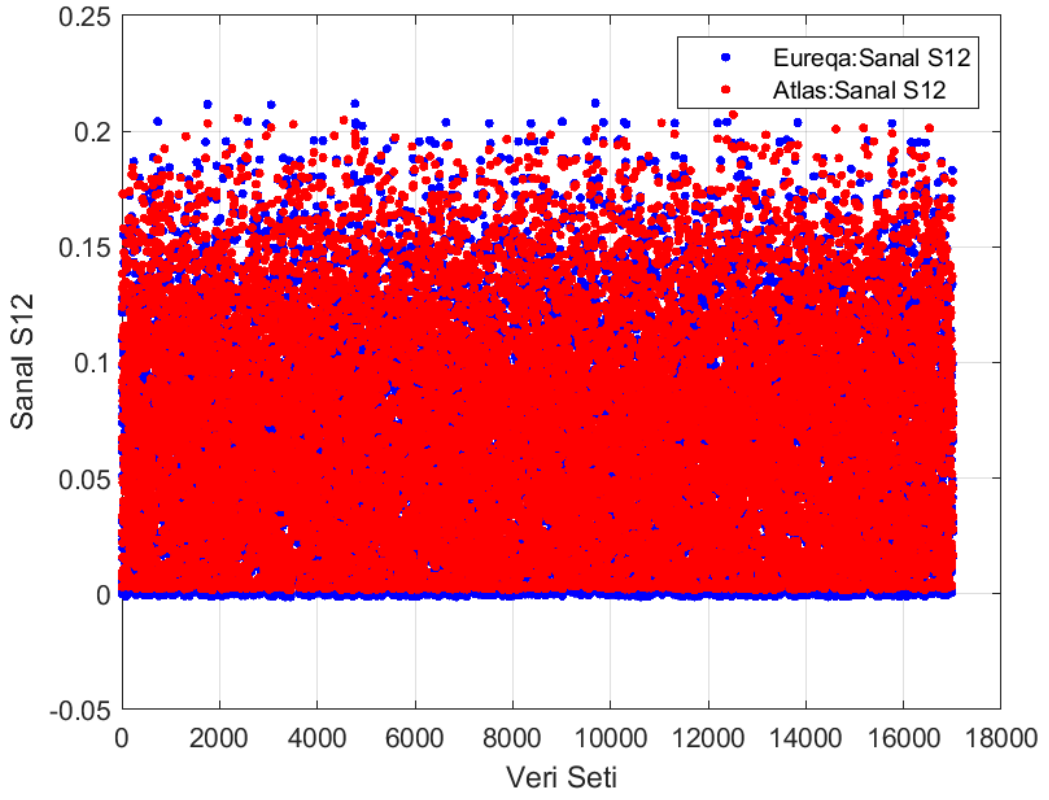
Şekil 4.8'de gösterildiği üzere tüm veri seti kullanılarak $SanalS_{12}$ parametresinin Atlas simülasyon sonucuyla Eureqa analitik ifade sonucu üst üste çizdirilmiştir. Grafikten görüldüğü üzere hata yerleri hem grafiğin uç hem de başlangıç kesimlerinde gözlemlenmiştir.

Şekil 4.9'de gösterildiği üzere tüm veri seti kullanılarak $ReelS_{21}$ parametresinin Atlas simülasyon sonucuyla Eureqa analitik ifade sonucu üst üste çizdirilmiştir. Grafikten görüldüğü üzere hata yerleri grafiğin uç kesimlerinde gözlemlenmiştir.

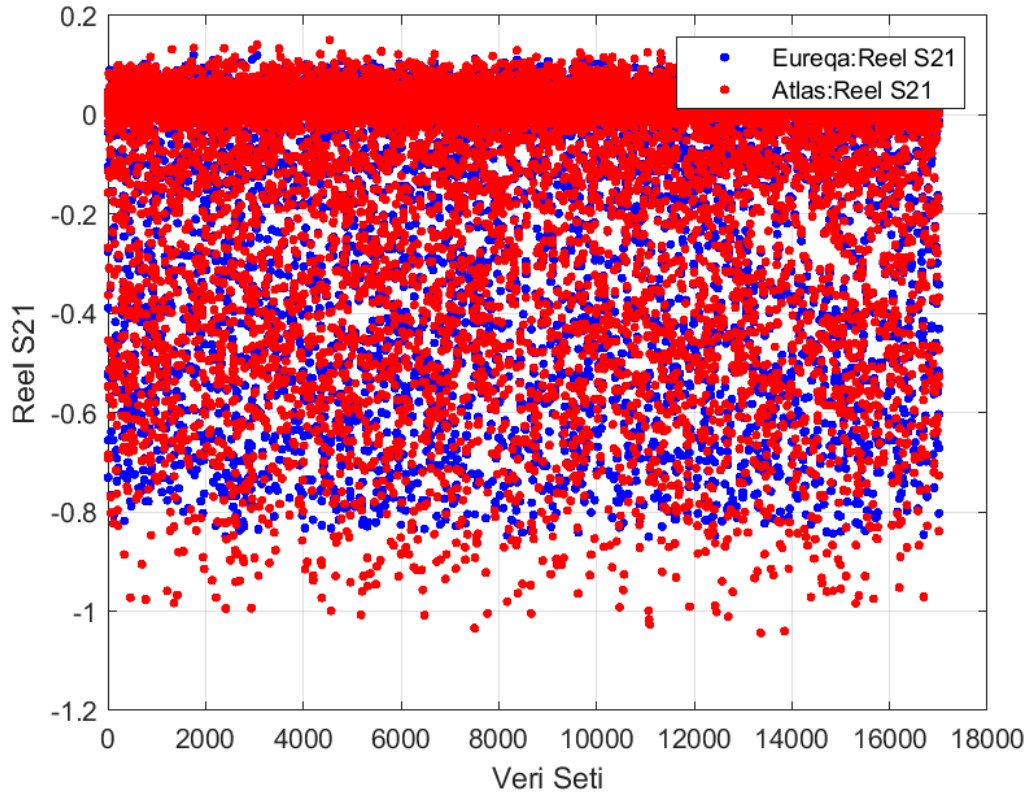
Şekil 4.10'de gösterildiği üzere tüm veri seti kullanılarak $SanalS_{21}$ parametresinin Atlas simülasyon sonucuyla Eureqa analitik ifade sonucu üst üste çizdirilmiştir. Grafikten görüldüğü üzere hata yerleri grafiğin uç kesimlerinde gözlemlenmiştir.

Şekil 4.11'de gösterildiği üzere tüm veri seti kullanılarak $ReelS_{22}$ parametresinin Atlas simülasyon sonucuyla Eureqa analitik ifade sonucu üst üste çizdirilmiştir. Grafikten görüldüğü üzere hata yerleri grafiğin hem uç hem de başlangıç kesimlerinde gözlemlenmiştir.

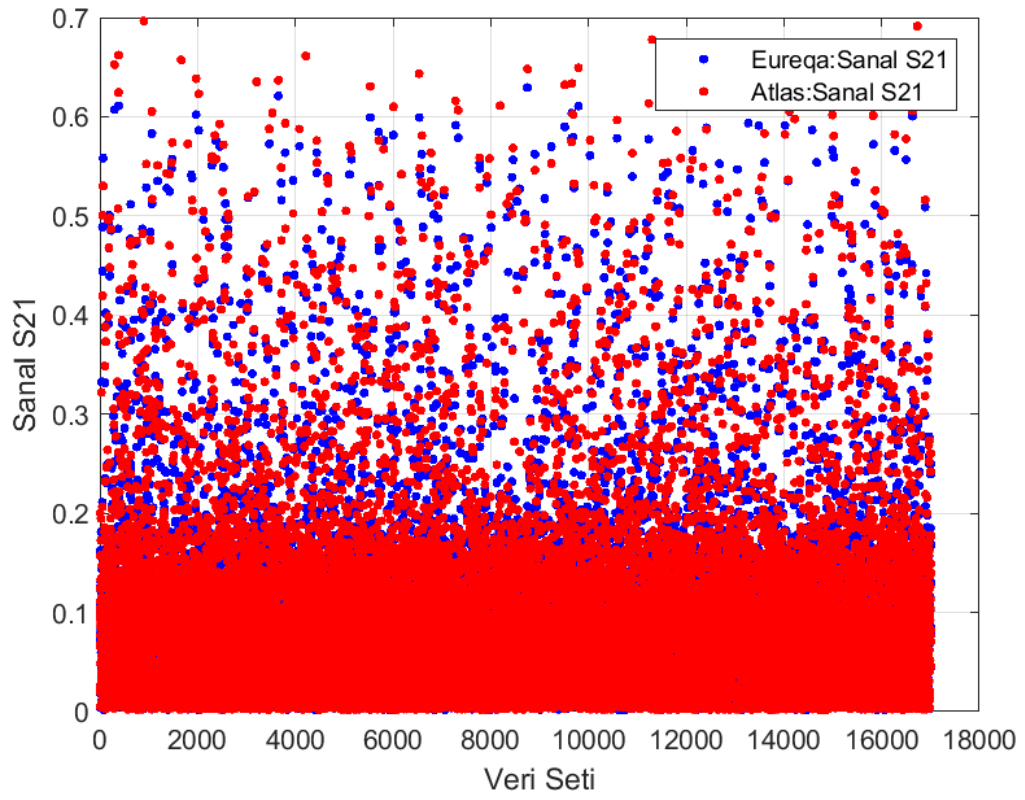
Şekil 4.12'de gösterildiği üzere tüm veri seti kullanılarak $SanalS_{22}$ parametresinin



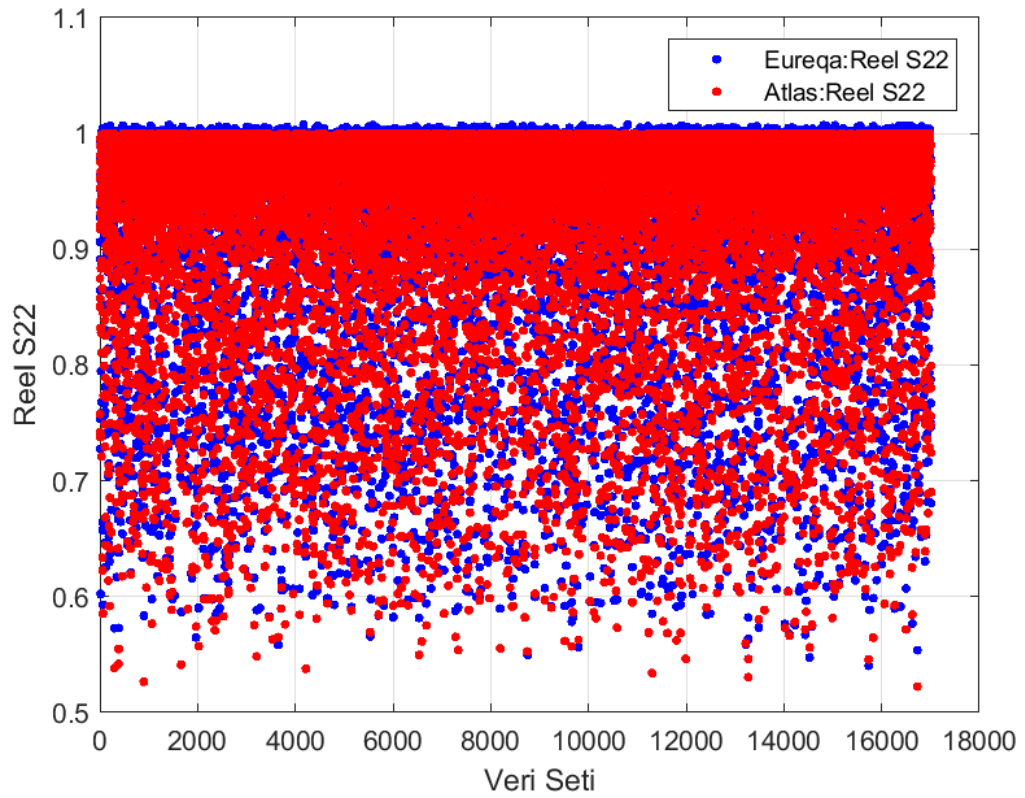
Şekil 4.8 $SanalS_{12}$ 'in Eureqa denklemleriyle doğrulanması



Şekil 4.9 $ReelS_{21}$ Eureqa denklemleriyle doğrulanması

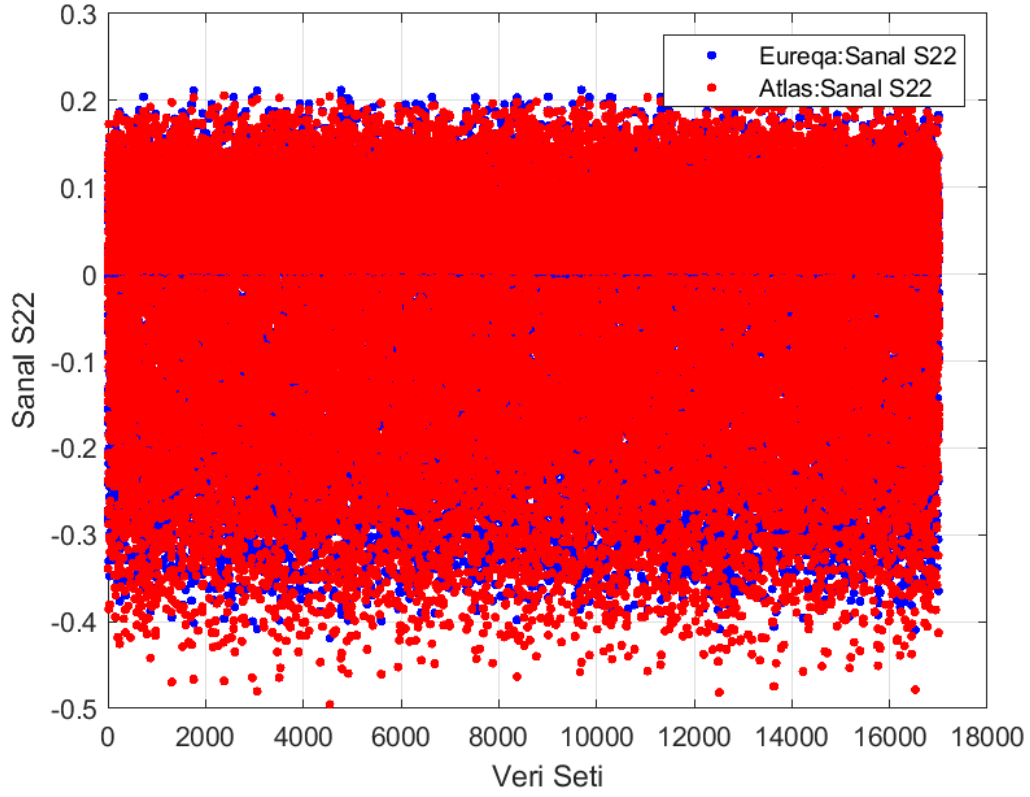


Şekil 4.10 $SanalS_{21}$ 'in Eureqa denklemleriyle doğrulanması



Şekil 4.11 $ReelS_{22}$ 'in Eureqa denklemleriyle doğrulanması

Atlas simülasyon sonucuyla Eureka analitik ifade sonucu üst üste çizdirilmiştir. Grafikten görüldüğü üzere hata yerleri grafiğin uç kesimlerinde gözlemlenmiştir.



Şekil 4.12 $SanalS_{22}$ 'in Eureka denklemleriyle doğrulanması

4.2 Örnek Durumlar Üzerinden Doğrulama

4 farklı örnek durum oluşturulması vasıtasıyla hem Eureka modeli hem de en iyi sonuç veren algoritmanın sonucu simülasyon sonucuyla karşılaştırılmıştır. Elde edilen hata değerleri üzerinden en iyi algoritmalar seçilmiştir. Örnek durumları gösteren parametreler ve değerleri tablo 4.9 gösterilmiştir. Her bir örnek durum için farklı S parametreleri seçilmiştir. Örnek durum 1 için $ReelS_{12}$ ve $SanalS_{12}$, örnek durum 2 için $ReelS_{11}$ ve $SanalS_{11}$, örnek durum 3 için $ReelS_{21}$ ve $SanalS_{21}$ ve örnek durum 4 için $ReelS_{22}$ ve $SanalS_{22}$ parametreleri seçilerek modelin doğruluğu gösterilmesi amaçlanmıştır.

4.2.1 Örnek Durum 1

4.2.1.1 Eureka, Atlas ve en iyi algoritma karşılaştırılması

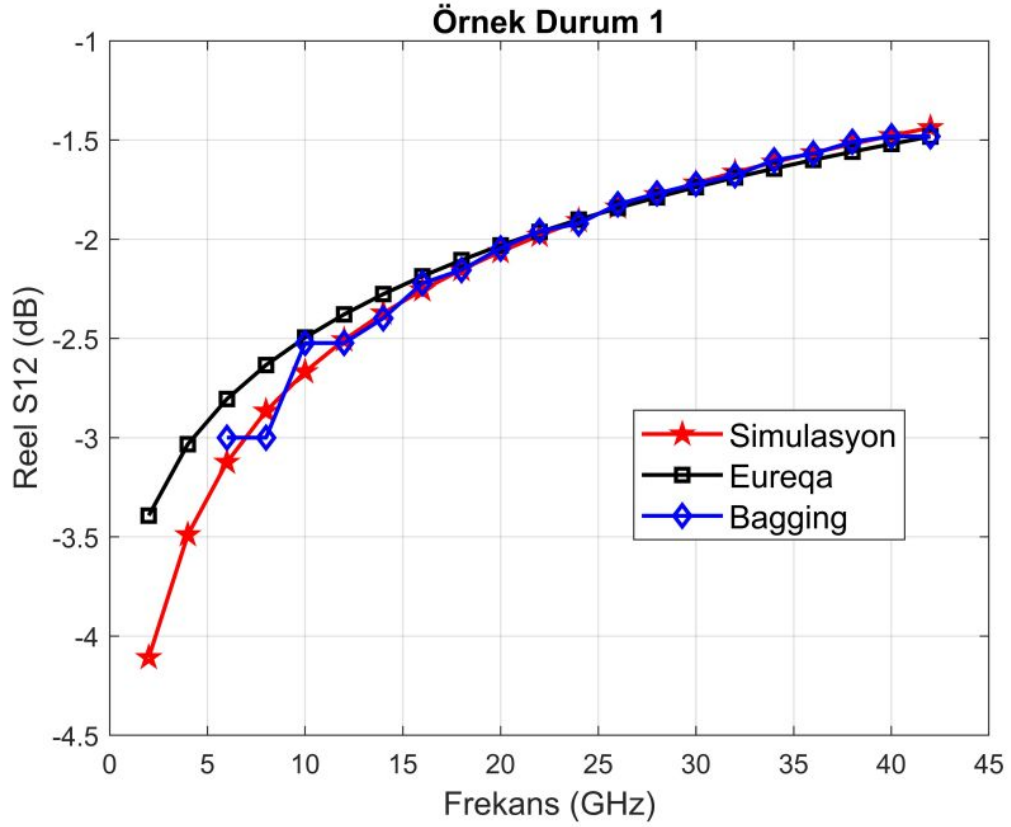
İlk örnek durum için kullanılan parametrelerin değerleri kapı genişliği: $57.5 (\mu m)$, savak gerilimi: $1.25 (V)$, kapı gerilimi: $-1.25 (V)$ ve frekans bandı aynı seçilmiştir.

Tablo 4.9 Örnek durumlar

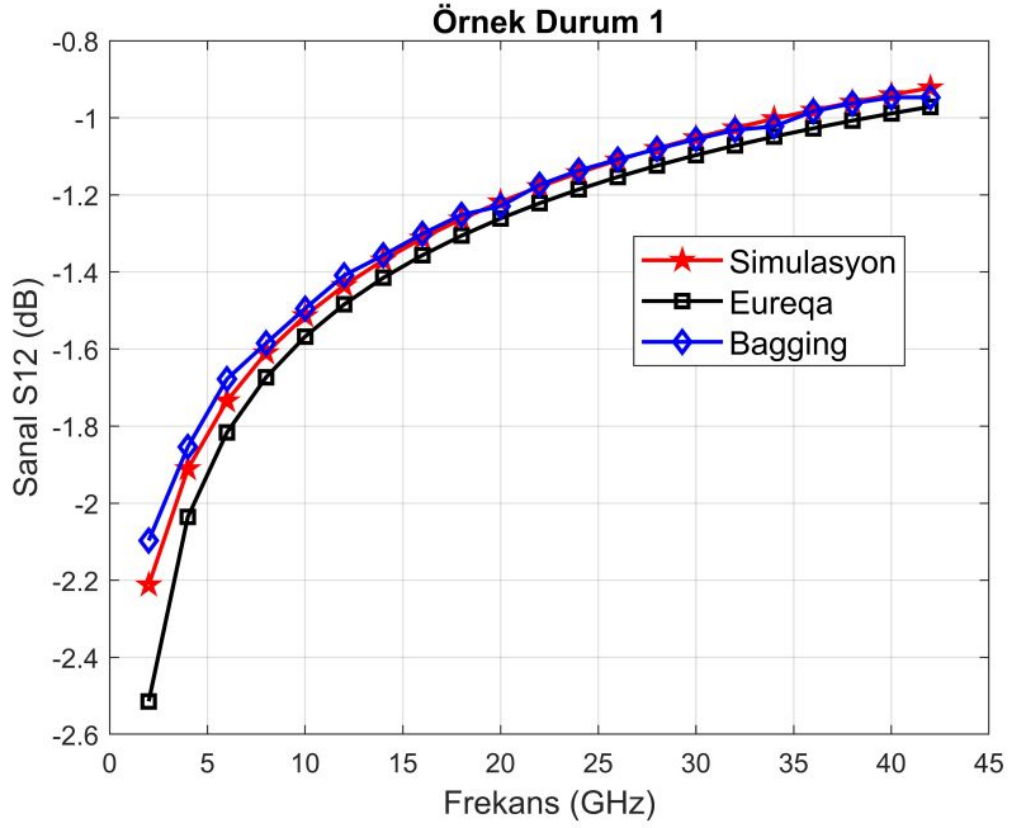
Örnek durumlar	kapı genişliği(μm)	savak gerilimi(V)	kapı gerilimi(V)	Frekans(GHz)
Örnek durum 1	57.5	1.25	-1.25	2,4,6 ... 42
Örnek durum 2	67.5	2.25	-1.75	2,4,6 ... 42
Örnek durum 3	77.5	3.25	-2.25	2,4,6 ... 42
Örnek durum 4	87.5	4.25	-2.75	2,4,6 ... 42

Örnek durum 1 için en iyi algoritma bagging algoritmasıdır. Bu örnek durum için $ReelS_{12}$ ve $SanalS_{12}$ parametreleri kullanılmıştır.

Şekil 4.13 ve şekil 4.14'da $ReelS_{12}$ ve $SanalS_{12}$ parametreleri kullanılarak hem önerilen modelin doğruluğu hem de en iyi algoritma olan bagging algoritmanın doğrulu simülasyon sonucuyla beraber çizdirilerek gösterilmiştir.



Şekil 4.13 Örnek durum 4: $ReelS_{12}$ 'in Eureqa, Atlas ve Bagging ile doğrulanması



Şekil 4.14 Örnek durum 1: $Sanal S_{12}$ 'in Eureqa, Atlas ve Bagging ile doğrulanması

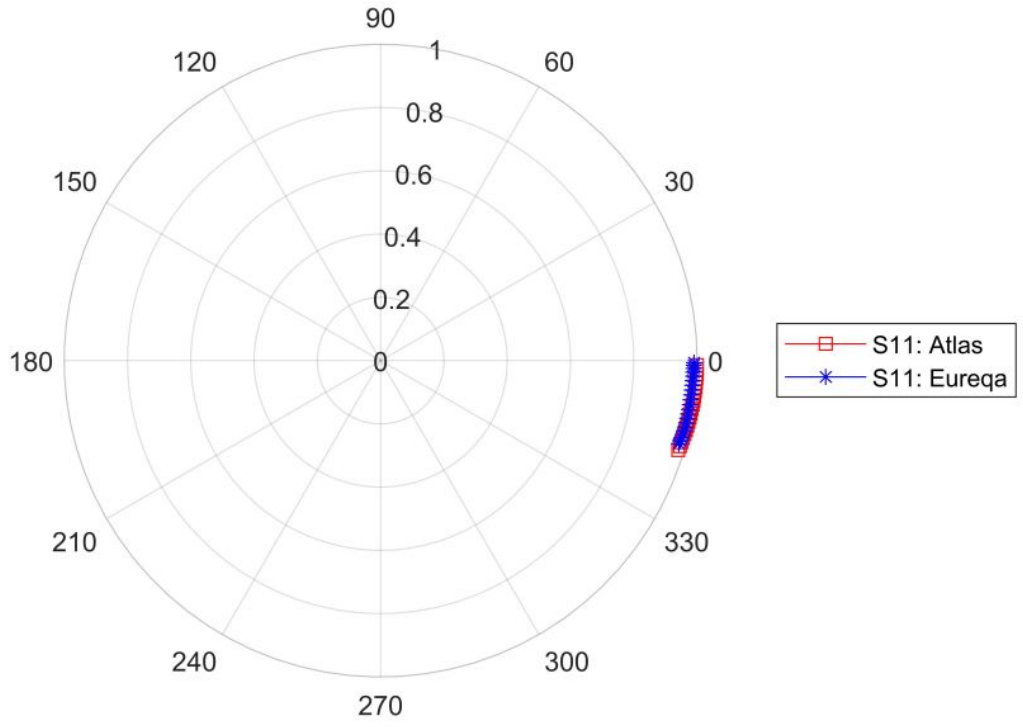
4.2.1.2 Polar Koordinat Düzleminde Eureqa ve Atlas karşılaştırılması

Şekil 4.15'da S_{11} parametresi Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

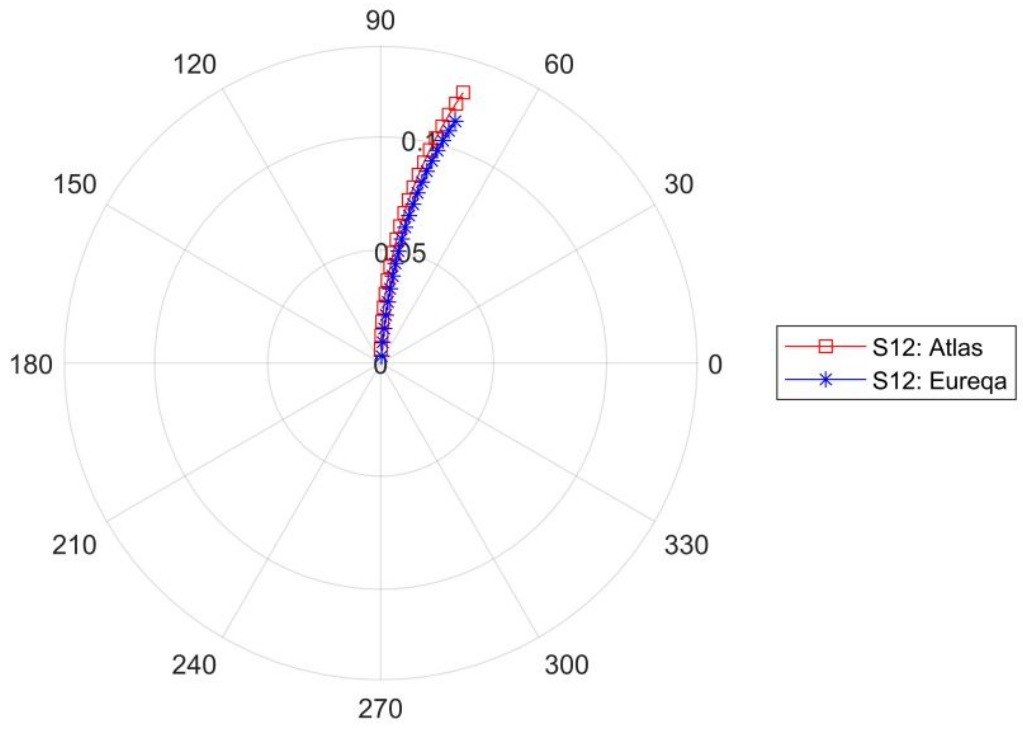
Şekil 4.16'da S_{12} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

Şekil 4.17'da S_{21} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

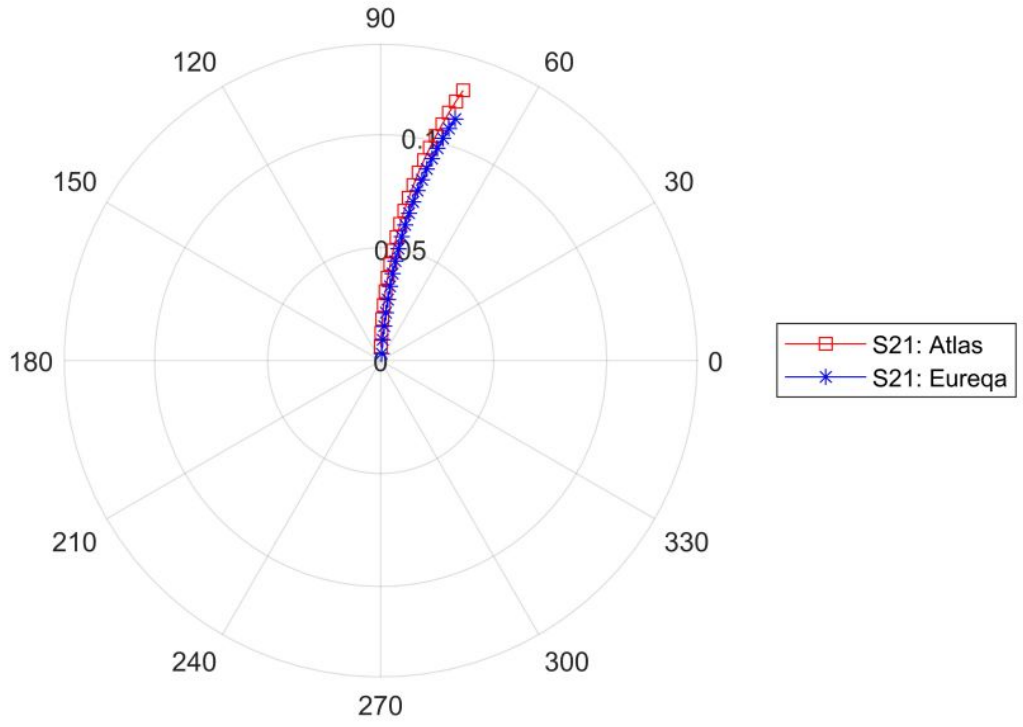
Şekil 4.18'da S_{22} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.



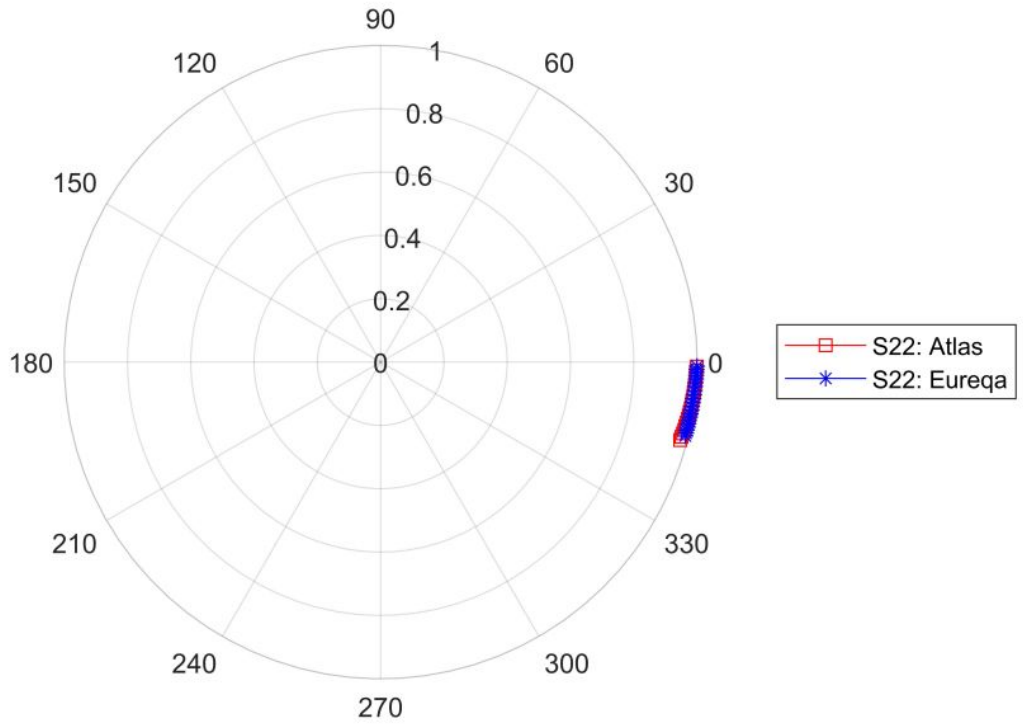
Şekil 4.15 Örnek durum 1: S_{11} parametresinin doğrulanması



Şekil 4.16 Örnek durum 1: S_{12} parametresinin doğrulanması



Şekil 4.17 Örnek durum 1: S_{21} parametresinin doğrulanması



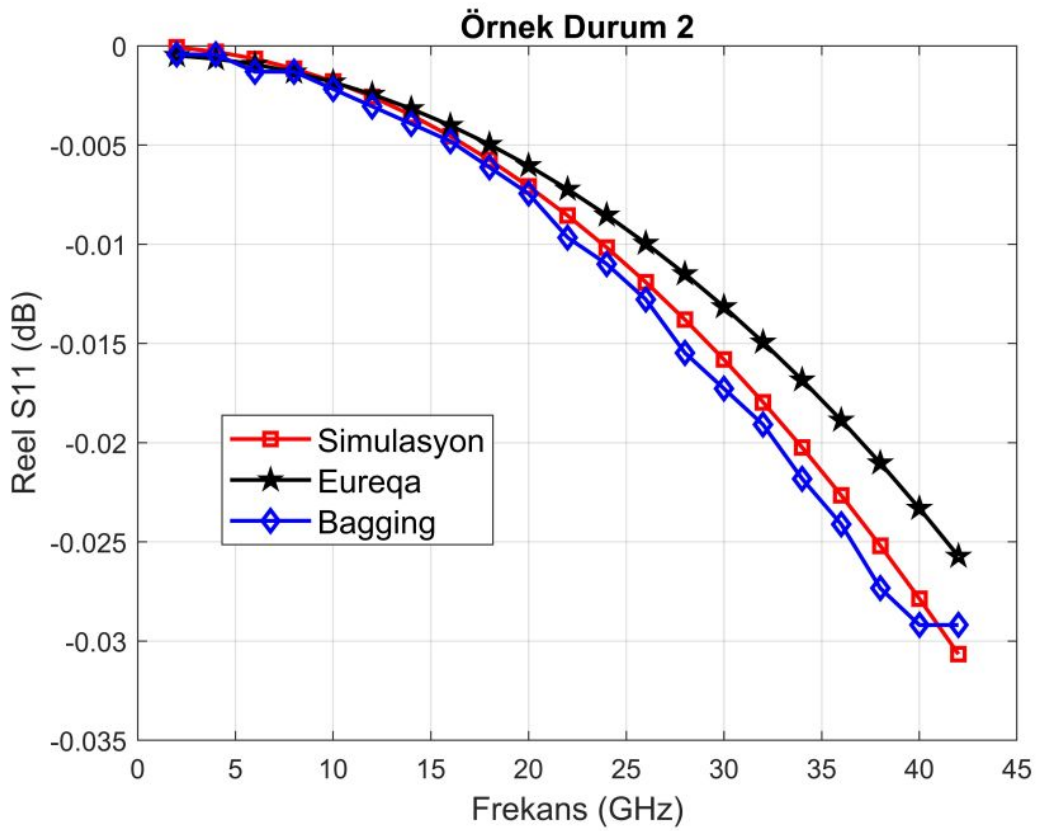
Şekil 4.18 Örnek durum 1: S_{22} parametresinin doğrulanması

4.2.2 Örnek Durum 2

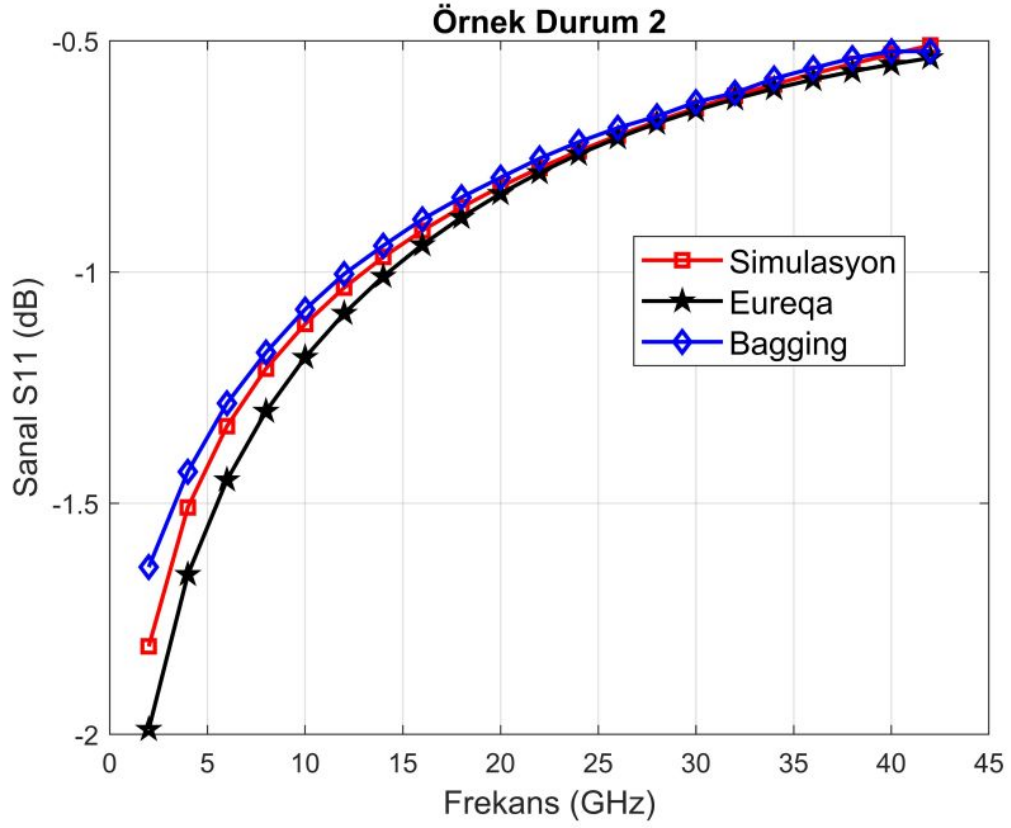
4.2.2.1 Eureka, Atlas ve en iyi algoritma karşılaştırılması

İkinci örnek durum için kullanılan parametrelerin değerleri kapı genişliği :67.5 (μm), savak gerilimi: 2.25 (V), kapı gerilimi: -1.75 (V) ve frekans bandı aynı seçilmiştir. Örnek durum 2 için en iyi algoritma bagging algoritmasıdır. Bu örnek durum için $ReelS_{11}$ ve $SanalS_{11}$ parametreleri kullanılmıştır.

Şekil 4.19 ve şekil 4.20'da $ReelS_{11}$ ve $SanalS_{11}$ parametreleri kullanılarak hem önerilen modelin doğruluğu hem de en iyi algoritma olan bagging algoritmanın doğrulu simülasyon sonucuyla beraber çizdirilerek gösterilmiştir.



Şekil 4.19 Örnek durum 2: $ReelS_{11}$ 'in Eureka, Atlas ve Bagging ile doğrulanması



Şekil 4.20 Örnek durum 2: S_{11} 'in Eureqa, Atlas ve Bagging ile doğrulanması

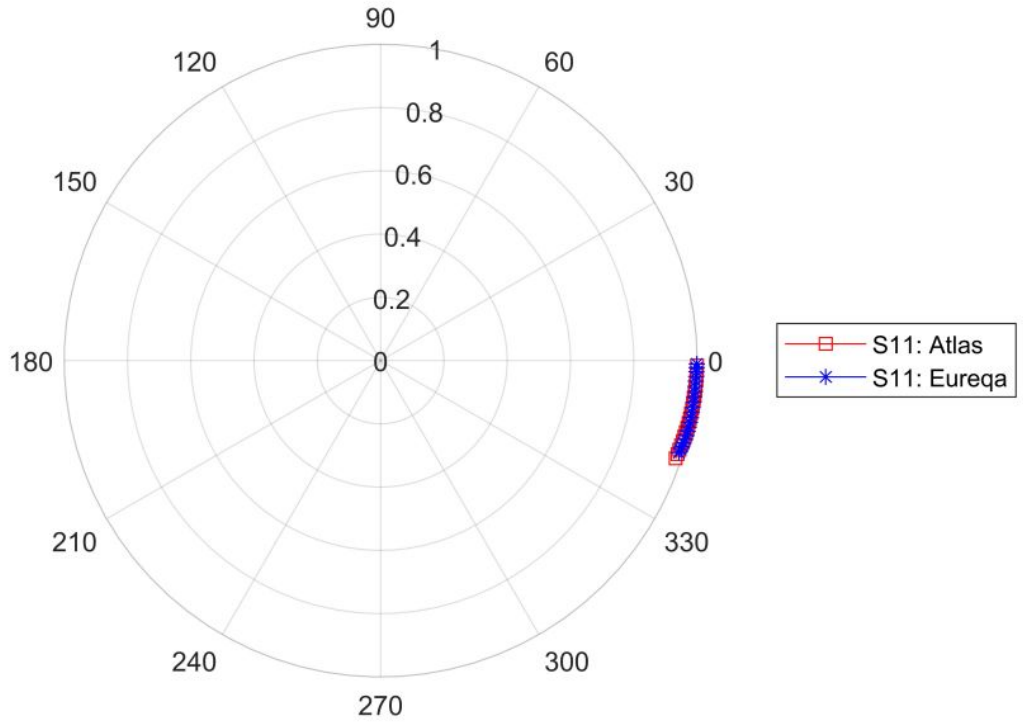
4.2.2.2 Polar Koordinat Düzleminde Eureqa ve Atlas karşılaştırılması

Şekil 4.21'da S_{11} parametresi Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

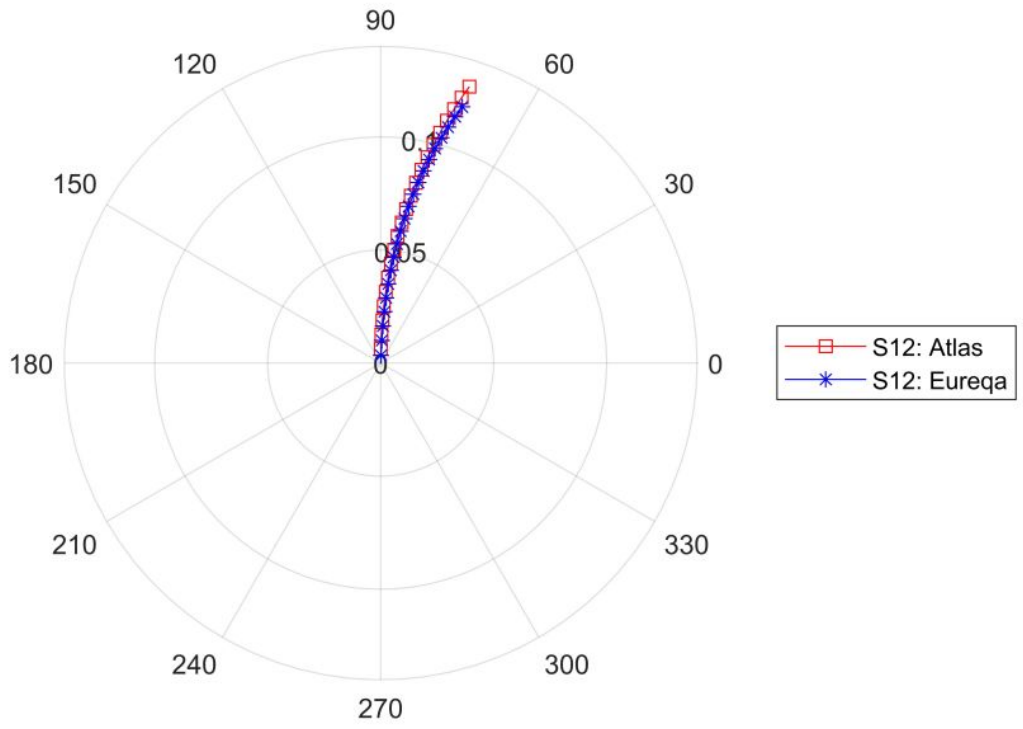
Şekil 4.22'da S_{12} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

Şekil 4.23'da S_{21} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

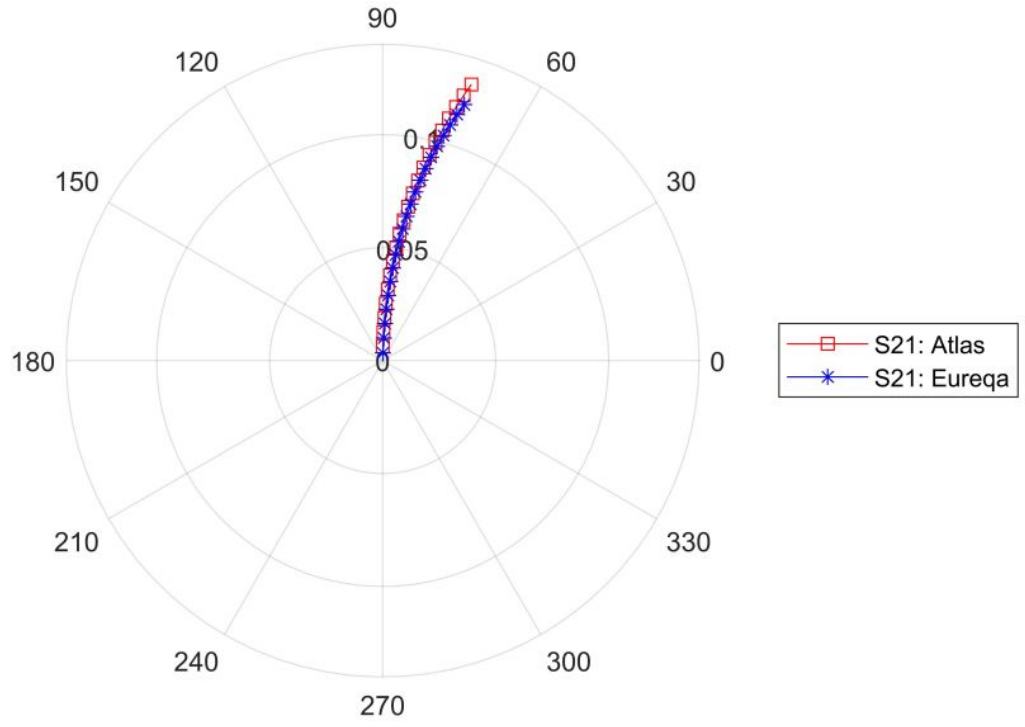
Şekil 4.24'da S_{22} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.



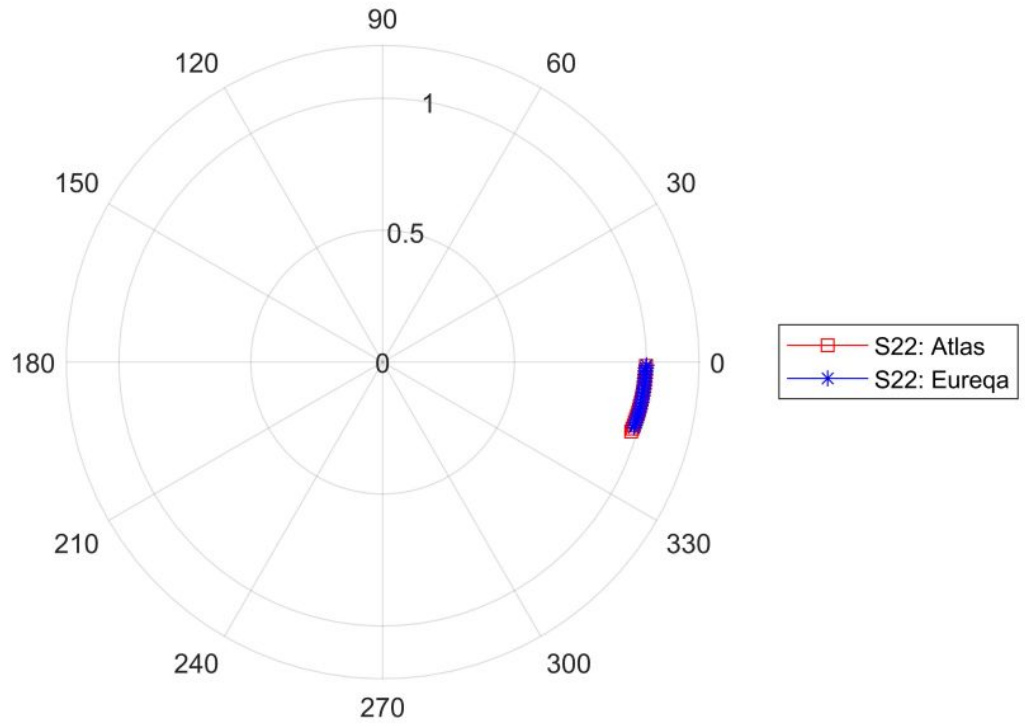
Şekil 4.21 Örnek durum 3: S_{11} parametresinin doğrulanması



Şekil 4.22 Örnek durum 3: S_{12} parametresinin doğrulanması



Şekil 4.23 Örnek durum 3: S_{21} parametresinin doğrulanması



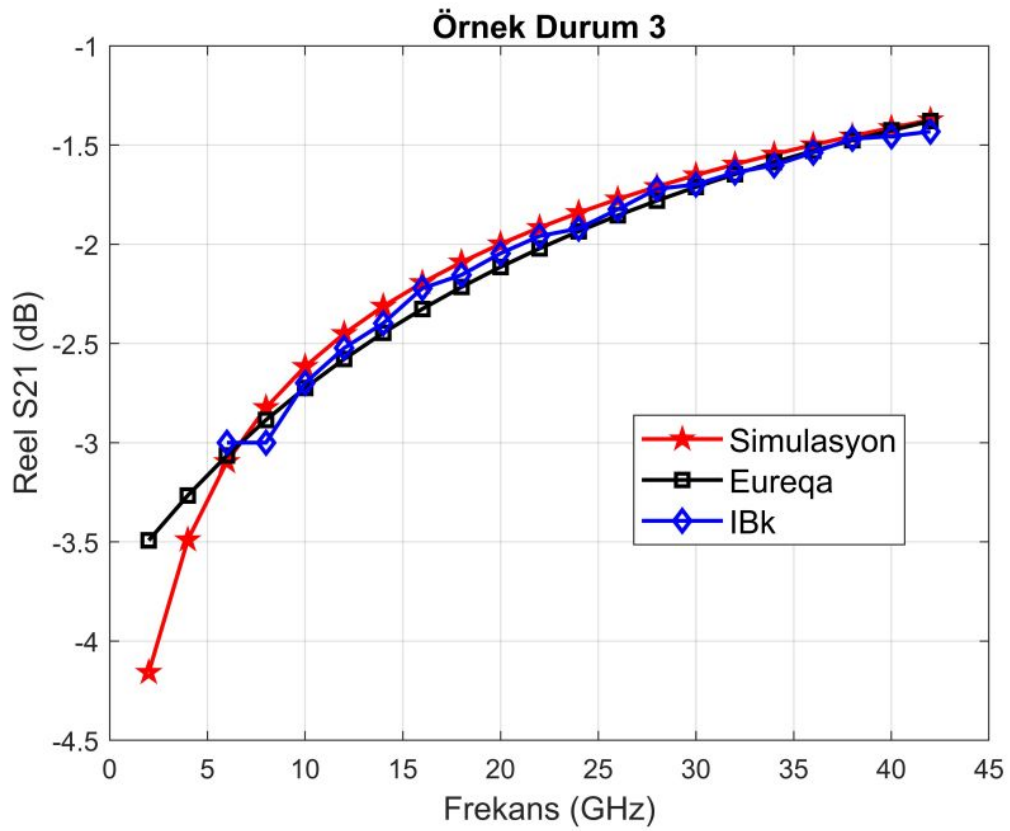
Şekil 4.24 Örnek durum 2: S_{22} parametresinin doğrulanması

4.2.3 Örnek Durum 3

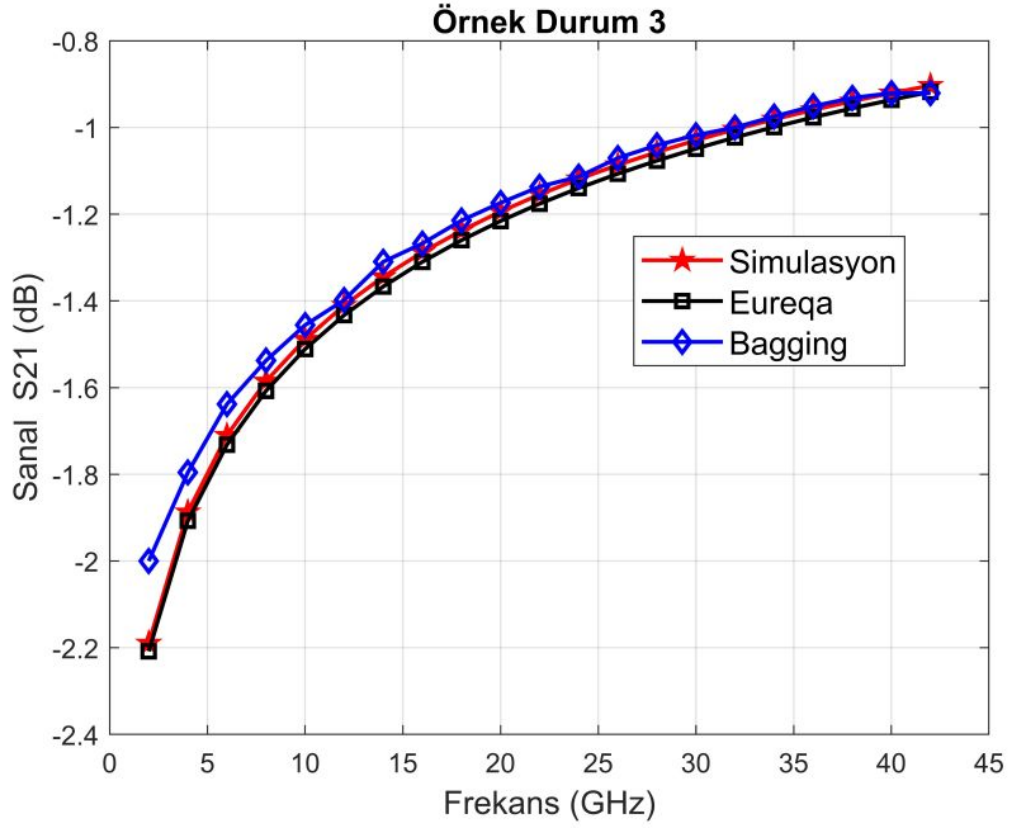
4.2.3.1 Eureka, Atlas ve en iyi algoritma karşılaştırılması

Üçüncü örnek durum için kullanılan parametrelerin değerleri kapı genişliği :77.5 (μm), savak gerilimi: 3.25 (V), kapı gerilimi: -2.25 (V) ve frekans bandı aynı seçilmiştir. Örnek durum 3 için en iyi algoritma bagging ve IBk algoritmasıdır. Bu örnek durum için $ReelS_{21}$ ve $SanalS_{21}$ parametreleri kullanılmıştır.

Şekil 4.25 ve şekil 4.26'da $ReelS_{21}$ ve $SanalS_{21}$ parametreleri kullanılarak hem önerilen modelin doğruluğu hem de en iyi algoritma olan bagging algoritmanın doğrulu simülasyon sonucuyla beraber çizdirilerek gösterilmiştir.



Şekil 4.25 Örnek durum 3: $ReelS_{21}$ 'in Eureka, Atlas ve IBk ile doğrulanması



Şekil 4.26 Örnek durum 3: $Sanal S_{21}$ 'in Eureqa, Atlas ve Bagging ile doğrulanması

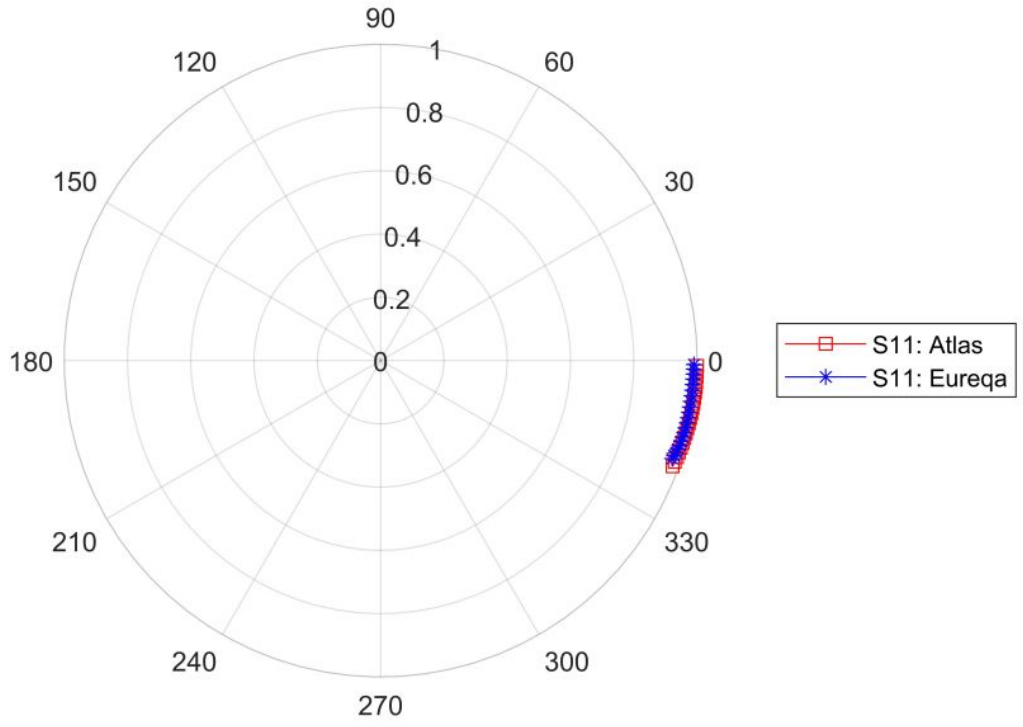
4.2.3.2 Polar Koordinat Düzleminde Eureqa ve Atlas karşılaştırılması

Şekil 4.27'da S_{11} parametresi Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

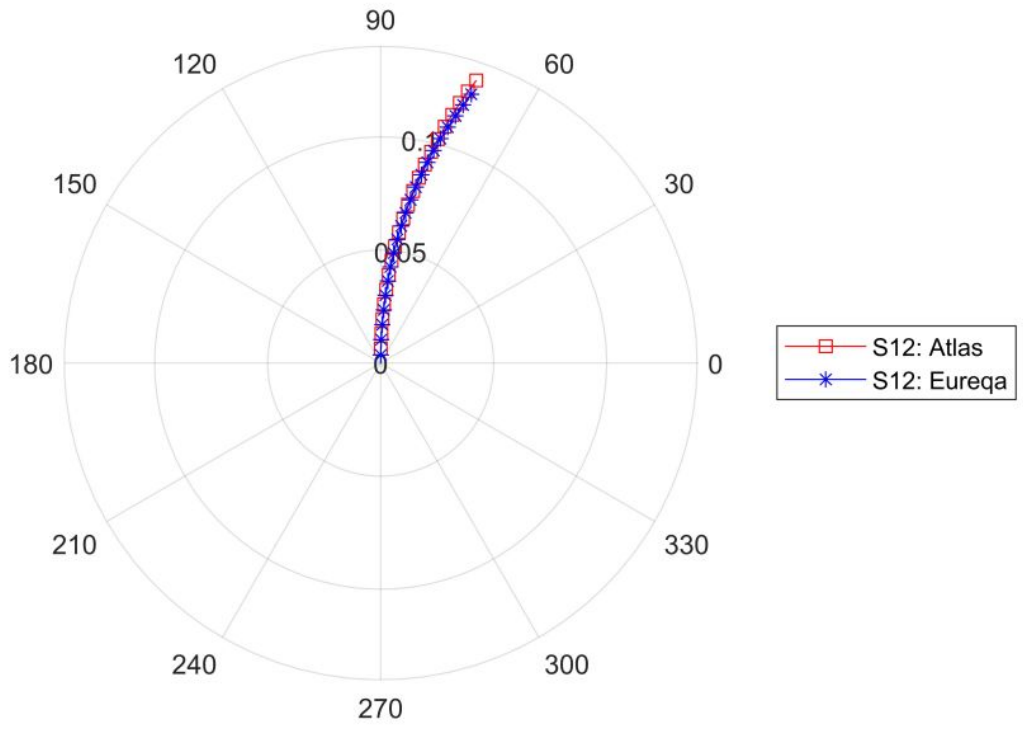
Şekil 4.28'da S_{12} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

Şekil 4.29'da S_{21} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

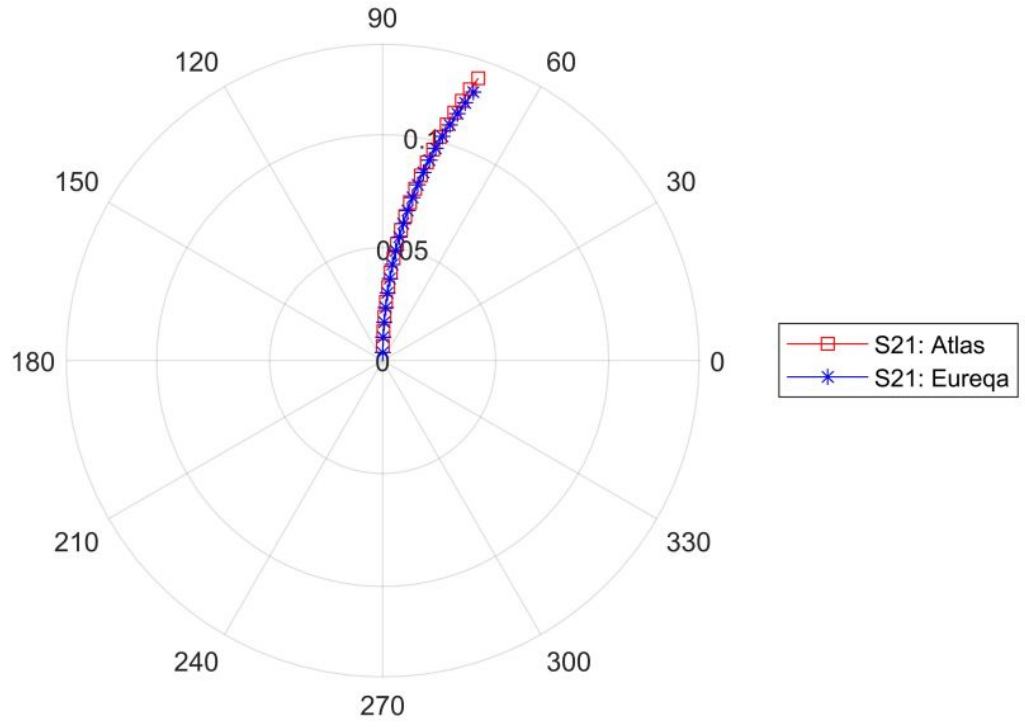
Şekil 4.30'da S_{22} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.



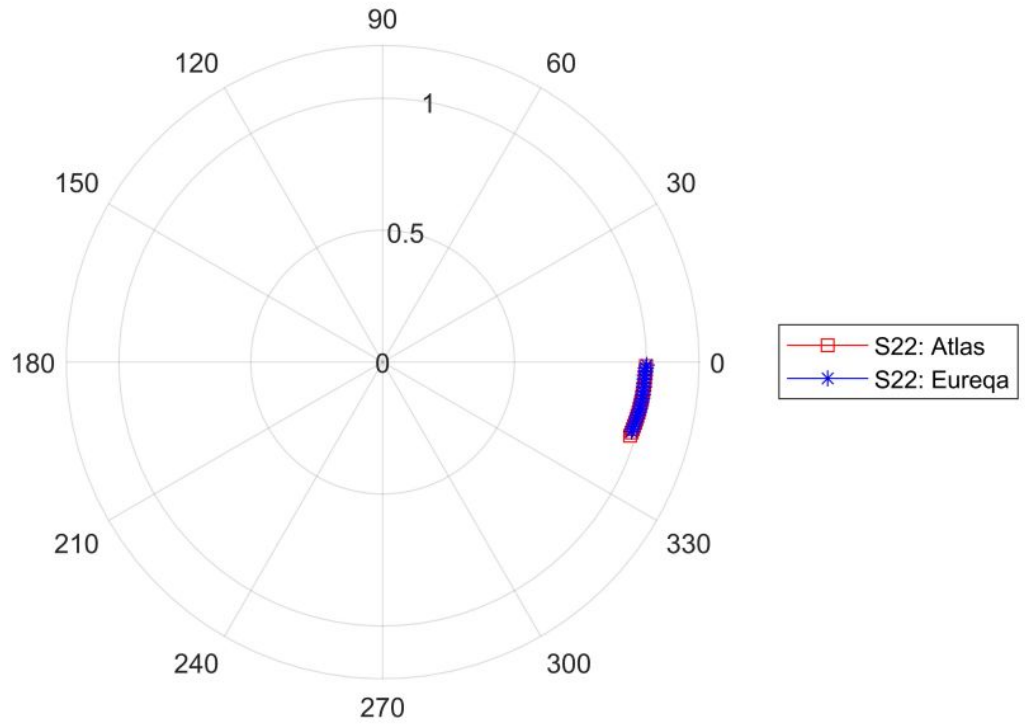
Şekil 4.27 Örnek durum 3: S_{11} parametresinin doğrulanması



Şekil 4.28 Örnek durum 3: S_{12} parametresinin doğrulanması



Şekil 4.29 Örnek durum 3: S_{21} parametresinin doğrulanması



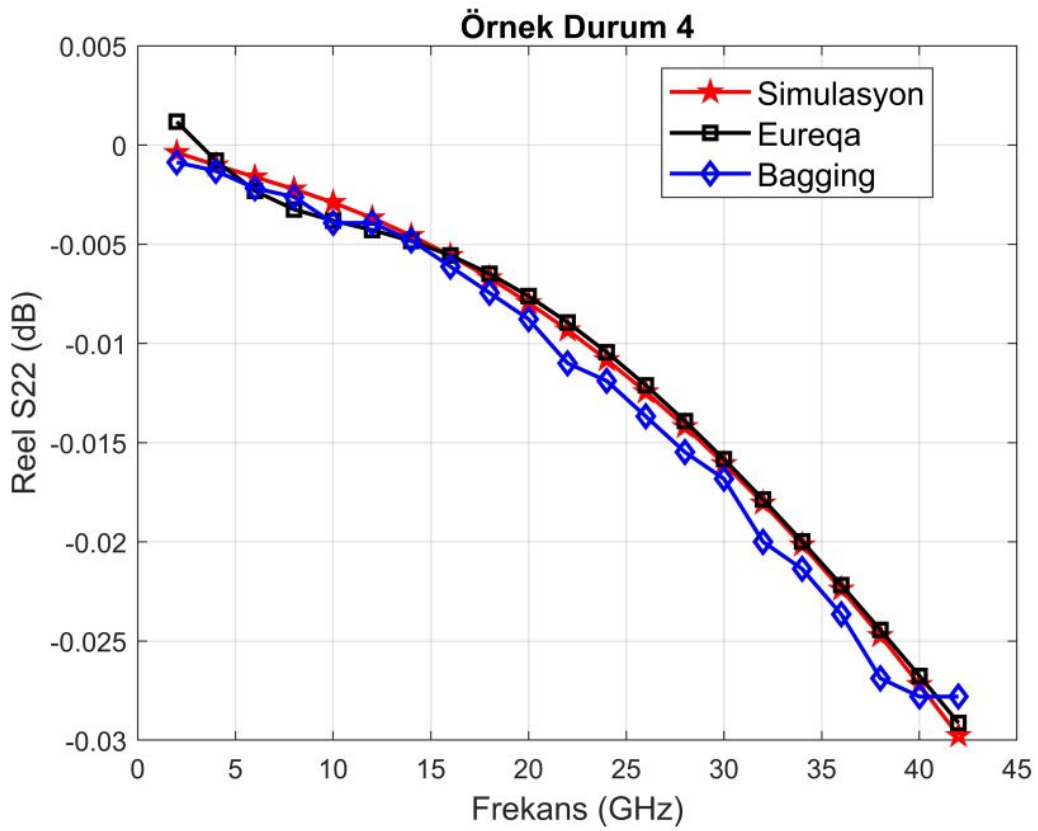
Şekil 4.30 Örnek durum 3: S_{22} parametresinin doğrulanması

4.2.4 Örnek Durum 4

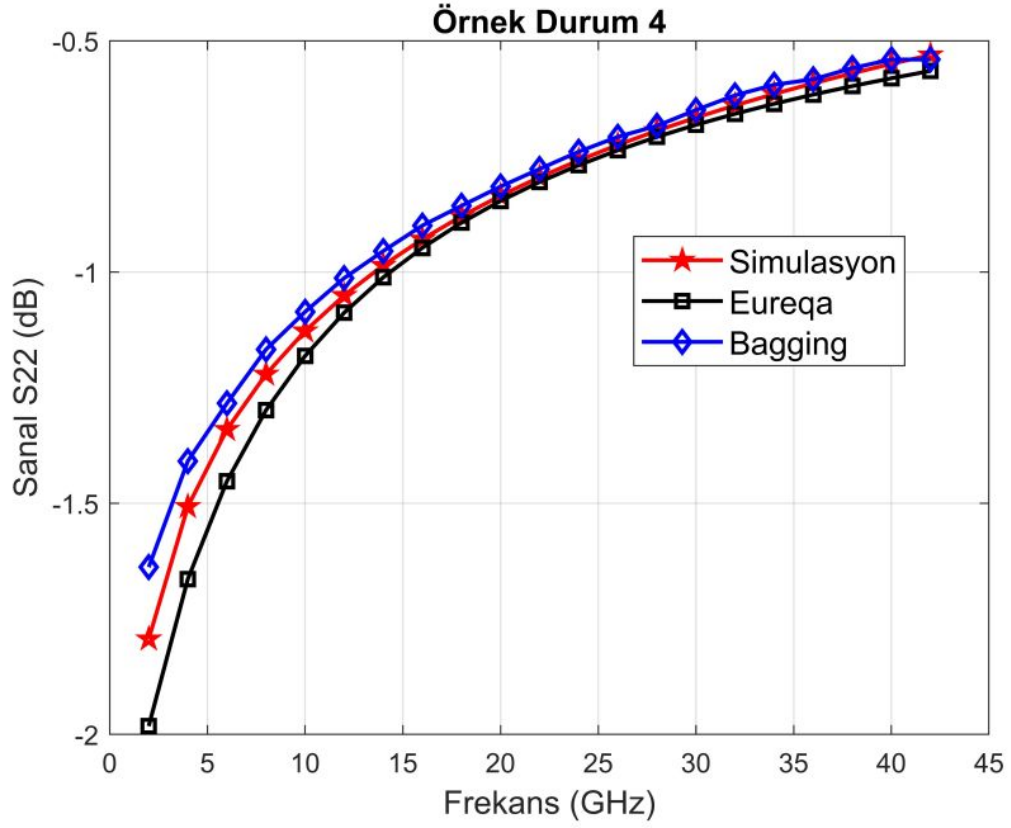
4.2.4.1 Eureka, Atlas ve en iyi algoritma karşılaştırılması

Dördüncü örnek durum için kullanılan parametrelerin değerleri kapı genişliği :87.5 (μm), savak gerilimi: 4.25 (V), kapı gerilimi: -2.75 (V) ve frekans bandı aynı seçilmiştir. Örnek durum 4 için en iyi algoritma bagging algoritmasıdır. Bu örnek durum için $ReelS_{22}$ ve $SanalS_{22}$ parametreleri kullanılmıştır.

Şekil 4.31 ve şekil 4.32'da $ReelS_{22}$ ve $SanalS_{22}$ parametreleri kullanılarak hem önerilen modelin doğruluğu hem de en iyi algoritma olan bagging algoritmanın doğrulu simülasyon sonucuyla beraber çizdirilerek gösterilmiştir.



Şekil 4.31 Örnek durum 4: $ReelS_{22}$ 'in Eureka, Atlas ve Bagging ile doğrulanması



Şekil 4.32 Örnek durum 4: $Sanal S_{22}$ 'in Eureqa, Atlas ve Bagging ile doğrulanması

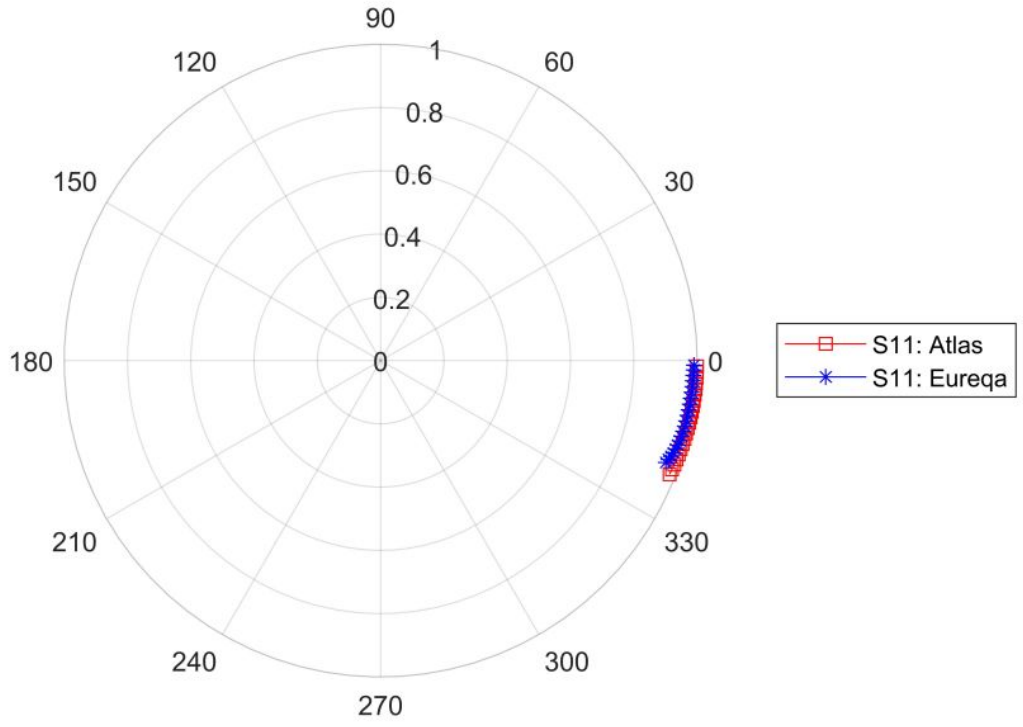
4.2.4.2 Polar Koordinat Düzleminde Eureqa ve Atlas karşılaştırılması

Şekil 4.33'da S_{11} parametresi Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

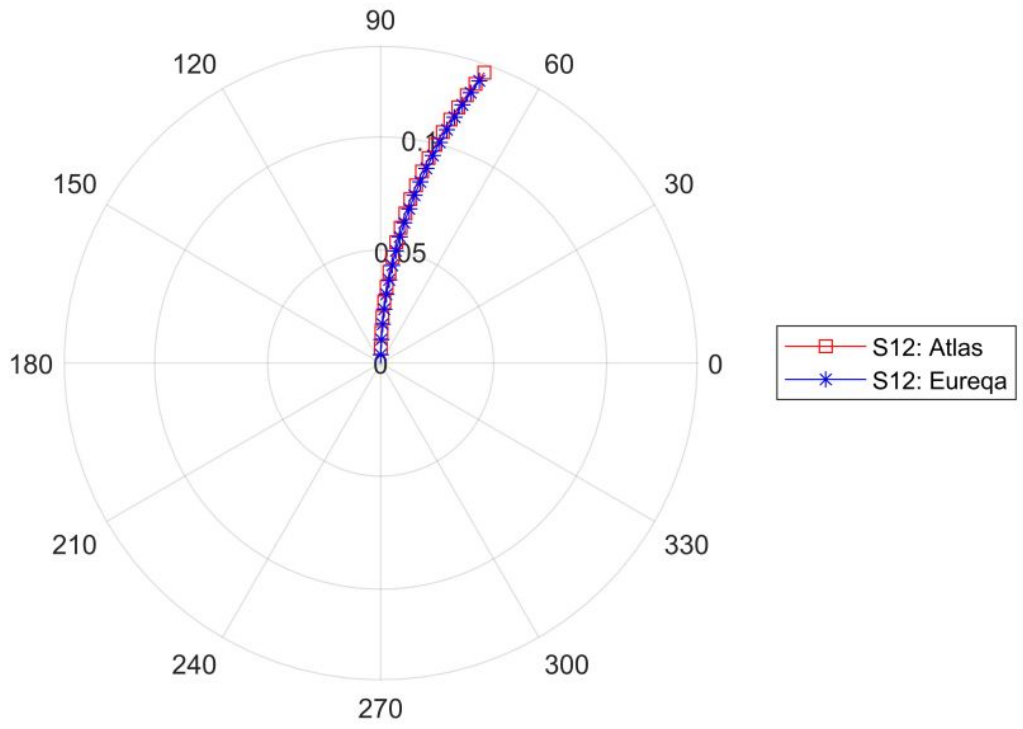
Şekil 4.34'da S_{12} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

Şekil 4.35'da S_{21} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.

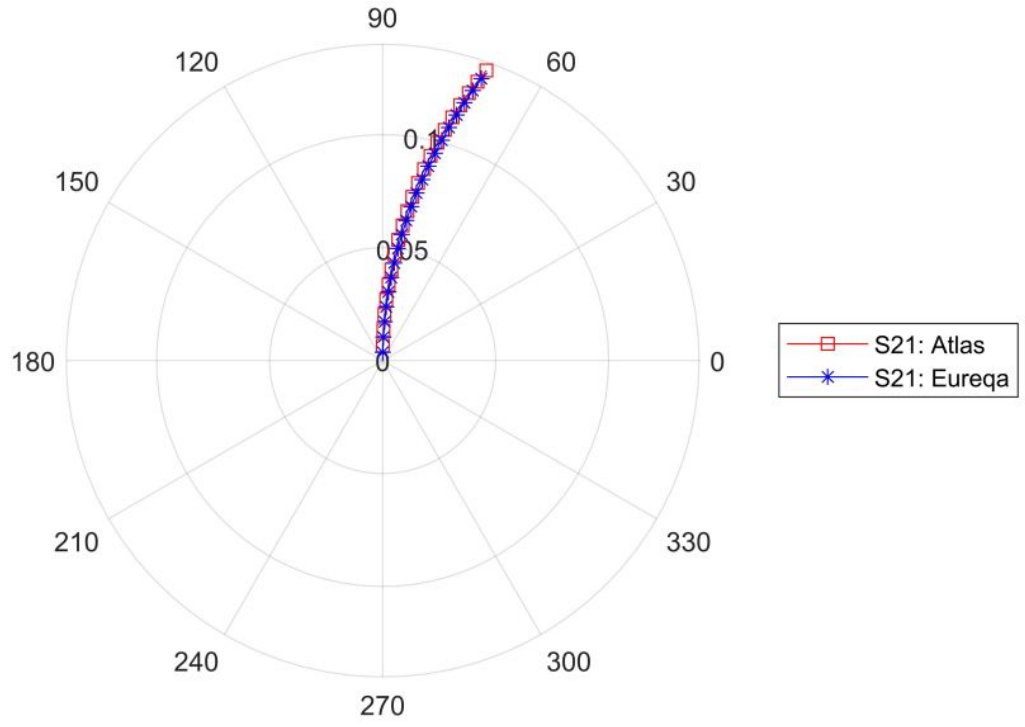
Şekil 4.36'da S_{22} parametresinin Atlas ve Eureqa denklemleri kullanılarak karşılaştırılmıştır.



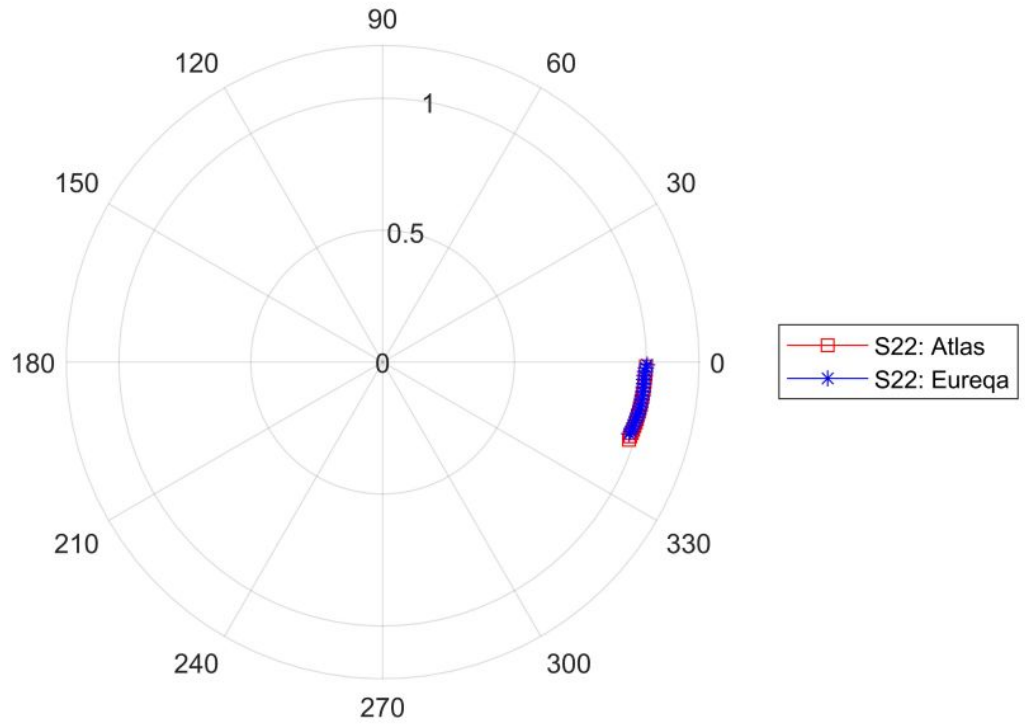
Şekil 4.33 Örnek durum 4: S_{11} parametresinin doğrulanması



Şekil 4.34 Örnek durum 4: S_{12} parametresinin doğrulanması



Şekil 4.35 Örnek durum 4: S_{21} parametresinin doğrulanması

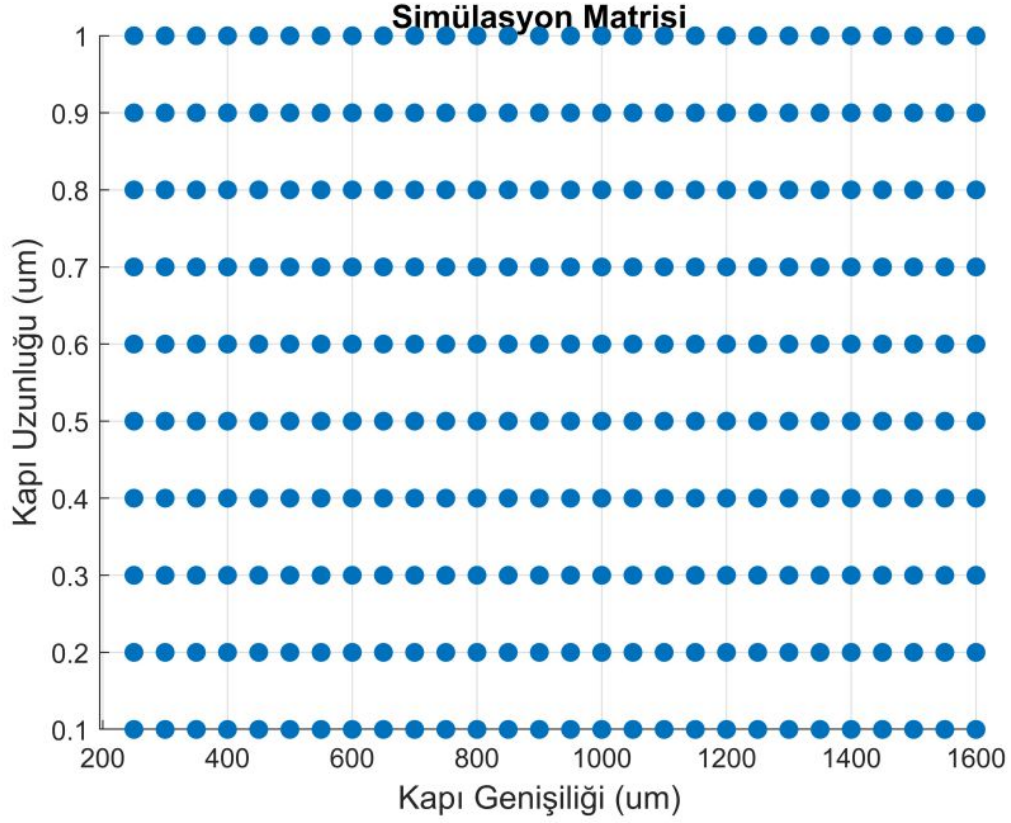


Şekil 4.36 Örnek durum 4: S_{22} parametresinin doğrulanması

Bu bölümde, MESFET transistör mimarisi kullanılarak doğrusal kuvvetlendirici tasarımı anlatılacaktır. İlk olarak transistörün üretim parametreleri dikkate alarak bir veri seti oluşturulacaktır. Bu veri setinin oluşturulmasında kutuplama koşulları sabit alınmıştır. Değişken olarak ise kapı genişliği ve kapı uzunluğu parametreleri alınmıştır. Bu aşamada 28 farklı kapı genişliği ve 10 farklı kapı uzunluğu parametresi seçilmiştir. Kapı genişliği parametreleri $250\ \mu\text{m}$ ile $1600\ \mu\text{m}$ arasında $50\ \mu\text{m}$ 'lık adımlarla alınmıştır. Kapı uzunluğu ise $0.1\ \mu\text{m}$ ile $1\ \mu\text{m}$ arasında $0.1\ \mu\text{m}$ adımlarla alınmıştır. Bu parametreler ticari ürün olarak bulunan transistörlerin katalog dökümanının araştırılması sonucunda elde edilmiştir. Aynı şekilde frekans aralığı 1 GHz ile 41 GHz arasında 2 GHz adımlar seçilmiştir. Sonuç olarak üretilen veri setinin boyutu $28 \times 10 \times 21 = 5880$ boyutundadır. Şekil 5.1'da oluşturulan veri setinin geometrik parameterler ekseninde gösterilmiştir.

5.1 Veri Setinin Görselleştirilmesi

Mikrodalga devreleri tasarımında gürültü oldukça önemli bir parametredir [35–39]. Bu aşamada ilk olarak Atlas yazılımının gürültü hesabı nasıl gerçekleştirdiği teorik olarak anlatılacaktır. Transistör yapısı, Atlas programında iki kapılı bir devre gibi kabul edip, ona göre çözümle üretmektedir. Burada giriş kapısı olarak kapı elektrotu ve çıkış kapısı olarak ise savak elektrotu olarak kabul edilmiştir. İki kapılı devrelerde gürültü hesabı denklem 5.1'a göre hesaplanır. F_{min} parametresi minimum gürültü faktörünü, g_n parametresi gürültü kondüktansını, R_s parametresi kaynak direncini, Z_s parametresi kaynak empedansını ve Z_{opt} parametresi ise optimum empedansı göstermektedir. Denklem 5.1'den görüleceği üzere, Z_{opt} değeri Z_s değerine eşit olduğu zaman, toplam gürültü faktörü F_{min} değerine eşit olmaktadır. Değişken olarak alınan kapı genişliği ve kapı uzunluğu parametrelerin her bir gürültü parametresine olan



Şekil 5.1 Simülasyon matrisi

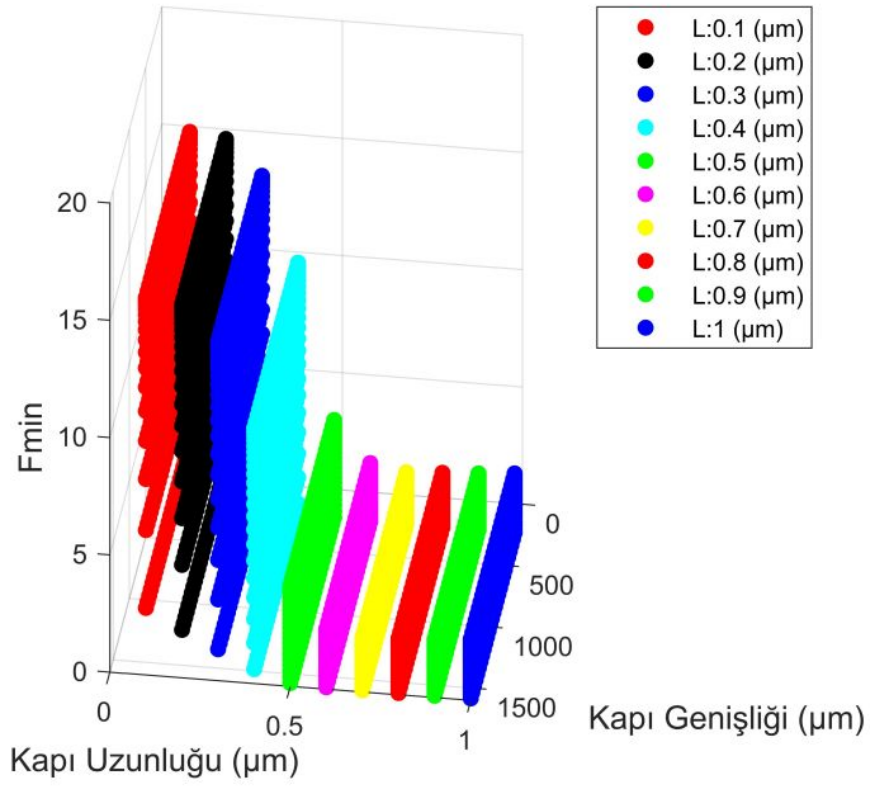
etkisi gözlemlenmiştir.

$$F = F_{\min} + \frac{g_n}{R_s} |Z_S - Z_O|^2 \quad (5.1)$$

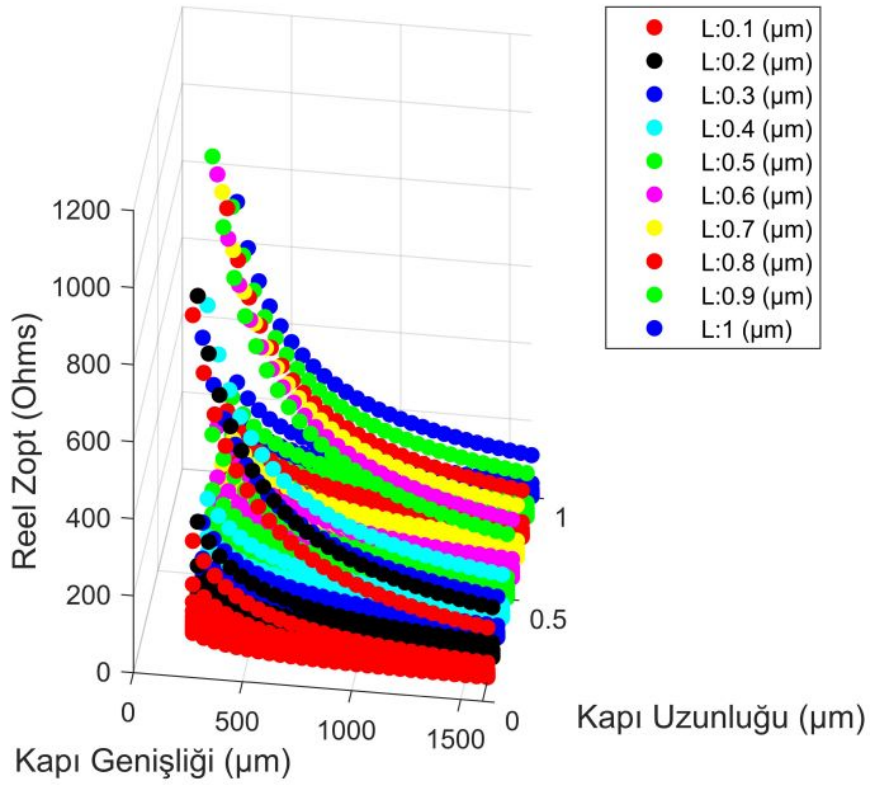
Şekil 5.2’da oluşturulan veri setinin x ve y eksenini değişken parametreler olarak alınan kapı genişliği ve kapı uzunluğu, z eksenini $F_{\min}$ parametresi alınmıştır. Şekilde görüldüğü üzere, kapı genişliği parametresinin $F_{\min}$ parametresine herhangi bir etkisi yoktur. Kısa kapı uzunluğuna sahip transistörlerde $F_{\min}$ parametresi yüksek olurken, kapı uzunluğu arttıkça $F_{\min}$ parametresi değeri de düşmektedir. Belli bir kapı uzunluğundan sonra ise $F_{\min}$ parametresinin değeri sabit kalmaktadır. Bu şekilde frekans aralığı 1-41 GHz arasında alınmıştır.

Şekil 5.3’da oluşturulan veri setinin x ve y eksenini değişken parametreler olarak alınan kapı genişliği ve kapı uzunluğu, z eksenini $Reel_{opt}$ parametresi alınmıştır. Kapı genişliği, dar olan yerlerde empedans değeri çok yüksekten, genişlik arttıkça empedans değeri de azalmaktadır. Ayrıca, farklı kapı uzunluğu parametrelerinde benzer davranışları göstermiştir. Benzer olarak bu şekilde frekans aralığı 1-41 GHz arasında alınmıştır.

Şekil 5.4’da oluşturulan veri setinin x ve y eksenini değişken parametreler olarak

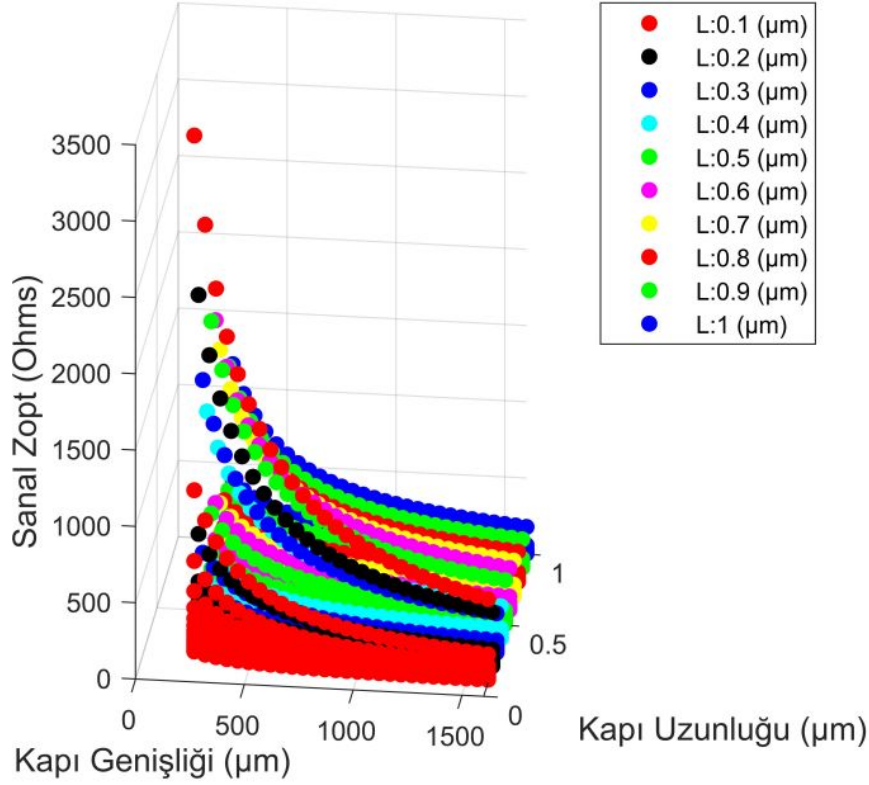


řekil 5.2 Giriř parametrelerin F_{min} 'e etkisi



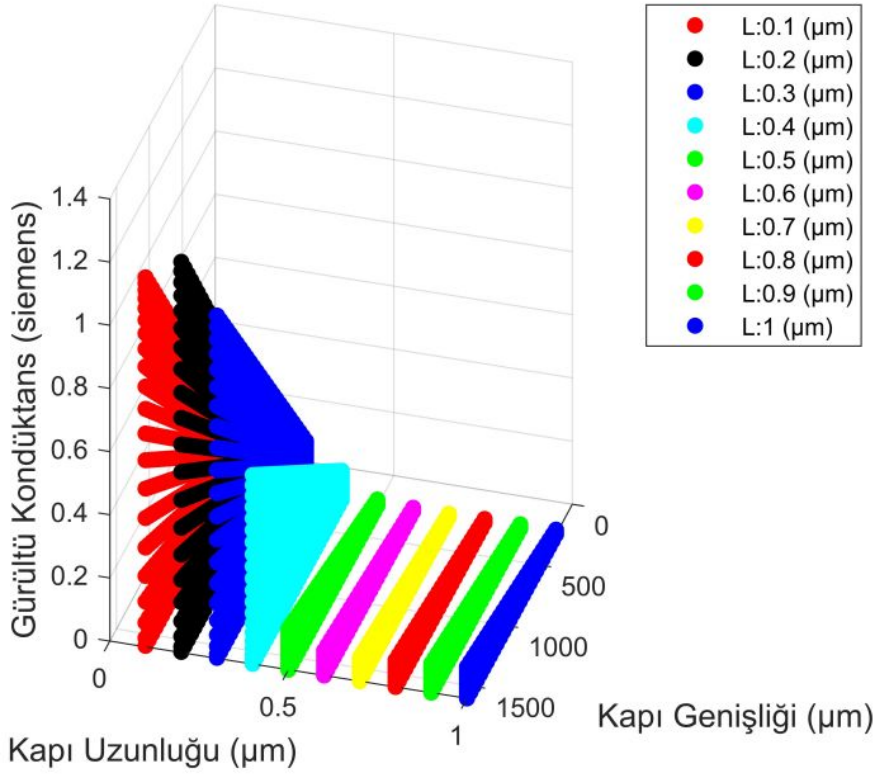
řekil 5.3 Giriř parametrelerin $Reel\ Zo_{pt}$ 'e etkisi

alınan kapı genişliği ve kapı uzunluğu, z eksenini $Sanal_{opt}$ parametresi alınmıştır. Kapı genişliği, dar olan yerlerde empedans değeri çok yüksekten, genişlik arttıkça empedans değeri de azalmaktadır. Ayrıca, farklı kapı uzunluğu parametrelerinde benzer davranışları göstermiştir. Bu kısımda sadece başlangıç olarak dar olan kapı genişliği olan yerlerde farklılık göstermiştir. Benzer olarak bu şekilde frekans aralığı 1-41 GHz arasında alınmıştır.



Şekil 5.4 Giriş parametrelerin $Sanal_{opt}$ 'e etkisi

Şekil 5.5'da oluşturulan veri setinin x ve y eksenini değişken parametreler olarak alınan kapı genişliği ve kapı uzunluğu, z eksenini g_n parametresi alınmıştır. Kısa kapı uzunluğuna sahip transistörlerde g_n parametresi yüksek olurken, kapı uzunluğu arttıkça g_n parametresi değeri de düşmektedir. Belli bir kapı uzunluğundan sonra ise g_n parametresinin değeri sabit kalmaktadır. Benzer olarak bu şekilde frekans aralığı 1-41 GHz arasında alınmıştır.



Şekil 5.5 Giriş parametrelerin g_n 'e etkisi

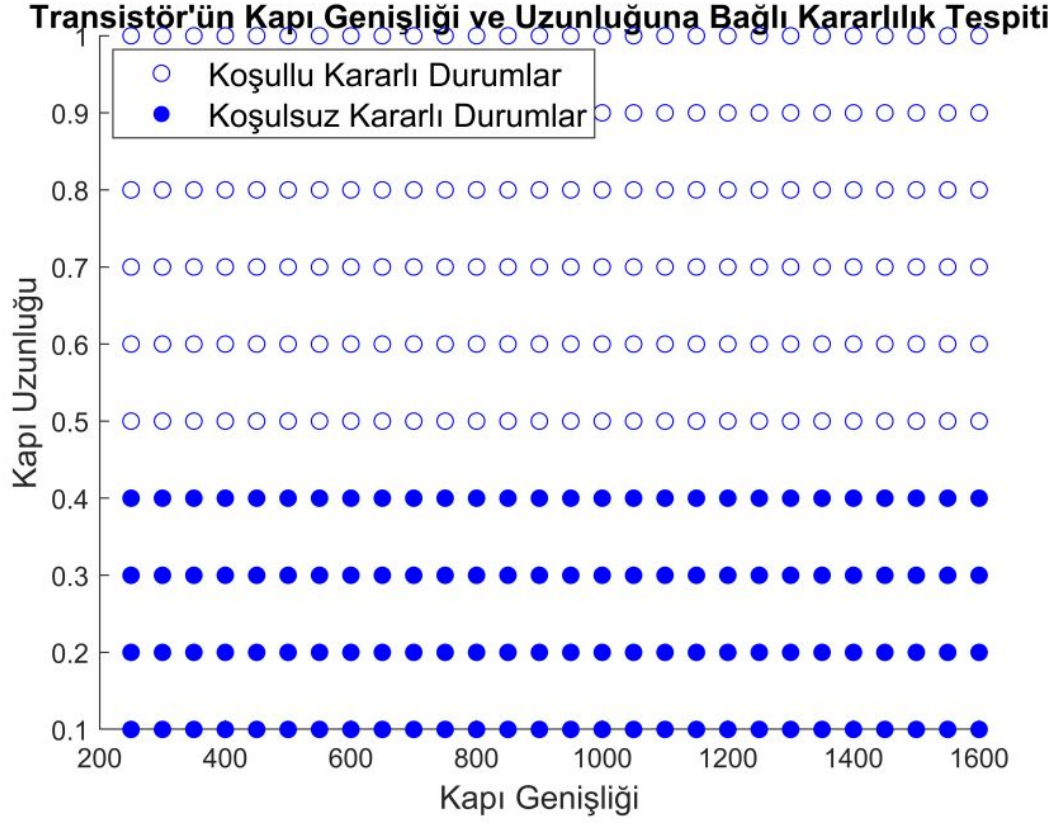
5.2 Tasarım Parametreleri

Doğrusal kuvvetlendirici tasarımında bir diğer önemli kriter, kararlılık parametresidir [6, 40–45]. Kararlılık parametresi, koşullu ve koşulsuz olmak üzere ikiye ayrılmaktadır [46]. Koşulsuz kararlılık için denklem 5.2 kullanılmaktadır. Denklem 5.2'de kullanılan delta ifadesi, denklem 5.3'de gösterilmiştir. Denklem 5.2 ifadesinin değerinin 1'den büyük olması durumunda transistör koşulsuz kararlı, benzer şekilde 1'den küçük olması durumunda ise koşullu karardır denilebilir. Değişken olarak alınan kapı genişliği ve kapı uzunluğu parametrelerin kararlılık parametresine olan etkisi gözlemlenmiştir.

$$\mu = \frac{1}{|S_{22} - S_{11}^* \Delta| + |S_{12} S_{21}|} \quad (5.2)$$

$$\Delta = S_{11} * S_{22} - S_{12} * S_{21} \quad (5.3)$$

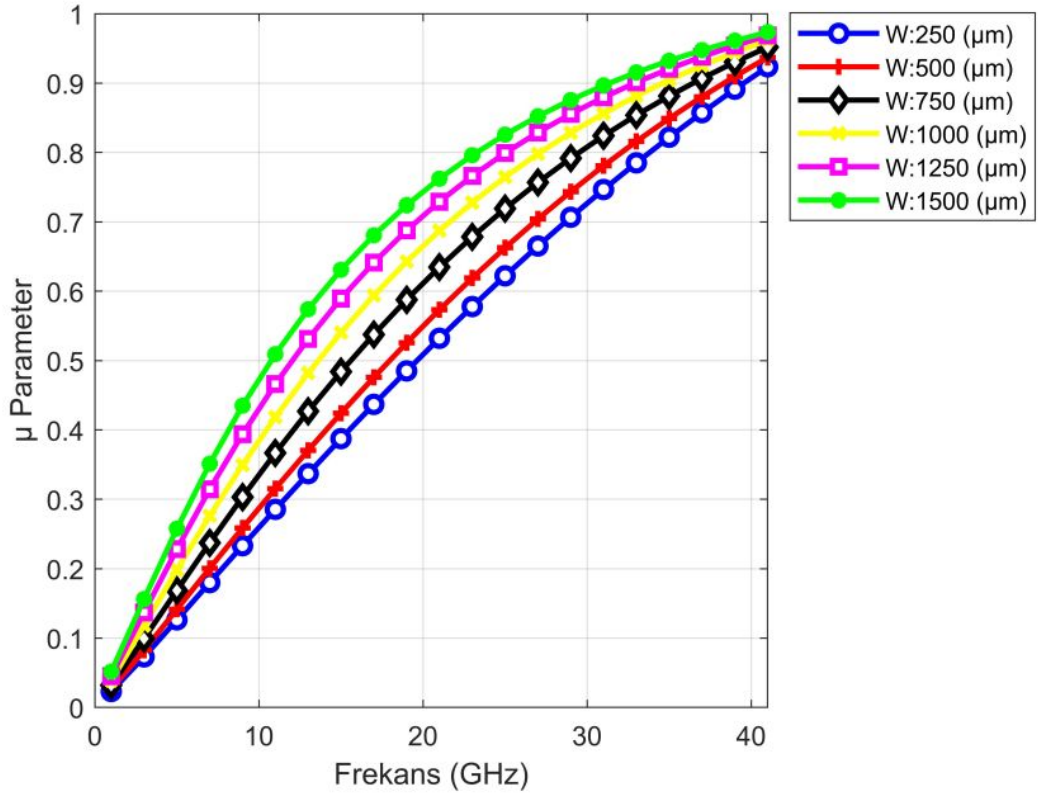
Şekil 5.7'da kapı genişliği parametresinin, kararlılık parametresine olan etkisi frekans



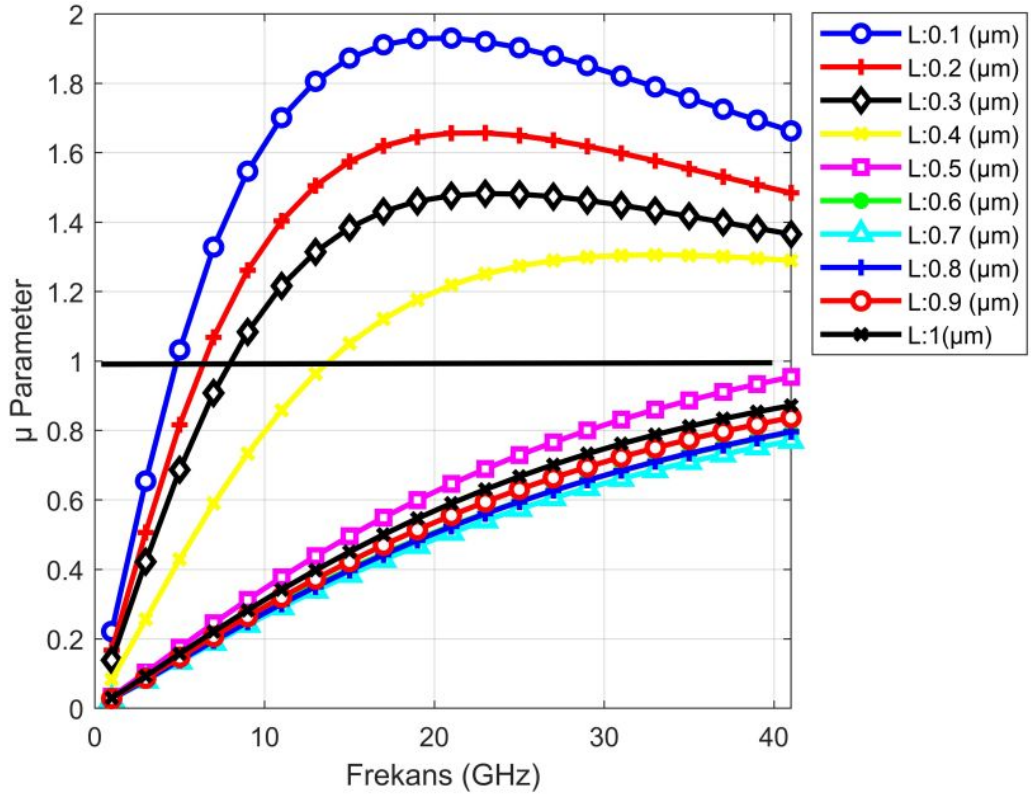
düzleminde gösterilmiştir. Bu grafik, kapı uzunluğunun değeri $0.5 \mu\text{m}$ sabit tutularak elde edilmiştir. Şekilden görüldüğü üzere, bu çalışma şartlarında transistör koşullu kararlı olacak şekilde çalışabilir. Benzer olarak bu şekilde frekans aralığı 1-41 GHz arasında alınmıştır.

Şekil 5.8’da kapı uzunluğu parametresinin, kararlılık parametresine olan etkisi frekans düzleminde gösterilmiştir. Bu grafik, kapı genişliği değeri $800 \mu\text{m}$ sabit tutularak elde edilmiştir. Şekilden görüldüğü üzere, bu çalışma şartlarında transistör koşullu kararlı veya koşulsuz kararlı olacak şekilde çalışabilir. Kapı uzunluğu $0.4 \mu\text{m}$ ’den büyük değerlerde, kararlılık parametresi 1’den küçük olacağı için transistör koşullu kararlı olacak şekilde çalışabilir. Kapı uzunluğu $0.4 \mu\text{m}$ ’den küçük değerlerde, kararlılık parametresi 1’den büyük olacağı için transistör koşulsuz kararlı olacak şekilde çalışabilir. Burada tüm frekans boyunca değil, sadece belli frekans bandında koşulsuz kararlı olarak çalışabilir.

Doğrusal kuvvetlendirici tasarımında bir diğer önemli kriter ise azami alınabilecek güç kazancı (MAG) parametresidir [4, 10, 11]. Bu parametrenin S parametreleri kullanılarak nasıl hesaplanacağı denklem 5.4’de gösterilmiştir. Denklem 5.5’de K



Şekil 5.7 Kapı genişliği parametresinin kararlılığa etkisi



Şekil 5.8 Kapı uzunluğu parametresinin kararlılığa etkisi

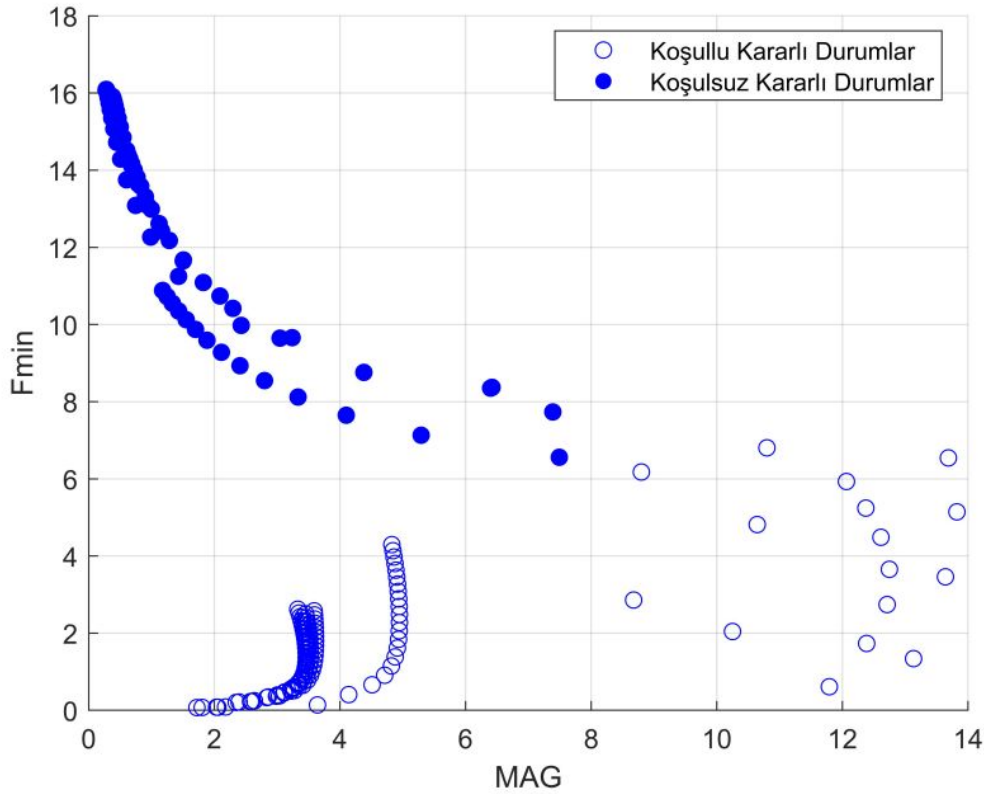
parametresinin S parametrelerinden nasıl elde edileceği gösterilmiştir.

$$MAG = \frac{|S_{21}|}{|S_{12}|} (K - \sqrt{K^2 - 1}) \quad (5.4)$$

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + \Delta^2}{2|S_{12} * S_{21}|}$$

$$\Delta = S_{11} * S_{22} - S_{12} * S_{21} \quad (5.5)$$

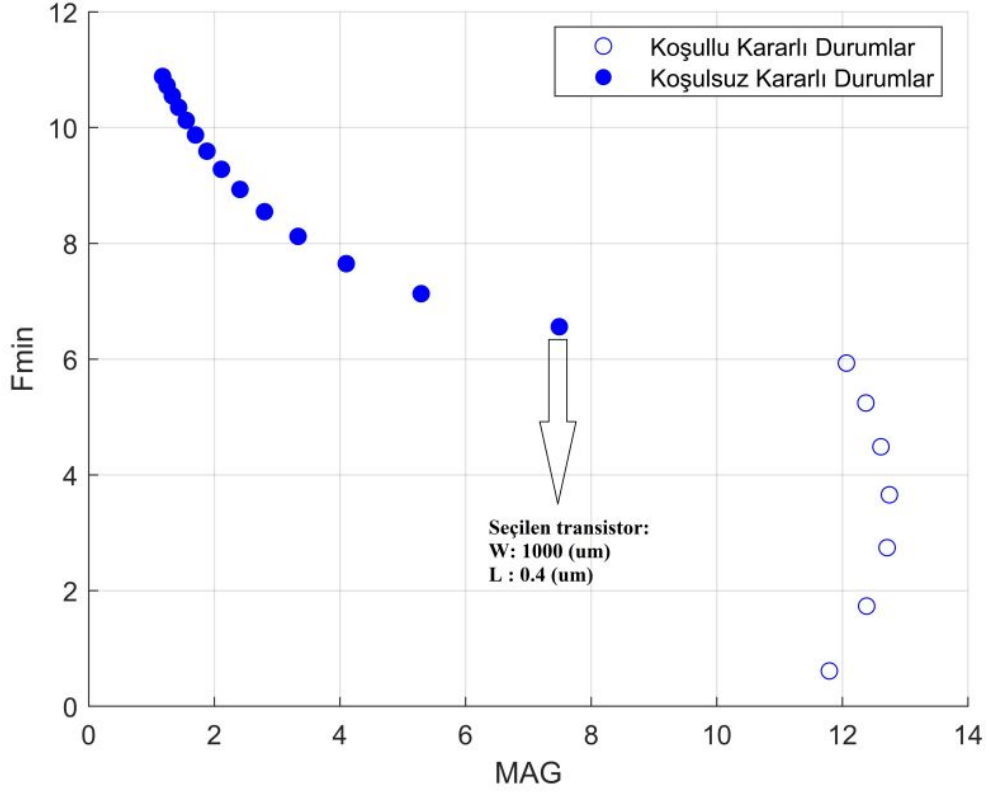
Şekil 5.9'de MAG ve Fmin parametrelerinin tüm veri setinden nasıl değerler aldığı gösterilmiştir. Bu grafik de güç kazancı arttığı zaman koşulsuz kararlı olan transistör, koşullu kararlı olmaya başlamıştır. Bu beklenen bir sonuçtur. Ayrıca, bu grafik de bütün frekans bandı ele alınarak çizdirilmiştir. Bu grafik yardımıyla veri setinden kapı uzunluğu ve kapı genişliği parametreleri, istenilen tasarım kriterlerine göre belirlenebilir. Aynı şekilde frekans aralığı 1-41 GHz arasında alınmıştır.



Şekil 5.9 Fmin ve MAG parametrelerin veri setinde gösterimi

Örnek bir tasarım kriterinde, güç azami şekilde olmak üzere koşulsuz kararlı bir devre istenmiş olsun. Bu durumda şekil 5.10'de gösterilen transistör seçilir. Bu değerleri veri seti üzerinden seçtiğimiz zaman kapı uzunluğu için $0.4 \mu\text{m}$ olurken, kapı genişliği için $1000 \mu\text{m}$ değeri bulunmaktadır. Bu geometrilere sahip transistörün Fmin ve MAG

değerleri şekil 5.10'de de gösterilmiştir. Koşulsuz kararlı durumlarında ise tam tersi olarak F_{min} değeri yüksek ve MAG değeri küçüktür. Bu genel anlamda beklenen bir sonuçtur. İstedığımız kriter olarak koşulsuz kararlı ve azami alınabilecek kazanç ifadesi olacağı için F_{min} değeri tasarım kriterimiz içinde değildir.

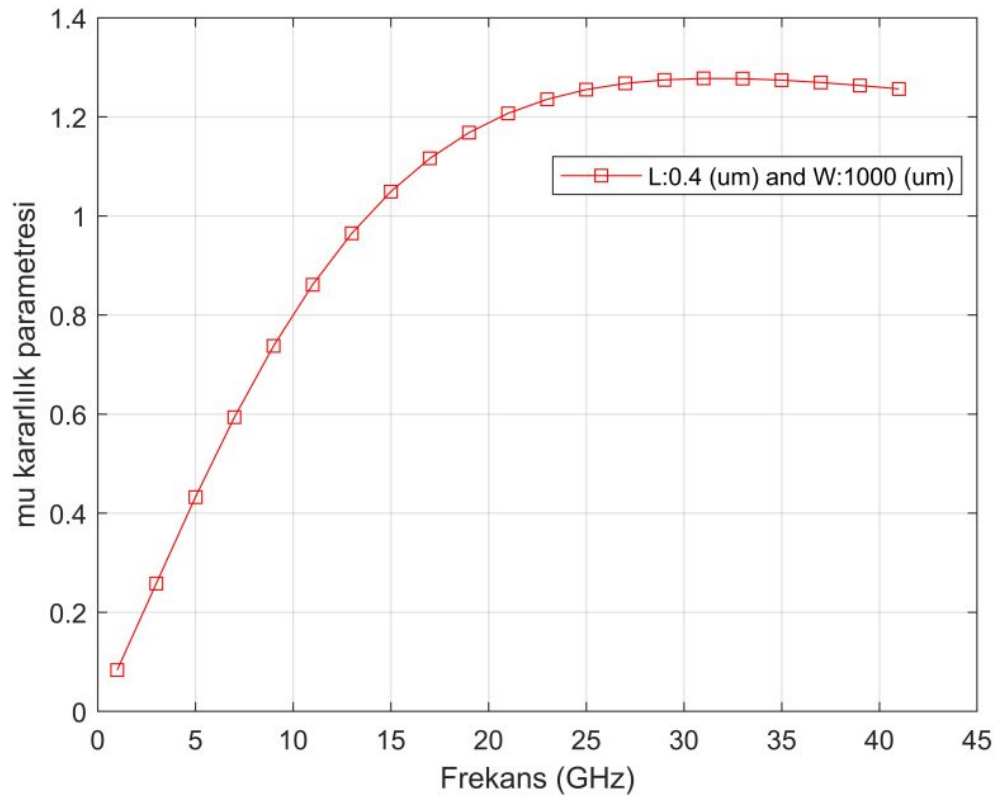


Şekil 5.10 F_{min} ve MAG parametrelerin seçilen transistör üzerinden gösterimi

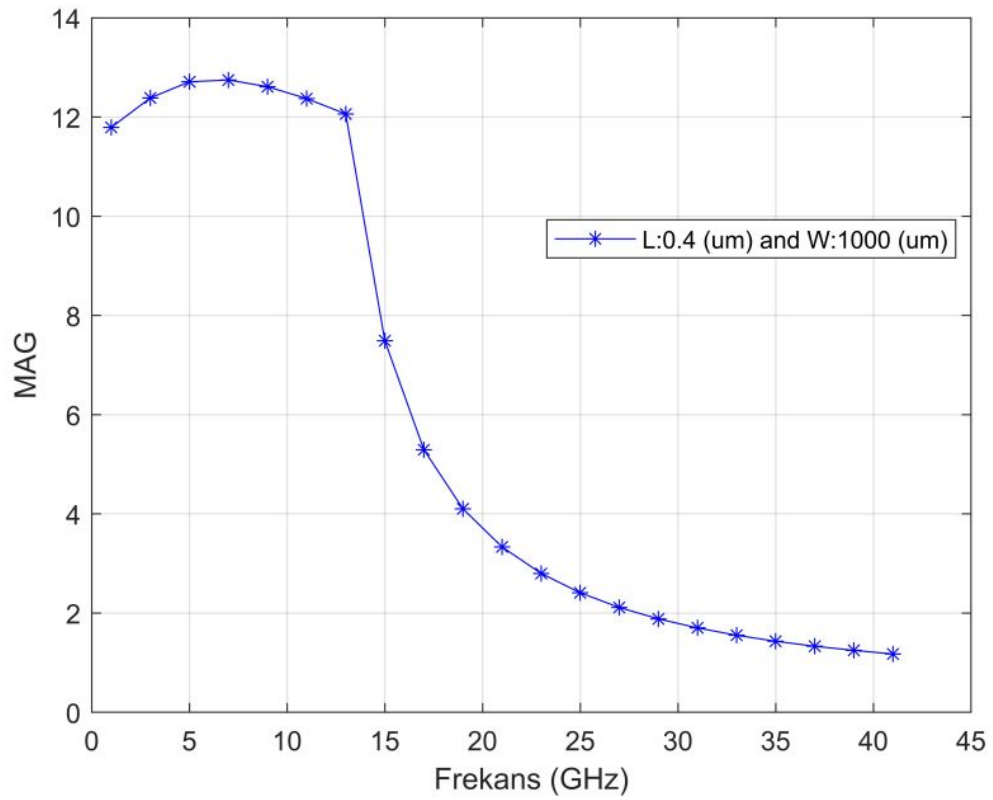
Şekil 5.11 önerilen transistör yapısının kararlılık parametresinin değişimi frekans düzleminde gösterilmiştir. Yaklaşıl 14 GHz'e kadar koşullu kararlı davranışı gösteren transistör yapısı, 15 GHz'den sonra koşulsuz kararlı davranışı göstermektedir.

Şekil 5.12 önerilen transistör yapısının MAG değişimi frekans düzleminde gösterilmiştir. Alçak frekanslarda MAG değeri oldukça yüksek değeri sahipken, frekans arttıkça MAG değeri de azalmaktadır.

Şekil 5.10 önerilen transistör yapısı kullanılarak 15 GHz merkez frekansında doğrusal kuvvetlendirici tasarımı gerçekleştirilmiştir. Bu tasarım için giriş ve çıkış uyumlaştırma devreleri kullanılmıştır. Şekil 5.13'da gösterilen uyumlaştırma devrelerinde kullanılan yarıklar yardımıyla uyumlaştırma işlemleri gerçekleştirilmiştir. Kullanılan malzeme tipi ve yarıkların uzunluğu ve genişliğiyle ilgili parametreler tablo 5.1'de verilmiştir. Şekil 5.14 ve şekil 5.15'de uyumlaştırma sonrası elde giriş ve çıkış kapısında elde edilen kayıplar gösterilmiştir. Şekil 5.16'de ise uyumlaştırma sonrasında bu transistörden



Şekil 5.11 Frekans düzleminde kararlilik parametresi değışimi



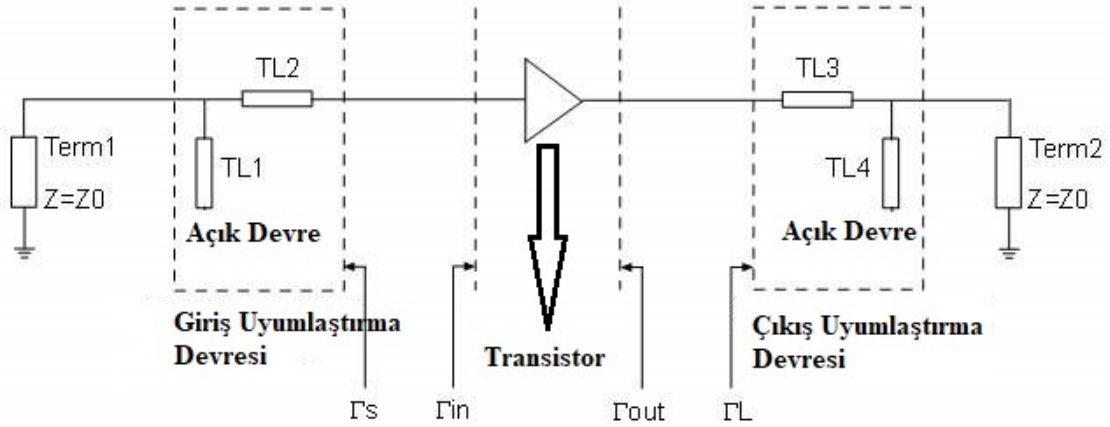
Şekil 5.12 Frekans düzleminde kazanç parametresi değışimi

alınabilecek azami güç değeri gösterilmiştir. Uyumlaştırma işlemi denklem 5.6 ifadesine göre eşlenik uyumlaştırma gerçekleştirilmiştir.

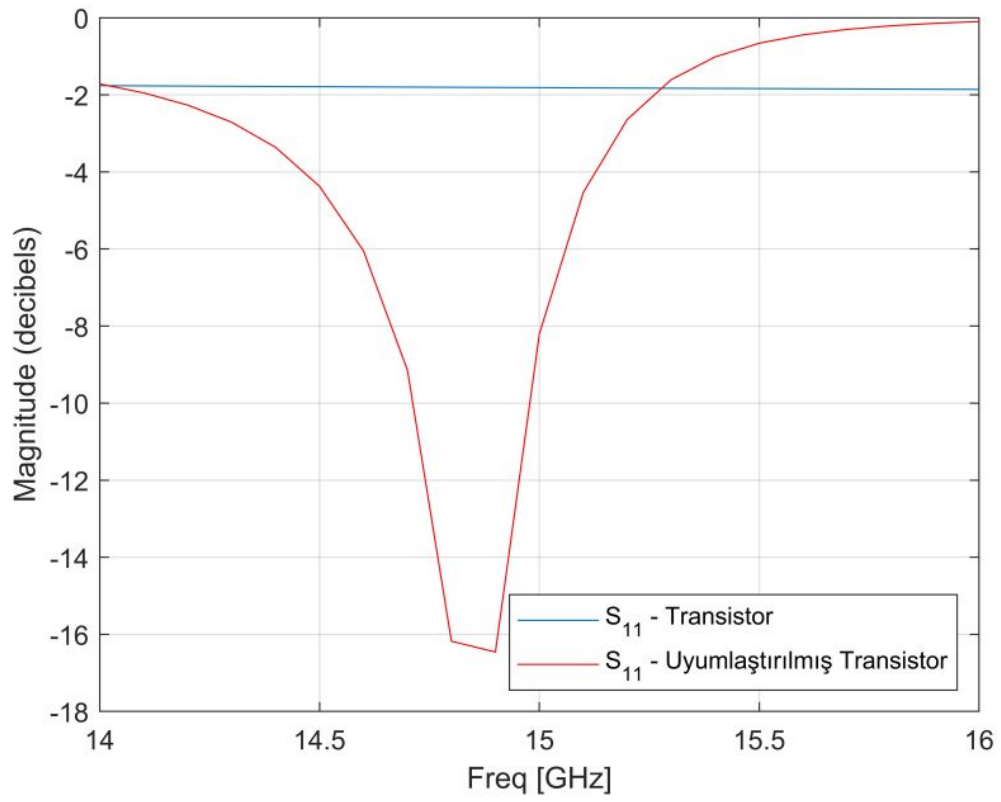
$$\Gamma_{in} = \Gamma_S^* \quad \Gamma_{out} = \Gamma_L^* \quad (5.6)$$

Tablo 5.1 Mikroserit hatların uyumlaştırma sonrası parametreleri

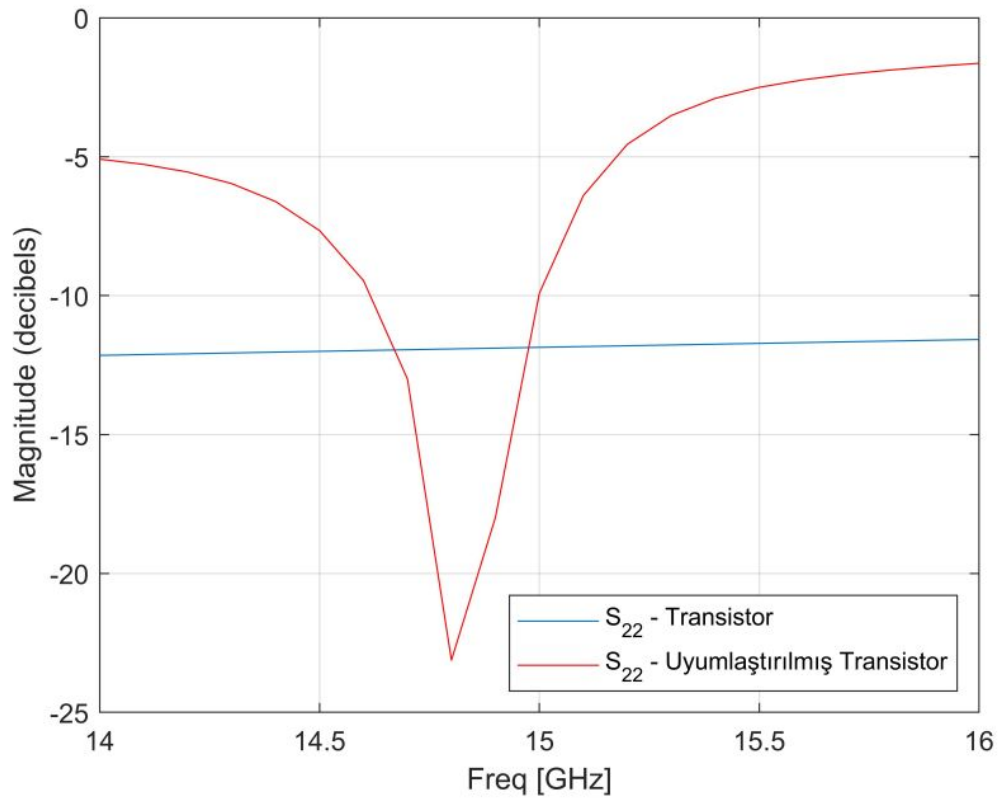
	TL1	TL2	TL3	TL4
Genişlik	6.00E-04	6.00E-04	6.00E-04	6.00E-04
Uzunluk	6.35E-04	6.35E-04	6.35E-04	6.35E-04
Kalınlık	5.00E-06	5.00E-06	5.00E-06	5.00E-06
Epsilon	9.80E+00	9.80E+00	9.80E+00	9.80E+00
Hat uzunluğu	1.70E-03	7.91E-04	1.20E-03	1.40E-03



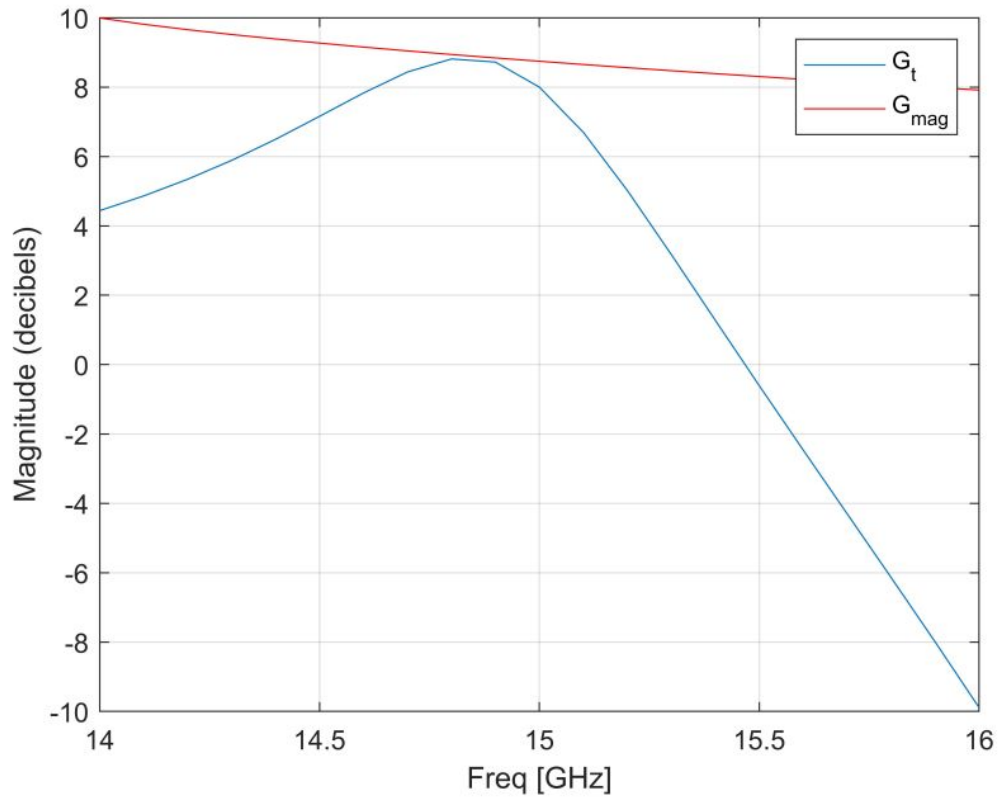
Şekil 5.13 Giriş ve çıkış uyumlaştırma devreleri



Şekil 5.14 Giriş uyumlaştırma performansı



Şekil 5.15 Çıkış uyumlaştırma performansı



Şekil 5.16 Uyumlaştırma sonrası kazanç ifadesi

6 SONUÇ VE ÖNERİLER

Bu çalışmada, MESFET transistorün iki kapılı S parametreleri sembolik bağlanım ve yenilikçi algoritmalar yardımıyla modellenmiştir. S parametreler karmaşık sayı olduğu ve iki kapılı devrede 4 tane S parametresi olduğu için 8 farklı analitik ifade türetilmiştir. Modelleme aşamasında giriş parametresi olarak kabul edilen frekans, kapı gerilimi, kapı genişliği ve savak gerilimi parametrelerinin her birinin S parametresine etkisi ayrı ayrı incelenmiştir. $ReelS_{21}$, $SanalS_{21}$, $ReelS_{22}$ ve $SanalS_{22}$ parametresi her bir giriş parametresinin bir fonksiyonu olarak bulunmuştur. Sembolik bağlanım işlemi sonucunda elde edilen analitik ifadelerde $ReelS_{11}$ ve $SanalS_{11}$ parametreleri savak gerilimi giriş parametresinin bir fonksiyonu olmamıştır. Benzer şekilde $ReelS_{12}$ parametreside kapı gerilimi giriş değişkeninin bir fonksiyonu olmamıştır. Türetilen bu denklemler hiperbolik tanjant, ters tanjant veya polinom fonksiyonu şeklinde ortaya çıkmıştır.

Beyaz kutu modellemesi olarak da nitelendirebileceğimiz çalışmada, literatürde bulunan en iyi algoritmalar yardımıyla modelleme işlemi gerçekleştirilmiş ve sonuçları karşılaştırılmıştır. Bu modelleme işlemlerinde hata metrik fonksiyonu olarak ortalama mutlak hata, ortalama karasel hata, kök ortalama karasel hata ve pearson çarpım moment korelasyon katsayısı alınmıştır. Aynı şekilde literatürde kabul görmüş ortalama mutlak hata değerinde altında bir değer edilmiştir. Yapılan bu modelleme aşamaların en nihai olarak doğruluğunu göstermek için Silvaco Atlas cihaz simülasyonu sonuçlarıyla karşılaştırılmıştır.

İlk karşılaştırma metodu tüm veri seti kullanılarak analitik ifadelerle cihaz simülasyonu karşılaştırılmıştır. İkinci karşılaştırma metodu ise örnek durumlar oluşturularak hem analitik ifadeler, hemde en iyi algoritmayla cihaz simülasyonu sonucu karşılaştırılmıştır. Modelin doğruluğu göstermek amacıyla oluşturulan örnek durumlar, veri seti dışarısından seçilmiştir. Örnek durumlar üzerinden gerçekleştirilen bu karşılaştırma elde edilen hem beyaz kutu hem de kara kutu modellerinin cihaz simülasyonu sonucuyla üst üste örtüştüğünü göstermektedir. Bagging algoritması diğer algoritmalarla karşılaştırılması sonucu en iyi performansı göstermiştir. IBk

algoritması sadece $ReelS_{21}$ parametresinin hesaplanmasında en iyi performansı göstermiştir.

Ayrıca, yeni bir veri seti üretilerek doğrusal kuvvetlendirici tasarımı gerçekleştirilmiştir. Oluşturulan bu veri setinde kutuplama koşulları sabit tutulurken, transistörün kapı genişliği ve kapı uzunluğu parametreleri değiştirilmiştir. Çıkış olarak S parametrelerinin yanında, iki kapılı gürültü parametreleri ve kazanç ifadesi de alınmıştır. Giriş parametrelerinin tasarım kriterleri olabilecek kararlılık, F_{min} ve kazanç ifadelerine olan etkisi ayrı ayrı gösterilmiştir. Kararlılık ve kazanç parametreleri tüm veri seti kullanılarak gözlenmiş ve en uygun geometriye sahip bir transistör seçilerek koşulsuz kararlı doğrusal kuvvetlendirici tasarımı gerçekleştirilmiştir. Doğrusal kuvvetlendirici devresinde uyumlaştırma işlemi için açık uçlu yarıklar seçilmiş ve değerleri tablo olarak verilmiştir.

Sonuç olarak, MESFET transistörün S parametreleri önerilen metotlar yardımıyla doğru bir şekilde modellenmiştir, bu modeller kullanılarak transistör üretim sırasında istenilen tasarım kriterlerine uygun olarak parametreler optimize edilebilir. Transistör üretim yaygınlaşacağı ve ucuzlayacağı ileriki zamanlarda bu denklemler ve modeller kullanılarak istenilen tasarım kriterlerine göre transistör üretimi gerçekleştirilebilir. Mikrodalga devrelerinde tasarım aşamasında çok yaygın olarak kullanılan S parametrelerin modellenmesi devre tasarımcıları içinde fayda sağlayacaktır.

- [1] E. P. Ata, "Fabrication, characterization, and parameter extraction of gaas mesfets," Thesis, 1994.
- [2] R. R. Pantoja, M. J. Howes, J. R. Richardson, C. M. Snowden, *A large signal physical MESFET model for CAD and its applications*. 1989, 573–576 vol.2. DOI: 10.1109/MWSYM.1989.38792.
- [3] C. M. Snowden, "Mesfet modelling," in *Compound Semiconductor Device Modelling*, C. M. Snowden, R. E. Miles, Eds. London: Springer London, 1993, ch. Chapter 2, pp. 26–55. DOI: 10.1007/978-1-4471-2048-3_2. [Online]. Available: https://doi.org/10.1007/978-1-4471-2048-3_2.
- [4] F. Gunes, M. Gunes, M. Fidan, "Performance characterisation of a microwave transistor," *IEE Proceedings-Circuits, Devices and Systems*, vol. 141, no. 5, pp. 337–344, 1994, ISSN: 1359-7000.
- [5] F. Güneş, H. Torpi, B. A. Çetiner, "Neural network modeling of active devices for use in mmic design," *Artificial Intelligence in Engineering*, vol. 13, no. 4, pp. 385–392, 1999, ISSN: 0954-1810.
- [6] F. Gunes, B. A. Cetiner, "Smith chart formulation of performance characterisation for a microwave transistor," *IEE Proceedings - Circuits, Devices and Systems*, vol. 145, no. 6, pp. 419–428, 1998, ISSN: 1350-2409. DOI: 10.1049/ip-cds:19982389.
- [7] F. Güneş, U. Özkaya, A. Uluslu, "Generalized regression neural network-based efficient noise modeling for microwave transistors," in *2011 International Symposium on Innovations in Intelligent Systems and Applications*, pp. 212–216. DOI: 10.1109/INISTA.2011.5946067.
- [8] F. Gunes, H. Torpi, F. Gurgen, "Multidimensional signal-noise neural network model," *IEE Proceedings - Circuits, Devices and Systems*, vol. 145, no. 2, pp. 111–117, 1998. DOI: 10.1049/ip-cds:19981712.
- [9] F. GÜNEŞ, M. A. Belen, P. Mahouti, S. J. R. Demirel, "Signal and noise modeling of microwave transistors using characteristic support vector-based sparse regression," vol. 25, no. 3, pp. 490–499, 2016, ISSN: 1210-2512.
- [10] F. Güneş, S. Demirel, "Performance characterization of a microwave transistor subject to the noise and matching requirements," *International Journal of Circuit Theory and Applications*, vol. 44, no. 5, pp. 1012–1028, 2016, ISSN: 1097-007X. DOI: 10.1002/cta.2120. [Online]. Available: <http://dx.doi.org/10.1002/cta.2120>.

- [11] F. Güneş, S. Demirel, P. Mahouti, "A simple and efficient honey bee mating optimization approach to performance characterization of a microwave transistor for the maximum power delivery and required noise," *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, vol. 29, no. 1, pp. 4–20, 2016, ISSN: 1099-1204. DOI: 10.1002/jnm.2041. [Online]. Available: <http://dx.doi.org/10.1002/jnm.2041>.
- [12] F. Güneş, S. Demirel, U. Özkaya, "A low-noise amplifier design using the performance limitations of a microwave transistor for the ultra-wideband applications," *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 20, no. 5, pp. 535–545, 2010, ISSN: 1099-047X. DOI: 10.1002/mmce.20459. [Online]. Available: <http://dx.doi.org/10.1002/mmce.20459>.
- [13] F. Güneş, P. Mahouti, S. Demirel, M. A. Belen, A. Uluslu, "Cost-effective grnn-based modeling of microwave transistors with a reduced number of measurements," vol. 30, no. 3-4, e2089, 2017, ISSN: 0894-3370. DOI: 10.1002/jnm.2089. [Online]. Available: <https://onlinelibrary.wiley.com/doi/abs/10.1002/jnm.2089>.
- [14] F. Güneş, N. Türker, F. Gürgeç, "Signal-noise support vector model of a microwave transistor," vol. 17, no. 4, pp. 404–415, 2007, ISSN: 1096-4290. DOI: 10.1002/mmce.20239. [Online]. Available: <https://onlinelibrary.wiley.com/doi/abs/10.1002/mmce.20239>.
- [15] P. Mahouti, F. Güneş, M. A. Belen, S. Demirel, "Symbolic regression for derivation of an accurate analytical formulation using "big data" an application example," vol. 32, no. 5, pp. 372–80, 2017, ISSN: 1054-4887.
- [16] S. M. G. Dragica Vasilevska, *Computational Electronics*. Morgan Claypool Publishers, 2006.
- [17] E. Rhoderick, R. Williams, *Metal-semiconductor contacts*. Clarendon Press, 1988, ISBN: 9780198593362. [Online]. Available: <https://books.google.com.tr/books?id=0zcoAQAAMAAJ>.
- [18] Web Page, 2006. [Online]. Available: <https://www.silvaco.com/>.
- [19] S. M. Sze, K. K. Ng, *Physics of semiconductor devices*. Hoboken, N.J.: Wiley-Interscience, 2007, ISBN: 978-0-47-1143239.
- [20] R. Dubčáková, "Eureqa: Software review," *Genetic Programming and Evolvable Machines*, vol. 12, no. 2, pp. 173–178, 2011, ISSN: 1573-7632. DOI: 10.1007/s10710-010-9124-z. [Online]. Available: <https://doi.org/10.1007/s10710-010-9124-z>.
- [21] Web Page, 2014. [Online]. Available: www.nutonian.com.
- [22] D. R. Stoutemyer, "Can the eureqa symbolic regression program, computer algebra and numerical analysis help each other," *Notices AMS*, vol. 60, pp. 713–724,

- [23] I. H. Witten, E. Frank, M. A. Hall, *Data Mining: Practical Machine Learning Tools and Techniques (Third Edition)*, ser. Data Mining: Practical Machine Learning Tools and Techniques (Third Edition). Boston: Morgan Kaufmann, 2011, pp. 403–406, ISBN: 978-0-12-374856-0. DOI: <https://doi.org/10.1016/B978-0-12-374856-0.00010-9>. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/B9780123748560000109>.
- [24] Y. Cengiz, “Application of data mining methods to efficient microwave active device modeling,” *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 23, no. 5, pp. 539–548, 2013, ISSN: 1099-047X. DOI: 10.1002/mmce.20687. [Online]. Available: <https://doi.org/10.1002/mmce.20687>.
- [25] V. Ceperic, N. Bako, A. Baric, “A symbolic regression-based modelling strategy of ac/dc rectifiers for rfid applications,” *Expert Systems with Applications*, vol. 41, no. 16, pp. 7061–7067, 2014, ISSN: 0957-4174. DOI: <https://doi.org/10.1016/j.eswa.2014.06.021>. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0957417414003625>.
- [26] O. Loyola-González, “Black-box vs. white-box: Understanding their advantages and weaknesses from a practical point of view,” *IEEE Access*, vol. 7, pp. 154 096–154 113, 2019, ISSN: 2169-3536. DOI: 10.1109/ACCESS.2019.2949286.
- [27] P. Mahouti, F. Güneş, S. Demirel, A. Uluslu, M. A. Belen, “Efficient scattering parameter modeling of a microwave transistor using generalized regression neural network,” in *2014 20th International Conference on Microwaves, Radar and Wireless Communications (MIKON)*, pp. 1–4. DOI: 10.1109/MIKON.2014.6899968.
- [28] M. Indra, S. Karuppasamy, R. Rajaram, *Resource Optimization in Automatic web page classification using integrated feature selection and machine learning*. 2009, vol. 1.
- [29] L. J. M. I. Breiman, “Bagging predictors,” vol. 24, no. 2, pp. 123–140, 1996, ISSN: 0885-6125.
- [30] V. K. Devabhaktuni, M. C. E. Yagoub, Y. Fang, J. Xu, Q.-J. Zhang, “Neural networks for microwave modeling: Model development issues and nonlinear modeling techniques,” *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 11, no. 1, pp. 4–21, 2001, ISSN: 1099-047X. DOI: 10.1002/1099-047X(200101)11:1<4::AID-MMCE2>3.0.CO;2-I.
- [31] P. M. Watson, M. Weatherspoon, L. Dunleavy, G. L. Creech, “Accurate and efficient small-signal modeling of active devices using artificial neural networks,” in *GaAs IC Symposium. IEEE Gallium Arsenide Integrated Circuit Symposium. 20th Annual. Technical Digest 1998 (Cat. No.98CH36260)*, pp. 95–98. DOI: 10.1109/GAAS.1998.722636.
- [32] M. H. Weatherspoon, H. A. Martinez, D. Langoni, S. Y. Foo, “Small-signal modeling of microwave mesfets using rbf-anns,” *IEEE Transactions on Instrumentation and Measurement*, vol. 56, no. 5, pp. 2067–2072, 2007, ISSN: 0018-9456. DOI: 10.1109/TIM.2007.895585.

- [33] D. W. Aha, D. Kibler, M. K. J. M. L. Albert, "Instance-based learning algorithms," vol. 6, no. 1, pp. 37–66, 1991, ISSN: 1573-0565. DOI: 10.1007/bf00153759. [Online]. Available: <https://doi.org/10.1007/BF00153759>.
- [34] J. G. Cleary, L. E. Trigg, "K*: An instance-based learner using an entropic distance measure," in *Machine Learning Proceedings 1995*. Elsevier, 1995, pp. 108–114.
- [35] A. Agarwala, R. Chaujar, "Noise analysis of gate electrode work function engineered recessed channel (gewe-rc) mosfet," *Journal of Physics: Conference Series*, vol. 367, p. 012013, 2012, ISSN: 1742-6596. DOI: 10.1088/1742-6596/367/1/012013. [Online]. Available: <http://dx.doi.org/10.1088/1742-6596/367/1/012013>.
- [36] F. Bonani, G. Ghione, "Noise in semiconductor devices : Modeling and simulation," 2001, ISSN: 9783662045305 3662045303. [Online]. Available: <http://public.eblib.com/choice/publicfullrecord.aspx?p=3098056>.
- [37] P. Kumar, R. Chauhan, M. Gupta, *TCAD Simulation, Small-Signal and Noise Modeling of Si Based Bandgap Engineered Semiconductor Device for Near THz Applications*. 2014, pp. 144–149, ISBN: 978-1-4799-4910-6. DOI: 10.1109/ACCT.2014.47.
- [38] G. Niu, "Noise in sige hbt rf technology: Physics, modeling, and circuit implications," *Proceedings of the IEEE*, vol. 93, no. 9, pp. 1583–1597, 2005, ISSN: 0018-9219. DOI: 10.1109/JPROC.2005.852226.
- [39] M. W. Pospieszalski, "Interpreting transistor noise," *IEEE Microwave Magazine*, vol. 11, no. 6, pp. 61–69, 2010, ISSN: 1527-3342. DOI: 10.1109/MMM.2010.937733.
- [40] V. Jegadheesan, K. Sivasankaran, "Rf stability performance of soi junctionless finfet and impact of process variation," *Microelectronics Journal*, vol. 59, pp. 15–21, 2017, ISSN: 0026-2692. DOI: <https://doi.org/10.1016/j.mejo.2016.11.004>. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0026269216301768>.
- [41] A. Pon, A. Bhattacharyya, B. Padmanaban, R. Ramesh, "Optimization of the geometry of a charge plasma double-gate junctionless transistor for improved rf stability," *Journal of Computational Electronics*, vol. 18, no. 3, pp. 906–917, 2019, ISSN: 1572-8137. DOI: 10.1007/s10825-019-01340-4. [Online]. Available: <https://doi.org/10.1007/s10825-019-01340-4>.
- [42] V. Raju, D. Sivasankaran K J International Journal of Numerical Modelling: Electronic Networks, Fields, "Impact of high k spacer on rf stability performance of double gate junctionless transistor," vol. 32, no. 1, e2481, 2019, ISSN: 0894-3370.
- [43] K. Sivasankaran, D. Kannadassan, K. Seetaram, P. S. Mallick, "Bias and geometry optimization of silicon nanowire transistor: Radio frequency stability perspective," vol. 54, no. 9, pp. 2114–2117, 2012, ISSN: 0895-2477. DOI: 10.1002/mop.27016. [Online]. Available: <https://onlinelibrary.wiley.com/doi/abs/10.1002/mop.27016>.

- [44] K. Sivasankaran, P. S. Mallick, "Bias and geometry optimization of finfet for rf stability performance," *Journal of Computational Electronics*, vol. 13, no. 1, pp. 250–256, 2014, ISSN: 1572-8137. DOI: 10.1007/s10825-013-0507-2. [Online]. Available: <https://doi.org/10.1007/s10825-013-0507-2>.
- [45] —, "Impact of parameter fluctuations on rf stability performance of dg tunnel fet," *Journal of Semiconductors*, vol. 36, no. 8, p. 084001, 2015, ISSN: 1674-4926. DOI: 10.1088/1674-4926/36/8/084001. [Online]. Available: <http://dx.doi.org/10.1088/1674-4926/36/8/084001>.
- [46] M. L. Edwards, J. H. Sinsky, "A new criterion for linear 2-port stability using a single geometrically derived parameter," *IEEE Transactions on Microwave Theory and Techniques*, vol. 40, no. 12, pp. 2303–2311, 1992, ISSN: 1557-9670. DOI: 10.1109/22.179894.

A CİHAZ SİMÜLASYON SONUÇ DOSYASI

```
ATLAS> Title MBE Epitaxial GaAs MESFET - S parameters calculation
*****
MBE Epitaxial GaAs MESFET - S parameters calculation
*****
Small-signal AC analysis: frequency=1.00E+09 Hz
Small Signal Electrode: source
  Electrode   Conductance      Capacitance
              (siemens/micron) (farads/micron)
  source      -8.83E-05         -1.53E-16
  drain        8.83E-05         -6.33E-17
  gate         1.13E-08         2.16E-16
Small Signal Electrode: drain
  Electrode   Conductance      Capacitance
              (siemens/micron) (farads/micron)
  source        2.56E-05         5.42E-17
  drain       -2.56E-05         -1.24E-16
  gate        -9.19E-10         6.99E-17
Small Signal Electrode: gate
  Electrode   Conductance      Capacitance
              (siemens/micron) (farads/micron)
  source        6.27E-05         9.84E-17
  drain       -6.27E-05         1.87E-16
  gate        -1.04E-08        -2.86E-16
Time for bias point: 0.44 sec.
Total time:          18.67 sec.
S-parameters:
  S11=(1.00e+000, -1.92e-002) S12=(4.26e-005, 3.89e-003)
  S21=(-5.56e-001, 1.77e-002) S22=(7.73e-001, -7.21e-003)
Small-signal AC analysis: frequency=3.00E+09 Hz
Small Signal Electrode: source
  Electrode   Conductance      Capacitance
              (siemens/micron) (farads/micron)
  source      -8.85E-05         -1.46E-16
  drain        8.84E-05         -6.89E-17
  gate         9.64E-08         2.15E-16
Small Signal Electrode: drain
  Electrode   Conductance      Capacitance
              (siemens/micron) (farads/micron)
  source        2.58E-05         4.63E-17
  drain       -2.58E-05        -1.17E-16
```

gate	-7.35E-10	7.04E-17
------	-----------	----------

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.27E-05	1.00E-16
drain	-6.26E-05	1.86E-16
gate	-9.57E-08	-2.86E-16

Time for bias point: 0.30 sec.
Total time: 18.97 sec.

S-parameters:

S11=(9.97e-001, -5.74e-002) S12=(4.45e-004, 1.17e-002)
S21=(-5.52e-001, 5.22e-002) S22=(7.71e-001, -2.05e-002)

Small-signal AC analysis: frequency=5.00E+09 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.87E-05	-1.41E-16
drain	8.84E-05	-7.33E-17
gate	2.56E-07	2.15E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.60E-05	4.00E-17
drain	-2.60E-05	-1.11E-16
gate	1.38E-08	7.07E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.27E-05	1.01E-16
drain	-6.24E-05	1.84E-16
gate	-2.70E-07	-2.86E-16

Time for bias point: 0.34 sec.
Total time: 19.31 sec.

S-parameters:

S11=(9.92e-001, -9.53e-002) S12=(1.36e-003, 1.96e-002)
S21=(-5.47e-001, 8.57e-002) S22=(7.69e-001, -3.26e-002)

Small-signal AC analysis: frequency=7.00E+09 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.88E-05	-1.39E-16
drain	8.83E-05	-7.57E-17
gate	4.88E-07	2.14E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.60E-05	3.64E-17
drain	-2.61E-05	-1.07E-16
gate	4.39E-08	7.08E-17

Small Signal Electrode: gate

Electrode	Conductance	Capacitance
-----------	-------------	-------------

	(siemens/micron)	(farads/micron)
source	6.27E-05	1.02E-16
drain	-6.22E-05	1.83E-16
gate	-5.32E-07	-2.85E-16

Time for bias point: 0.30 sec.
Total time: 19.61 sec.
S-parameters:
S11=(9.84e-001, -1.32e-001) S12=(2.78e-003, 2.73e-002)
S21=(-5.39e-001, 1.18e-001) S22=(7.67e-001, -4.43e-002)

Small-signal AC analysis: frequency=9.00E+09 Hz
Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.89E-05	-1.37E-16
drain	8.81E-05	-7.68E-17
gate	7.93E-07	2.14E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.45E-17
drain	-2.62E-05	-1.05E-16
gate	8.75E-08	7.09E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.28E-05	1.02E-16
drain	-6.19E-05	1.82E-16
gate	-8.81E-07	-2.85E-16

Time for bias point: 0.37 sec.
Total time: 19.98 sec.
S-parameters:
S11=(9.74e-001, -1.69e-001) S12=(4.67e-003, 3.48e-002)
S21=(-5.29e-001, 1.50e-001) S22=(7.64e-001, -5.58e-002)

Small-signal AC analysis: frequency=1.10E+10 Hz
Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.90E-05	-1.36E-16
drain	8.78E-05	-7.72E-17
gate	1.17E-06	2.13E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.33E-17
drain	-2.62E-05	-1.04E-16
gate	1.43E-07	7.09E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.29E-05	1.03E-16
drain	-6.16E-05	1.81E-16

gate -1.31E-06 -2.84E-16
 Time for bias point: 0.32 sec.
 Total time: 20.31 sec.
 S-parameters:
 S11=(9.62e-001, -2.04e-001) S12=(6.99e-003, 4.21e-002)
 S21=(-5.17e-001, 1.81e-001) S22=(7.62e-001, -6.71e-002)
 Small-signal AC analysis: frequency=1.30E+10 Hz
 Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.91E-05	-1.35E-16
drain	8.75E-05	-7.72E-17
gate	1.62E-06	2.12E-16

 Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.26E-17
drain	-2.63E-05	-1.03E-16
gate	2.11E-07	7.08E-17

 Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.30E-05	1.03E-16
drain	-6.12E-05	1.81E-16
gate	-1.83E-06	-2.83E-16

 Time for bias point: 0.37 sec.
 Total time: 20.68 sec.
 S-parameters:
 S11=(9.48e-001, -2.37e-001) S12=(9.71e-003, 4.92e-002)
 S21=(-5.03e-001, 2.10e-001) S22=(7.59e-001, -7.83e-002)
 Small-signal AC analysis: frequency=1.50E+10 Hz
 Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.93E-05	-1.35E-16
drain	8.71E-05	-7.70E-17
gate	2.14E-06	2.11E-16

 Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.21E-17
drain	-2.64E-05	-1.03E-16
gate	2.89E-07	7.07E-17

 Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.31E-05	1.02E-16
drain	-6.07E-05	1.80E-16
gate	-2.42E-06	-2.82E-16

 Time for bias point: 0.35 sec.
 Total time: 21.02 sec.

S-parameters:
 S11=(9.32e-001, -2.70e-001) S12=(1.28e-002, 5.60e-002)
 S21=(-4.88e-001, 2.38e-001) S22=(7.55e-001, -8.92e-002)
 Small-signal AC analysis: frequency=1.70E+10 Hz
 Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.94E-05	-1.34E-16
drain	8.67E-05	-7.65E-17
gate	2.72E-06	2.11E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.18E-17
drain	-2.65E-05	-1.02E-16
gate	3.77E-07	7.05E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.33E-05	1.02E-16
drain	-6.02E-05	1.79E-16
gate	-3.10E-06	-2.81E-16

Time for bias point: 0.32 sec.
 Total time: 21.34 sec.

S-parameters:
 S11=(9.14e-001, -3.00e-001) S12=(1.62e-002, 6.24e-002)
 S21=(-4.71e-001, 2.64e-001) S22=(7.52e-001, -9.98e-002)
 Small-signal AC analysis: frequency=1.90E+10 Hz
 Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.96E-05	-1.34E-16
drain	8.62E-05	-7.58E-17
gate	3.37E-06	2.09E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.16E-17
drain	-2.66E-05	-1.02E-16
gate	4.75E-07	7.04E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.35E-05	1.02E-16
drain	-5.96E-05	1.78E-16
gate	-3.84E-06	-2.80E-16

Time for bias point: 0.30 sec.
 Total time: 21.64 sec.

S-parameters:
 S11=(8.95e-001, -3.29e-001) S12=(1.98e-002, 6.85e-002)
 S21=(-4.52e-001, 2.88e-001) S22=(7.48e-001, -1.10e-001)

Small-signal AC analysis: frequency=2.10E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.97E-05	-1.33E-16
drain	8.56E-05	-7.51E-17
gate	4.07E-06	2.08E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.14E-17
drain	-2.67E-05	-1.02E-16
gate	5.83E-07	7.02E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.36E-05	1.02E-16
drain	-5.90E-05	1.77E-16
gate	-4.66E-06	-2.79E-16

Time for bias point: 0.33 sec.

Total time: 21.98 sec.

S-parameters:

S11=(8.75e-001, -3.56e-001) S12=(2.38e-002, 7.43e-002)

S21=(-4.33e-001, 3.11e-001) S22=(7.44e-001, -1.20e-001)

Small-signal AC analysis: frequency=2.30E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-8.99E-05	-1.33E-16
drain	8.51E-05	-7.42E-17
gate	4.84E-06	2.07E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.13E-17
drain	-2.68E-05	-1.01E-16
gate	6.99E-07	7.00E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.38E-05	1.02E-16
drain	-5.83E-05	1.76E-16
gate	-5.54E-06	-2.77E-16

Time for bias point: 0.27 sec.

Total time: 22.25 sec.

S-parameters:

S11=(8.54e-001, -3.81e-001) S12=(2.78e-002, 7.98e-002)

S21=(-4.13e-001, 3.32e-001) S22=(7.39e-001, -1.30e-001)

Small-signal AC analysis: frequency=2.50E+10 Hz

Small Signal Electrode: source

Electrode	Conductance	Capacitance
-----------	-------------	-------------

	(siemens/micron)	(farads/micron)
source	-9.01E-05	-1.33E-16
drain	8.44E-05	-7.32E-17
gate	5.66E-06	2.06E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.61E-05	3.12E-17
drain	-2.69E-05	-1.01E-16
gate	8.23E-07	6.98E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.40E-05	1.01E-16
drain	-5.76E-05	1.74E-16
gate	-6.48E-06	-2.76E-16

Time for bias point: 0.30 sec.
Total time: 22.55 sec.

S-parameters:
S11=(8.32e-001, -4.04e-001) S12=(3.21e-002, 8.49e-002)
S21=(-3.92e-001, 3.51e-001) S22=(7.35e-001, -1.39e-001)

Small-signal AC analysis: frequency=2.70E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-9.03E-05	-1.32E-16
drain	8.38E-05	-7.22E-17
gate	6.53E-06	2.04E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.60E-05	3.12E-17
drain	-2.70E-05	-1.01E-16
gate	9.55E-07	6.96E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.43E-05	1.01E-16
drain	-5.68E-05	1.73E-16
gate	-7.49E-06	-2.74E-16

Time for bias point: 0.33 sec.
Total time: 22.88 sec.

S-parameters:
S11=(8.10e-001, -4.25e-001) S12=(3.65e-002, 8.96e-002)
S21=(-3.70e-001, 3.68e-001) S22=(7.30e-001, -1.48e-001)

Small-signal AC analysis: frequency=2.90E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-9.05E-05	-1.32E-16
drain	8.31E-05	-7.11E-17

gate	7.45E-06	2.03E-16
------	----------	----------

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.60E-05	3.12E-17
drain	-2.71E-05	-1.01E-16
gate	1.09E-06	6.94E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.45E-05	1.01E-16
drain	-5.60E-05	1.72E-16
gate	-8.55E-06	-2.72E-16

Time for bias point: 0.34 sec.
Total time: 23.22 sec.

S-parameters:
S11=(7.87e-001, -4.44e-001) S12=(4.09e-002, 9.40e-002)
S21=(-3.48e-001, 3.84e-001) S22=(7.26e-001, -1.57e-001)

Small-signal AC analysis: frequency=3.10E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-9.08E-05	-1.32E-16
drain	8.23E-05	-6.99E-17
gate	8.42E-06	2.01E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.60E-05	3.12E-17
drain	-2.72E-05	-1.00E-16
gate	1.24E-06	6.91E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.47E-05	1.00E-16
drain	-5.51E-05	1.70E-16
gate	-9.66E-06	-2.71E-16

Time for bias point: 0.35 sec.
Total time: 23.57 sec.

S-parameters:
S11=(7.64e-001, -4.62e-001) S12=(4.54e-002, 9.81e-002)
S21=(-3.26e-001, 3.97e-001) S22=(7.21e-001, -1.65e-001)

Small-signal AC analysis: frequency=3.30E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-9.10E-05	-1.31E-16
drain	8.16E-05	-6.87E-17
gate	9.42E-06	2.00E-16

Small Signal Electrode: drain

Electrode	Conductance	Capacitance
-----------	-------------	-------------

	(siemens/micron)	(farads/micron)
source	2.60E-05	3.12E-17
drain	-2.74E-05	-1.00E-16
gate	1.39E-06	6.89E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.50E-05	1.00E-16
drain	-5.42E-05	1.69E-16
gate	-1.08E-05	-2.69E-16

Time for bias point: 0.33 sec.
Total time: 23.90 sec.

S-parameters:
S11=(7.41e-001, -4.78e-001) S12=(5.00e-002, 1.02e-001)
S21=(-3.04e-001, 4.10e-001) S22=(7.16e-001, -1.73e-001)

Small-signal AC analysis: frequency=3.50E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-9.12E-05	-1.31E-16
drain	8.08E-05	-6.74E-17
gate	1.05E-05	1.98E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.60E-05	3.12E-17
drain	-2.75E-05	-9.98E-17
gate	1.55E-06	6.86E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.53E-05	9.96E-17
drain	-5.33E-05	1.67E-16
gate	-1.20E-05	-2.67E-16

Time for bias point: 0.30 sec.
Total time: 24.19 sec.

S-parameters:
S11=(7.18e-001, -4.93e-001) S12=(5.45e-002, 1.05e-001)
S21=(-2.82e-001, 4.20e-001) S22=(7.11e-001, -1.81e-001)

Small-signal AC analysis: frequency=3.70E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-9.15E-05	-1.30E-16
drain	8.00E-05	-6.61E-17
gate	1.15E-05	1.96E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.59E-05	3.12E-17
drain	-2.77E-05	-9.95E-17

gate	1.71E-06	6.83E-17
------	----------	----------

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.56E-05	9.92E-17
drain	-5.23E-05	1.66E-16
gate	-1.32E-05	-2.65E-16

Time for bias point: 0.33 sec.
Total time: 24.52 sec.

S-parameters:

S11=(6.96e-001, -5.06e-001) S12=(5.90e-002, 1.09e-001)
S21=(-2.61e-001, 4.29e-001) S22=(7.06e-001, -1.88e-001)

Small-signal AC analysis: frequency=3.90E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-9.18E-05	-1.30E-16
drain	7.91E-05	-6.47E-17
gate	1.26E-05	1.95E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.59E-05	3.12E-17
drain	-2.78E-05	-9.93E-17
gate	1.87E-06	6.81E-17

Small Signal Electrode: gate

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	6.59E-05	9.88E-17
drain	-5.13E-05	1.64E-16
gate	-1.45E-05	-2.63E-16

Time for bias point: 0.28 sec.
Total time: 24.80 sec.

S-parameters:

S11=(6.73e-001, -5.17e-001) S12=(6.35e-002, 1.11e-001)
S21=(-2.39e-001, 4.37e-001) S22=(7.01e-001, -1.96e-001)

Small-signal AC analysis: frequency=4.10E+10 Hz

Small Signal Electrode: source

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	-9.21E-05	-1.30E-16
drain	7.83E-05	-6.33E-17
gate	1.38E-05	1.93E-16

Small Signal Electrode: drain

Electrode	Conductance (siemens/micron)	Capacitance (farads/micron)
source	2.59E-05	3.12E-17
drain	-2.79E-05	-9.90E-17
gate	2.04E-06	6.78E-17

Small Signal Electrode: gate

Electrode	Conductance	Capacitance
-----------	-------------	-------------

```

                (siemens/micron) (farads/micron)
source      6.62E-05      9.84E-17
drain      -5.03E-05      1.62E-16
gate       -1.58E-05     -2.61E-16
Time for bias point: 0.31 sec.
Total time:      25.12 sec.
S-parameters:
  S11=(6.51e-001, -5.27e-001) S12=(6.80e-002, 1.14e-001)
  S21=(-2.18e-001, 4.44e-001) S22=(6.96e-001, -2.03e-001)
ATLAS> quit
ATLAS version 5.19.20.R finished at Thu Nov 05 13:21:38 2020
```

```

1 %Eureqa Equations
2
3 RealS11E = 0.99 + 2.59e-23*Vg.*f.^2 - 7.91e-25*Vg.*W.*f.^2 -
    1.26e-26*f.^2.*W.^2 - 1.1e-25*W.*f.^2.*Vg.^2;
4 ImagS11E = tanh(-2.27e-11*f) + tanh(7.54e-10*f./(W + 5.56e-10*f + (W
    - 50.55).^(-8) + Vg.*(W + 2.3*(W - 50.55).^(-8) - 52.97).^0.6 -
    16.97));
5
6 RealS21E = tanh(10660./(200*Vd - 3110.37 - Vg.*W - 1e-9*f.*W)) +
    tanh(((1.28 + (3.86e-11*f).^Vd + exp(0.54*Vd))./W).^ (Vg + 0.37*Vd
    + -5.45*Vd./(W - 3.23e-10*f) - 0.68));
7 ImagS21E =
    0.67*atan(1.58e-16*f.*(Vd.^2).*(W.^2).*sin(0.5*Vd.*exp(4.03*Vg)) +
    tanh(tanh(7.57e-14*f.*W))) - 3.32e-15*f.*Vd.*W;
8
9 RealS12E= 4.45e-9 + 7.55e-15*f.*W + 5.93e-16*(f.*W).*(Vd.^2) +
    4.453e-27*(f.^2).*(W.^2) - 4.37e-15*f.*(Vd.*W) -
    1.82e-15*f.*W.*(Vd.^2).*sin(4.45e-9 + 7.55e-15*f.*W +
    5.93e-16*f.*W.*Vd.^2 + 4.45e-27*f.^2.*W.^2);
10 ImagS12E = sin(6.28 + 2.71e-13*f + 5.58e-14*f.*W) -
    4.62e-15*f.*(Vd.*W) - 2.21e-25*W.*(f.^2) -
    2.21e-25*Vg.*(f.^2).*(Vd.^2);
11
12 RealS22E = tanh(0.19.^(sin(Vg + 0.33*Vd) - sin((W - 49.44).^0.18))) +
    tanh(1.98e-5*Vd.*W + (2.13e-6*Vd.*W.^2).^(0.73 + 9.56e-12*f +
    2409361628.35*Vd./f) - 3.04e-16*f.*W.^2);
13 ImagS22E = tanh(-1.63 - ((8e9./f) - 0.67*Vg).^(Vd +
    (11.91./(1e-9*f.*Vd - Vg)) - 1.86)) + tanh((38.65 + 1.86*Vd +
    5.4*atan(2438*W - 134032.82))./(sqrt(284 + 3.58e-9*f.*Vg +
    1e-9*f.*W)));

```

TEZDEN ÜRETİLMİŞ YAYINLAR

İletişim Bilgileri: gokhan.satilmis@gmail.com

Makale

1. Satılmış, G, Güneş, F, Mahouti, P. Physical parameter-based data-driven modeling of small signal parameters of a metal-semiconductor field-effect transistor. Int J Numer Model El. 2020;e2840. <https://doi.org/10.1002/jnm.2840>

Konferans Bildirisi

1. G. SATILMIŞ, F. GÜNEŞ, and P. MAHOUTI, "Calculation of Scattering Parameters for a MESFET Transistor," in 4th INTERNATIONAL CONFERENCE ON ADVANCES IN NATURAL APPLIED SCIENCES, 2019, p. 416.