

T.C.
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**GERİ BESLEME UYGULANMIŞ BİR TRANSİSTÖRÜN DÜŞÜK
GÜRÜLTÜLÜ KUVVETLENDİRİCİ UYGULAMALARI İÇİN
PERFORMANS KARAKTERİZASYONU**

Oktay YURTTAKAL

DOKTORA TEZİ

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Haberleşme Programı

Danışman

Prof. Dr. Filiz GÜNEŞ

Eş Danışman

Dr. Öğr. Üyesi Hakan Paşa PARTAL

Şubat, 2020

T.C.
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**GERİ BESLEME UYGULANMIŞ BİR TRANSİSTÖRÜN DÜŞÜK
GÜRÜLTÜLÜ KUVVETLENDİRİCİ UYGULAMALARI İÇİN
PERFORMANS KARAKTERİZASYONU**

Oktay YURTTAKAL tarafından hazırlanan tez çalışması 05.02.2020 tarihinde aşağıdaki jüri tarafından Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Anabilim Dalı, Haberleşme Programı **DOKTORA TEZİ** olarak kabul edilmiştir.

Prof. Dr. Filiz GÜNEŞ
Yıldız Teknik Üniversitesi
Danışman

Dr. Öğr. Üyesi Hakan Paşa PARTAL
Yıldız Teknik Üniversitesi
Eş-Danışman

Jüri Üyeleri

Prof. Dr. Filiz GÜNEŞ, Danışman
Yıldız Teknik Üniversitesi

Doç. Dr. Hamid TORPİ, Üye
Yıldız Teknik Üniversitesi

Doç.Dr. Umut Engin AYTEN, Üye
Yıldız Teknik Üniversitesi

Prof. Dr. Sedef KENT PINAR, Üye
İstanbul Teknik Üniversitesi

Prof. Dr. Ahmet Arif ERGİN, Üye
Yeditepe Üniversitesi

Danışmanım Prof. Dr. Filiz GÜNEŞ sorumluluğunda tarafımca hazırlanan Geri Besleme Uygulanmış Bir Transistörün Düşük Gürültülü Kuvvetlendirici Uygulamaları İçin Performans Karakterizasyonu başlıklı çalışmada veri toplama ve veri kullanımında gerekli yasal izinleri aldığımı, diğer kaynaklardan aldığım bilgileri ana metin ve referanslarda eksiksiz gösterdiğimi, araştırma verilerine ve sonuçlarına ilişkin çarpıtma ve/veya sahtecilik yapmadığımı, çalışmam süresince bilimsel araştırma ve etik ilkelerine uygun davrandığımı beyan ederim. Beyanımın aksinin ispatı halinde her türlü yasal sonucu kabul ederim.

Oktay YURTTAKAL

İmza

Bu alıřma, Trkiye Bilimsel ve Teknolojik Arařtırma Kurumu (TBİTAK), Biliřim ve Bilgi Gvelięi İleri Teknolojiler Arařtırma Merkezi (BİLGEM) tarafından desteklenmiřtir.

Aileme

TEŞEKKÜR

Tez çalışmaların süresince desteğini hiçbir zaman esirgemeyen, bilgi ve önerilerini benimle her zaman paylaşan tez danışmanım Prof. Dr. Filiz GÜNEŞ'e teşekkürlerimi sunarım.

Tez çalışmalarım süresince beni destekleyen Türkiye Bilimsel ve Teknolojik Araştırma Kurumu'na (TÜBİTAK) çok teşekkür ederim.

Son olarak, sabırları ve bana olan sonsuz sevgileri ile hep yanımda olan ve beni destekleyen kardeşim Y.Mimar Özlem YURTTAKAL DOĞAN'a, annem Gülhan YURTTAKAL'a ve babam Mehmet YURTTAKAL'a sonsuz teşekkürlerimi sunarım.

Oktay YURTTAKAL

İÇİNDEKİLER

SİMGE LİSTESİ	viii
KISALTMA LİSTESİ	x
ŞEKİL LİSTESİ	xi
TABLO LİSTESİ	xiv
ÖZET	xvi
ABSTRACT	xviii
1 Giriş	1
1.1 Literatür Özeti	1
1.2 Tezin Amacı	3
1.3 Hipotez	3
1.4 Tezin İçeriği	4
2 Transistör Performans Karakterizasyonu	6
2.1 Transistörün Performans Ölçü Fonksiyonları	6
2.1.1 Gürültü Faktörü	6
2.1.2 Giriş Kapısı Uyumsuzluğu ($V_{in} - VSWR_{in}$)	7
2.1.3 Çıkış Kapısı Uyumsuzluğu ($V_{out} - VSWR_{out}$)	7
2.1.4 Elde Edilebilir Güç Kazancı (Available Gain, G_{av})	8
2.1.5 İşlemsel Güç Kazancı (Operational Gain, G_{op})	8
2.1.6 Dönüştürücü Güç Kazancı (Transducer Gain, G_T)	8
3 Geri Besleme Uygulanmış İki Kapilinin Gürültü Parametreleri	10
3.1 Gürültü ve Gürültü Faktörünün Tanımlanması	10
3.2 Gürültülü İki Kapılılarda Gürültü Kaynaklarının Hesaplanması	11
3.2.1 Akım Kaynakları Yöntemi	11
3.2.2 Gerilim Kaynakları Yöntemi	12
3.2.3 Akım ve Gerilim Kaynakları Yöntemi	12

3.3	Gürültü Faktörünün Hesaplanması.....	15
3.4	Seri Geri Beslemeli İki Kapılının Gürültü Parametrelerinin ve Gürültü Faktörünün Bulunması.....	19
3.5	Paralel Geri Beslemeli İki Kapılının Gürültü Parametrelerinin ve Gürültü Faktörünün Bulunması.....	24
4	Geri Beslemeli Transistörün Performans Karakterizasyonu	30
4.1	Seri Geri Beslemeli İki Kapılının Gürültü Çemberinin Bulunması.....	30
4.2	Paralel Geri Beslemeli İki Kapılının Gürültü Çemberinin Bulunması	38
4.3	Çıkış Empedansı Düzleminde Kazanç Çemberlerinin Bulunması.....	43
4.3.1	Koşullu Kararlı Durumunda Kazanç İfadesinin Bulunması	46
4.4	Çıkış Empedansı Düzleminde Tasarım Konfigürasyonun Oluşturulması	49
4.4.1	Koşulsuz Kararlılık Durumunda Tasarım Konfigürasyonu.....	49
4.4.2	Koşullu Kararlılık Durumunda Tasarım Konfigürasyonu.....	54
5	Giriş Empedansı Düzleminde Transistör Performans Karakterizasyonu	58
5.1	Giriş Empedansı Düzleminde Giriş VSWR Çemberinin Bulunması.....	58
5.2	Giriş Empedansı Düzleminde Çıkış VSWR Çemberinin Bulunması.....	59
5.3	Giriş Empedansı Düzleminde Koşullu Kararlı Durum için Kazanç Çemberinin Bulunması.....	61
5.5	Giriş Empedansı Düzleminde Tasarım Konfigürasyonun Oluşturulması.....	66
5.5.1	V_{in} ve V_{out} Çemberlerinin Kesişmeme Durumu	67
5.5.2	V_{in} ve V_{out} Çemberlerinin Kesişme ve Teğet Olma Durumu	67
6	Uygulamalar	72
6.1	$F_{req}(f) = F_{min}(f)$ Koşulu Altında Seri Endüktif Geri Beslemeye Sahip LNA Tasarım Profilleri ve Uygulamaları	72
6.2	$F_{req}(f)=0.6\text{ dB}$ Koşulunda Seri Endüktif Geri Beslemeli LNA Tasarım Profilleri ve Uygulamaları.....	82
6.3	$F_{req}(f)=1\text{ dB}$ Koşulunda Seri Endüktif Geri Beslemeli LNA Tasarım Profilleri ve Uygulamaları.....	85
6.4	$F_{req}(f)= F_{min}(f)$ Koşulunda Paralel Kapasitif Geri Beslemeli LNA Tasarım Profilleri ve Uygulamaları	88
7	Sonuç ve Öneriler	92
	Kaynakça	94
	Tezden Üretilmiş Yayınlar	97

SİMGE LİSTESİ

B	Band genişliği
Z_{out}	Çıkış empedansı
$V_{out}, VSWR_{out}$	Çıkış kapısı uyumsuzluğu
ρ_{out}	Çıkış kapısı yansıma katsayısı
P_{out}	Çıkış kapısındaki güç
N_o	Çıkış kapısındaki gürültü gücü
S_o	Çıkış kapısındaki sinyal gücü
G_T	Dönüştürücü kazancı
R_n	Eş değer gürültü direnci
$V_{in}, VSWR_{in}$	Giriş kapısı uyumsuzluğu
N_i	Giriş kapısındaki gürültü gücü
P_{in}	Giriş kapısındaki güç
S_i	Giriş kapısındaki sinyal gücü
I_n	Gürültü akım kaynağı
R_{cn}	Gürültü çemberi fazörünün reel kısmı
r_n	Gürültü çemberinin yarıçapı
X_{cn}	Gürültü çemberi fazörünün imajiner kısmı
Z_{cn}	Gürültü çemberinin merkez fazörü
V_n	Gürültü gerilim kaynağı
Z_{in}	Giriş empedansı
ρ_{in}	Giriş kapısı yansıma katsayısı
N_e	İki kapılının kendi iç gürültüsü
V_{outreq}	İstenilen çıkış kapısı uyumsuzluğu
F_{req}	İstenilen gürültü katsayısı
G_{op}	İşlemsel kazanç
R_{cg}	Kazanç çemberi fazörünün reel kısmı
r_g	Kazanç çemberinin yarıçapı
Z_s	Kaynak empedansı
X_s	Kaynak empedansının imajiner kısmı
R_s	Kaynak empedansının reel kısmı

$N_{i,s}$	Kaynaklar tarafından giriş kapısında oluşturulan gürültü gücü
$N_{o,s}$	Kaynaklar tarafından çıkış kapısında oluşturulan gürültü gücü
X_{cg}	Kazanç çemberi fazörünün imajiner kısmı
Z_{cg}	Kazanç çemberinin merkez fazörü
Y_c	Korelasyon admitansı
G_{Tmax}	Maksimum dönüştürücü kazancı
G_{Tmin}	Minimum dönüştürücü kazancı
T	Termal sıcaklık
P_L	Yüke aktarılan güç
Z_L	Yük empedansı
X_L	Yük empedansının imajiner kısmı
R_L	Yük empedansının reel kısmı

KISALTMA LİSTESİ

dB	Decibel
GHz	Giga Hertz
MAG	Maximum Available Gain (Mümkün olan en fazla kazanç)
MSG	Maximum Stable Gain (Kararlı en yüksek kazanç)
VSWR	Voltage Standing Wave Ratio (Duran Dalga Oranı)

ŞEKİL LİSTESİ

Şekil 2.1	İki kapılı devre ve kapı empedansları	6
Şekil 3.1	Akım kaynakları yöntemi gösterimi.....	11
Şekil 3.2	Gerilim kaynakları yöntemi gösterimi	12
Şekil 3.3	Akım ve gerilim kaynakları yöntemi gösterimi.....	12
Şekil 3.4	Eş değer seri gerilim kaynak dönüşümü gösterimi.....	13
Şekil 3.5	Eş değer paralel akım kaynak dönüşümü.....	14
Şekil 3.6	Girişine akım kaynağı bağlanmış gürültülü iki kapılı modeli.....	15
Şekil 3.7	Seri geri besleme uygulanmış iki kapılı örnek devresi	20
Şekil 3.8	Giriş ve çıkış kapısında gerilim gürültü kaynaklarının olduğu seri geri besleme uygulanmış iki kapılı örnek devresi.....	20
Şekil 3.9	Eş değer kaynak dönüşümü için kullanılan seri geri besleme uygulanmış devre	21
Şekil 3.10	Paralel geri besleme uygulanmış iki kapılı örnek devresi.....	25
Şekil 3.11	Giriş ve çıkış kapısında akım gürültü kaynaklarının olduğu paralel geri besleme uygulanmış iki kapılı örnek devresi.....	25
Şekil 3.12	Eş değer kaynak dönüşümü için kullanılan paralel geri besleme uygulanmış devre	26
Şekil 4.1	Seri geri beslemeli devre modeli (a) genelleştirilmiş (b) kayıpsız tek elemanlı.....	30
Şekil 4.2	Paralel geri beslemeli devre modeli (a) genelleştirilmiş (b) kayıpsız tek elemanlı.....	38
Şekil 4.3	Koşulsuz kararlı transistör için tasarım konfigürasyonu	46
Şekil 4.4	Koşullu kararlı transistör için tasarım konfigürasyonu	48
Şekil 4.5	Gürültü çemberinin koşulsuz kararlı çalışma alanı dışında kalma durumu	50
Şekil 4.6	Koşulsuz kararlı durumda gürültü çemberi ile kazanç çemberinin birbirine dıştan teğet olma örnek durumu	50
Şekil 4.7	Koşulsuz kararlı durumda gürültü çemberinin <i>MAG</i> noktası üzerinde olması örnek durumu.....	53
Şekil 4.8	Koşulsuz kararlı durumda gürültü çemberi ile kazanç çemberinin birbirine içten teğet olma örnek durumu	53
Şekil 4.9	Gürültü çemberinin koşullu kararlı çalışma alanı dışında kalma örnek durumu	55

Şekil 4.10	Koşullu kararlı durumda gürültü çemberi ile kazanç çemberinin birbirine dıştan teğet olma örnek durumu	55
Şekil 4.11	Koşullu kararlı durumda gürültü çemberi ile kazanç çemberinin birbirine içten teğet olma örnek durumu	56
Şekil 4.12	Koşullu kararlı durumda gürültü çemberinin eşlenik kararlılık çemberi ile kesişme örnek durumu	57
Şekil 5.1	Koşulsuz kararlı transistör için tasarım konfigürasyonu	64
Şekil 5.2	Koşullu kararlı transistör için tasarım konfigürasyonu	65
Şekil 5.3	V_{in} ve V_{out} çemberleri kesişmeme örnek durumu	67
Şekil 5.4	V_{in} ve V_{out} çemberlerinin birbirlerine iç teğet olması örnek durumu ..	68
Şekil 5.5	V_{in} ve V_{out} çemberlerinin birbirlerini kesme örnek durumu	70
Şekil 6.1	Geri beslemeye sahip transistörün performans karakterizasyon programına ait akış diyagramı	73
Şekil 6.2	$V_{out}=1$ ve $F_{req}=F_{min}$ dB koşulu altında, 0.1 nH-2 nH arasında seri endüktif geri beslemeye sahip NE3511S02 transistörünün giriş uyumsuzluğu ve maksimum kazanç değişimleri	74
Şekil 6.3	0.1 nH-2 nH arasında seri endüktif geri beslemeye sahip NE3511S02 transistörünün minimum gürültü katsayısı.....	75
Şekil 6.4	$V_{DS}=2V$, $I_{DS}=10mA$, $f=2$ GHz çalışma durumunda ve $V_{out}=1$, $F_{req}=F_{min}$ dB koşulunda NE3511S02 transistörünün Z_{out} düzleminde tasarım konfigürasyonları: (a) geri besleme olmadan mümkün olmayan kazanç durumu, (b) 1 nH seri endüktif geri besleme ile elde edilen $G_T=18.65$ dB kazanç durumu	77
Şekil 6.5	$V_{DS}=2V$, $I_{DS}=10mA$, $f=2$ GHz çalışma durumunda NE3511S02 transistörüne 1nH seri endüktif geri besleme uygulandığında Z_{in} düzleminde tasarım konfigürasyonları: (a) ($F_{req}=F_{min}$ dB, $G_T=18.65$ dB, $V_{in}=2.66$, $V_{out}=1$), (b) ($F_{req}=F_{min}$ dB, $G_T=18.28$ dB, $V_{in}=1.8$, $V_{out}=1.8$).....	77
Şekil 6.6	$V_{DS}=2V$, $I_{DS}=10mA$, $f=3$ GHz çalışma durumunda ve $V_{out}=1$, $F_{req}=F_{min}$ dB koşulunda NE3511S02 transistörünün tasarım konfigürasyonları: (a) geri besleme uygulanmadan koşullu kararlı durumda çalışma, (b) 1nH seri endüktif geri besleme uygulandığında koşulsuz kararlı durumda çalışma	78
Şekil 6.7	NE3511S02 transistörünün $V_{DS}=2V$, $I_{DS}=10mA$, $f=10$ GHz çalışma durumunda Z_{out} - düzleminde tasarım konfigürasyonları: (a) geri besleme olmadan $F_{req}=F_{min}$ dB, $G_T=13.11$ dB, $V_{in}=3.35$, $V_{out}=1$; (b) 0.1nH seri endüktif geri besleme uygulandığında $F_{req}=F_{min}$ dB, $G_T=13.92$ dB, $V_{in}=2.18$, $V_{out}=1$	81
Şekil 6.8	$V_{DS}=2V$, $I_{DS}=10mA$, $f=10$ GHz çalışma durumunda NE3511S02 transistörüne 0.1 nH seri endüktif geri besleme uygulandığında	

	$F_{req}=F_{min} \text{ dB}$, $G_T=13.68\text{dB}$, $V_{in}=1.6$, $V_{out}=1.6$ için Z_{in} düzleminde tasarım konfigürasyonu	81
Şekil 6.9	NE3511S02 transistörüne, $V_{out}=1$ ve $F_{req}=0.6 \text{ dB}$ koşulu altında 0.1 nH-2 nH arasında seri endüktif geri besleme uygulanıldığı durumda giriş uyumsuzlukları ve maksimum kazanç değişimleri.....	82
Şekil 6.10	NE3511S02 transistörüne; $V_{out}=1$ ve $F_{req}=1 \text{ dB}$ koşulu altında 0.1 nH-2 nH arasında seri endüktif geri beslemeye uygulandığı durumda giriş uyumsuzlukları ve maksimum kazanç değişimleri.....	86
Şekil 6.11	NE3511S02 transistörünün; $V_{out}=1$ ve $F_{req}=F_{min} \text{ dB}$ koşulu altında 0.1 pF-1 pF arasında paralel kapasitif geri besleme durumdan giriş uyumsuzlukları ve maksimum kazanç değişimleri	89
Şekil 6.12	0.1pF-1pF arasında paralel kapasitif geri beslemeye sahip NE3511S02 transistörünün minimum gürültü katsayısı.....	89
Şekil 6.13	Tablo 6.17’de verilen tasarım konfigürasyonlarının devre benzetim programı ile karşılaştırılması.....	91

TABLO LİSTESİ

Tablo 6.1	NE3511S02 transistörünün; $2 \text{ GHz} \leq f \leq 6 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumdaki tasarım konfigürasyonu	76
Tablo 6.2	NE3511S02 transistörünün; $2 \text{ GHz} \leq f \leq 6 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, 1 nH seri endüktif geri besleme uygulandığı durumdaki tasarım konfigürasyonu.....	76
Tablo 6.3	NE3511S02 transistörünün; $2 \text{ GHz} \leq f \leq 6 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$, $1 \leq V_{in} \leq 2$ ve $1 \leq V_{out} \leq 2$ koşulunda, 1 nH seri endüktif geri besleme uygulandığı durumdaki tasarım konfigürasyonu	76
Tablo 6.4	NE3511S02 transistörünün; $4 \text{ GHz} \leq f \leq 13 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumda tasarım konfigürasyonu	79
Tablo 6.5	NE3511S02 transistörünün; $4 \text{ GHz} \leq f \leq 13 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu.....	79
Tablo 6.6	NE3511S02 transistörünün; $4 \text{ GHz} \leq f \leq 13 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $F=F_{min} \text{ dB}$, $V_{in} \geq 1$, $V_{out} \geq 1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu	80
Tablo 6.7	NE3511S02 transistörünün; $5 \text{ GHz} \leq f \leq 11 \text{ GHz}$ frekans aralığında, $F=0.6 \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumda tasarım konfigürasyonu	83
Tablo 6.8	NE3511S02 transistörünün; $5 \text{ GHz} \leq f \leq 11 \text{ GHz}$ frekans aralığında, $F=0.6 \text{ dB}$ ve $V_{out}=1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu.....	83
Tablo 6.9	NE3511S02 transistörünün; $5 \text{ GHz} \leq f \leq 11 \text{ GHz}$ frekans aralığında, $F=0.6 \text{ dB}$, $V_{in} \geq 1$, $V_{out} \geq 1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu.....	84
Tablo 6.10	NE3511S02 transistörünün $V_{in} \approx 1$, $V_{out}=1$ ve $F=0.6 \text{ dB}$ koşulunda çeşitli frekans ve geri besleme değerlerinde tasarım konfigürasyonları	85
Tablo 6.11	NE3511S02 transistörünün; $6 \text{ GHz} \leq f \leq 10 \text{ GHz}$ frekans aralığında, $F=1 \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumda tasarım konfigürasyonu	87
Tablo 6.12	NE3511S02 transistörünün; $6 \text{ GHz} \leq f \leq 10 \text{ GHz}$ frekans aralığında, $F=1 \text{ dB}$ ve $V_{out}=1$ koşulunda, NE3511S02 transistörüne 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu	87

Tablo 6.13	NE3511S02 transistörünün; $6 \text{ GHz} \leq f \leq 10 \text{ GHz}$ frekans aralığında, $F=1 \text{ dB}$, $V_{in} \geq 1$, $V_{out} \geq 1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu	87
Tablo 6.14	NE3511S02 transistörünün; $2 \text{ GHz} \leq f \leq 6 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, 10 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu.....	88
Tablo 6.15	NE3511S02 transistörünün; $9 \text{ GHz} \leq f \leq 12 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumda tasarım konfigürasyonu	90
Tablo 6.16	NE3511S02 transistörünün; $9 \text{ GHz} \leq f \leq 12 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, 0.3 pF paralel kapasitif geri besleme uygulandığı durumda tasarım konfigürasyonu	90
Tablo 6.17	NE3511S02 transistörünün; $9 \text{ GHz} \leq f \leq 12 \text{ GHz}$ frekans aralığında ve $F=F_{min} \text{ dB}$, $V_{in} \geq 1$, $V_{out} \geq 1$ koşulunda, 0.3 pF paralel kapasitif geri besleme uygulandığı durumda tasarım konfigürasyonu	91

Geri Besleme Uygulanmış Bir Transistörün Düşük Gürültülü Kuvvetlendirici Uygulamaları İçin Performans Karakterizasyonu

Oktay YURTTAKAL

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Doktora Tezi

Danışman: Prof. Dr. Filiz GÜNEŞ

Eş-Danışman: Dr. Öğr. Üyesi Hakan Paşa PARTAL

Bu tez çalışmasında, geri beslemenin LNA performansı üzerine etkisi tamamen analitik bir çalışma ile ortaya konulmuştur.

Bu çalışma, iki temel aşamaya dayanmaktadır. İlk aşamada; seri endüktif veya paralel kapasitif geri besleme uygulanmış transistör aktif iki kapılı olarak karakterize edilmiştir. Bu iki kapılının $[z]$ ve gürültü parametreleri, transistörün ve geri beslemenin $[z]$ ve gürültü parametreleri yardımıyla oluşturulmuştur. Çalışmanın ikinci aşamasında; gerçekleştirilebilir ve gerçekleştirilemez $\{F_{req} \geq F_{min}, V_{in} \geq 1, V_{out} \geq 1, G_{Tmin} \leq G_T \leq G_{Tmax}\}$ performans dörtlüsü, geri besleme parametreleri ve sonlandırma empedansları (Z_S, Z_L) seçilen çalışma noktasında (V_{DS}, I_{DS}), transistörün koşullu kararlı veya koşulsuz kararlı olmasına göre elde edilmiştir. Bu amaçla, düşük gürültü bir transistör için giriş kapısı uyumsuzluğu (V_{in}) ile maksimum kazanç (G_{Tmax}) arasındaki değişimleri gösteren tasarım tabloları istenilen gürültü değeri için geri beslemeye bağlı olarak oluşturulur. İstenilen gürültü değerine göre $V_{in}-G_{Tmax}$ arasında oluşturulan tasarım tabloları kullanılarak, hangi frekans bölgesinde hangi

geri besleme deęerinin kullanılabileceęi ve (V_{in}, V_{out}) ikilisi arasında geliřtirilebilir bir optimizasyon deęeri elde edilir. Daha sonra (V_{in}, V_{out}) arasında en iyi optimizasyon ilk ařamada elde edilen kaynak empedans deęeri (Z_s) ön tanımlı olarak kullanılarak, yük empedans deęerinin (Z_L) parametre olarak deęiřtirilmesiyle elde edilir. Son olarak, $F_{req}(f) \geq F_{min}(f)$ řartını saęlayan, optimum (V_{in}, V_{out}) uyumsuzluk çifti ile kazanç G_T deęerini saęlayan, seri endüktif veya paralel kapasitif geri beslemeli transistörünün LNA uygulamaları için, farklı çalışma bantlarındaki performans karakterizasyonları tüm bant genişlięine daęıtılmıř olarak sunulur.

Sonuç olarak; bu detaylı çalışma, tasarımcılara tek bir seri endüktif veya paralel kapasitif eleman kullanılmasıyla, transistörün çalışma bant genişlięinin tamamının kullanılması, istenilen gürültü řartını ve kapı uyumsuzluklarını saęlayan performans karakterizasyonunun çıkartılması olanaęını saęlamaktadır.

Anahtar Kelimeler: Mikrodalga transistörü, geri besleme, gürültü katsayısı, kazanç, VSWR

Performance Characterization of Feedback Applied Transistor with Low Noise Amplifier Applications

Oktay YURTTAKAL

Department of Electronics and Communications Engineering

Doctor of Philosophy Thesis

Advisor: Prof. Dr. Filiz GÜNEŞ

Co-advisor: Dr. Hakan Paşa PARTAL

In this work, influence of the feedback on the performance of a LNA transistor is considered fully analytically. There are two main stages of this work. First stage, transistor with series inductive feedback application or parallel capacitive feedback application is formed as two-port with the $[z]$ and noise parameters in terms of transistor's and feedback's networks parameters. In the next stage, performance characterization is performed to determine the compatible/ incompatible ($F_{req} \geq F_{min}$, $V_{in} \geq 1$, $V_{out} \geq 1$, $G_{Tmin} \leq G_T \leq G_{Tmax}$) quadrates with their (Source Z_s , Load Z_L) impedances and feedback network's parameters through the frequency band for unconditionally/conditionally stability cases at the (V_{DS}, I_{DS}) .

The Input Voltage Standing Wave Ration V_{in} – Maximum Gain G_{Tmax} variations are constituted for a LNA depending on the noise figure $F_{req}(f) \geq F_{min}(f)$ through the frequency band belong to feedback. V_{in} - G_{Tmax} variations result as design chart provides which feedback can be used wherein frequency bandwidth with the optimization between V_{in} and V_{out} . Then, optimum trade-off between V_{in} and V_{out} is

conducted with the help of Z_L with the prespecified Z_S . Lastly, feedback application of LNA specified by V_{in} , V_{out} , G_T and $F_{req}(f) \geq F_{min}(f)$ is presented.

In conclusion, this work enables a researcher to use through a transistor's frequency operation band with a only series inductive or parallel capacitive feedback for the amplifier design of $F_{req}(f) \geq F_{min}(f)$.

Keywords: Microwave transistor, feedback, noise figure, gain, VSWR

1.1 Literatür Özeti

Haberleşme ve iletişim teknolojisinde, düşük gürültülü mikrodalga kuvvetlendirici (Low Noise Amplifier, LNA) tasarımı, en önemli tasarım alanlarından biridir. Çünkü bu elemanın performansı, sistemin genel performansını belirleyici özelliğidir. Mikrodalga kuvvetlendirici tasarımında, sistem performansını en uygun şekle sokma amacı ile birçok modern nümerik ve analitik yöntemler kullanılmaktadır.

Bir LNA tasarım optimizasyon probleminin zorluğu, transistörün kendi fiziksel sınırları, çalışma alanındaki (V_{DS}, I_{DS}, f) giriş ve çıkış uyumsuzlukları, gürültüsü ve kazancı arasındaki dengelemeye bağlıdır. Bu nedenle, bir LNA tasarım optimizasyonunun en önemli bileşeni, kullanılan transistörün kendi çalışma (V_{DS}, I_{DS}, f) alanı içinde tam potansiyel performansını kapsayan Hedef Tasarım Alanı (Feasible Design Target Space - FDTS)'dir. Bu sebeplerden ötürü; Hedef Tasarım Uzayı'nın oluşturulması, iki alanda çalışmayı gerektirir. Bunlardan ilki; transistörün sinyal ve gürültü parametreleri, yapay zeka araçları [1], [2], [3], [4] kullanılarak veya [5], [6] ve [7]'de verilen tipik çalışmalarla yeni optimizasyon yöntemleri ile çalışma alanı boyunca (V_{DS}, I_{DS}, f) modellenir. İkinci alanda ise; transistörün, bir çalışma alanı (V_{DS}, I_{DS}, f) için kaynak $(Z_S = R_S + jX_S)$ ve yük $(Z_L = R_L + jX_L)$ sonlandırmaları açısından doğrusal olmayan küçük sinyal performans denklemlerini analitik veya sayısal olarak çözmektir.

Literatürde ilk olarak, [8] ve [9] çalışmalarında koşulsuz kararlı ve koşullu kararlı bir transistörün analitik kazanç formülasyonu, $G_{Tmin}(f) \leq G_T(f) \leq G_{Tmax}$, Gürültü Faktörü (F) ve Giriş Duran Dalga Oranı $(V_{inreq} \geq 1)$ cinsinden sırasıyla z- ve S- alanındaki $\{Z_S(f), Z_L(f)\}$ sonlandırmaları ile tanımlanmıştır. Daha sonra, bu öncü çalışmalara; transistörün Yapay Sinir Ağı (YSA) ya da Destek Vektör Regresyon Makinesi (SVRM) modeli ile [1], [2] ve [4] çalışmaları eşlik etmektedir. Bu çalışmalarda; transistöre ait $\{F_{req} \geq F_{min}, V_{inreq} \geq 1, G_T \leq G_{Tmax}\}$ performans üçlüsü, kaynak ve yük sonlandırmaları $\{Z_S, Z_L\}$ transistörün çalışma bölgesinin (V_{DS}, I_{DS}, f) fonksiyonu olarak bulunur [10], [11].

[12] çalışmasında, bir mikrodalga transistörün performans karakterizasyonu, verilen bir gürültü faktörü değerinde maksimum çıkış gücü iletimi için $\{F_{req} \geq F_{min}, V_{out} = 1, G_{Tmax}\}$ performans koşulunu sağlayacak şekilde çıkış sonlandırmaları $\{Z_S, Z_L = Z_{out}^*(Z_S)\}$ analitik olarak elde edilmiştir.

[13], [14] çalışmalarında, $\{F_{req} \geq F_{min}, V_{inreq} \geq 1, V_{outreq} \geq 1, G_{Tmin} \leq G_T \leq G_{Tmax}\}$ performans dörtlüsü ve buna eşlik eden sonlandırma değerleri $\{Z_S, Z_L\}$; transistöre ait lineer olmayan performans denklemlerinin analitik veya nümerik olarak transistörün çalışma bölgesindeki çözülmesiyle elde edilmiştir ve kazanç, gürültü ve giriş/çıkış kapısına ait uyumsuzluklar arasında bir denge kurulmuştur.

Literatürde, geri beslemeli LNA tasarımları ile ilgili bir dizi yayın mevcuttur. Temel olarak, [15]'de, geri besleme ile tek kademeli veya iki kademeli düşük gürültülü yükselteçler için bir grafik tasarım yöntemi, yük düzleminde sunulmuştur. [16]'da geri beslemenin, transistöre ait gürültü-kazanç optimizasyonunu kolaylaştırdığı ve kazanç, gürültü katsayısı ve geri dönüş kaybı arasındaki optimizasyonun matematiksel temelleri tanımlanmıştır. [17]'de düşük gürültülü yükseltecin, düşük gürültülü ve aynı zamanda çıkış kapıları eşlenik uyumlu olacak şekilde bir tasarım tekniği ve bilgisayar yöntemi sunulmuştur. Seri geri beslemenin, transistörün kaynak bacağından toprağa doğru olacak şekilde küçük bir endüktif elemanla yapıldığında; transistörün giriş empedansının değiştiği ve buna bağlı olarak transistörün giriş kapısındaki uyumsuzluğun ve transistörün kararlılığının iyileştirilmesi verilmiştir. [18]'de birbirlerine bağlı iki kapılılara ait gürültü parametrelerinin çıkarılması verilmiştir. Bu yöntem iki alt ana başlığa bölünmüştür. İlk aşamada her bir iki kapılıya ait gürültü parametreleri hesaplanır, ikinci aşamada ise ilk aşamada hesaplanan değer süperpozisyon şeklinde toplanır. [19] ve [20]'de geri beslemenin yükseltece ait kararlılığı iyileştirdiği, gürültü parametrelerini değiştirdiği, daha az da olsa gürültü katsayısı değerini azalttığı ve transistörü kaynak empendansı değişimlerine karşı daha az hassas hale getirdiğine yer verilmiştir. [21] ve [22]'de uygun değerli seri geri besleme değerini belirlemek için gürültü ve kazanç arasında bir optimizasyon yöntemi olarak "Gürültü Ölçümü" (Noise Measure-M) yöntemi [23] kullanılmıştır. [24]'te seri veya paralel geri besleme ile gürültü katsayısının değişimi verilmiştir. [25]'te giriş ve çıkış kapılarında iyi bir geri dönüş kaybı ile optimum gürültü katsayısı elde etmek için

seri ve paralel geri besleme analiz edilmiştir. [26] ve [27]'de gürültü parametrelerine ait formüller ve kayıplı paralel geri beslemeli halde yükseltece ait gürültü katsayısı elde etme yöntemi anlatılmıştır. [28]'de giriş ve çıkış uyumsuzluklarına ait sabit çember aileleri oluşturularak, endüktif kaynak dejenerasyonu, tasarım tabloları yardımıyla S-alanında çalışmalar yapılmıştır.

1.2 Tezin Amacı

İletişim teknolojisi, sistemlerin ve insanların artan ihtiyaç gereksinimleri doğrultusunda hızla büyümektedir. Artan bu gereksinimler, yüksek performanslı tasarımları vazgeçilmez kılmaktadır. Bu taleplere çözüm bulmak için, haberleşme sistemlerinde, yüksek başarımlı yüksek frekanslı devre tasarım ihtiyaçları ortaya çıkmaktadır.

Haberleşme devrelerinde, düşük gürültülü yükselteçler (Low Noise Amplifier–LNA) sistemin en önemli parçasıdır çünkü bu elemanın performansı sistemin genel hassasiyetine doğrudan etki etmektedir. Bu bağlamda; düşük gürültülü yükseltecin performansı, ona geri besleme uygulayarak çalıştığı frekans bandı içinde iyileştirilebilir ya da geri besleme tipine ve değerine bağlı olarak farklı bir çalışma bandına kaydırılabilir. Bu çalışmada amaç, seri endüktif veya paralel kapasitif geri besleme uygulanmış transistöre ait kaynak ve yük sonlandırma değerleriyle (Z_s, Z_L), uygun olan $\{F_{req} \geq F_{min}, V_{inreq} \geq 1, V_{outreq} \geq 1, G_{Tmin} \leq G_T \leq G_{Tmax}\}$ performans şartını sağlayan gerçekleştirilebilir veya gerçekleştirilemez tasarım konfigürasyonlarının oluşturulmasıdır.

1.3 Hipotez

Geniş bantlı, düşük güçlü, düşük gürültülü amplifikatör tasarımı, alıcı sistemler için en büyük zorluklardan biridir. Düşük gürültülü amplifikatörlere uygun tipte ve değerinde geri besleme uygulamak onun performansını iyileştirici etki yapmaktadır.

Bu çalışmada, seri endüktif veya paralel kapasitif geri besleme uygulanmış küçük sinyal mikrodalga transistörü; gürültü, sinyal ve geri besleme parametreleri yardımıyla iki kapılı olarak karakterize edilerek, geri beslemeli düşük gürültülü amplifikatörün performans karakterizasyonunun elde edilmesi amaçlanmıştır. Performans karakterizasyonu problemi iki kapılı empedans düzlemi içinde [8], [12], [13] çalışmalarında olduğu gibi z-alanında uygulanmıştır. Çünkü z-parametresi

alanı, S-parametresi alanındaki altı farklı koşullu stabilite konfigürasyonunu, tek bir konfigürasyonda birleştirilmesini sağlamaktadır.

Bu çalışmanın iki alt ana başlık altında oluşturulması öngörülmektedir. İlk aşama, tasarım profilleri $G_T - V_{in}$ alanında, çalışma bandı boyunca gerekli olan gürültü faktörünü ve en fazla kazancı sağlayacak şekilde geri besleme tipine ve değerine bağlı olarak oluşturulacaktır. Böylece, geri beslemenin bir fonksiyonu olacak şekilde bir $(F_{req} \geq F_{min}, V_{out}=1, G_{Tmax})$ tasarım üçlüsü ve bunu sağlayacak şekilde $\{Z_S, Z_L=Z_{out}^*(Z_S)\}$ sonlandırma değerlerinin elde edilmesi sağlanacaktır. İkinci aşama, eğer ilk aşamada giriş kapısına ait elde edilen V_{in} değeri istenilen aralığın dışında kalırsa uygulanacaktır. Bu durumda, V_{in} ve V_{out} arasında bir optimizasyon işlemi gerçekleştirilip, yük empedansı Z_L bir parametre olarak alınarak ve Z_S kaynak empedansı da istenilen gürültü değerine karşı gelen en fazla kazancı sağlayacak şekilde ilk aşamada elde edilen değer olarak alınacaktır. Bu yöntemi uygulamak için öncelikle, Z_{in} alanında V_{in} , V_{out} ve işlemsel kazanç G_{op} çemberleri ilk aşamadan elde edilen Z_S değeri yardımıyla oluşturulacaktır. Sonra (V_{in}, V_{out}) ikilisini sağlayan G_{op} ve Z_L değerleriyle karşı gelen dönüştürücü kazanç G_T değeri elde edilmiş olacaktır. Böylelikle bu aşama sonucunda elde edilen çıktılar ile geri beslemenin LNA üzerindeki performans iyileştirici etkileri ortaya konulmuş olacaktır.

1.4 Tezin İçeriği

Tez çalışmasının ilk bölümünde, amaçlanan çalışma doğrultusunda literatür araştırması yapılmıştır. Çalışmanın ikinci bölümünde, küçük sinyal mikrodalga transistörüne ait performans ölçü fonksiyonları kısaca verilmiştir. Üçüncü bölümde, geri besleme uygulanmış iki kapılıya ait gürültü parametrelerinin bulunması verilmiştir. Dördüncü bölümünde, geri besleme uygulanmış transistöre ait gürültü faktörü, kazanç çemberleri Z_{out} alanına yerleştirilerek $\{F_{req} \geq F_{min}, V_{out}=1, G_T \leq G_{Tmax}\}$ performans üçlüsüne ait tasarım konfigürasyonları verilmiştir. Beşinci bölümünde giriş ve çıkış uyumsuzluk çemberleri ile kazanç çemberleri Z_{in} alanında oluşturularak geri besleme uygulanmış transistöre ait $\{F_{req} \geq F_{min}, V_{inreq} \geq 1, V_{outreq} \geq 1, G_{Tmin} \leq G_T \leq G_{Tmax}\}$ performans dördlüsüne ait tasarım konfigürasyonları verilmiştir. Altıncı bölümde, geri besleme uygulanmış transistöre ait tasarım konfigürasyonu örnekleri verilmiştir. Son bölümünde ise geri beslemeli transistörün performans tasarımlarına ait sonuçlar verilmiştir.

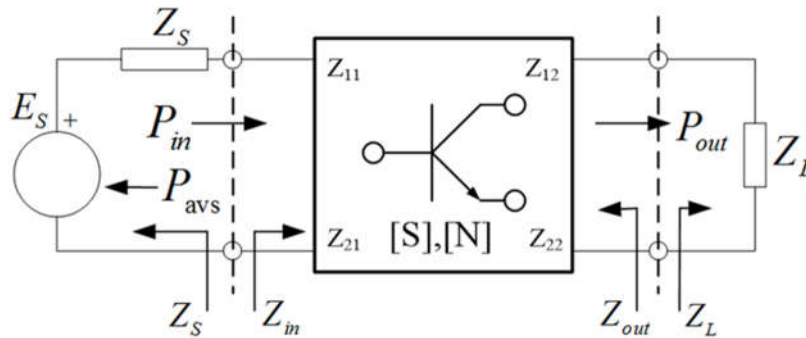
Tez çalışmasının son iki bölümünde elde edilen veriler ileride yapılacak çalışmalara yol gösterecektir.

Transistör Performans Karakterizasyonu

Bir transistörün performans karakterizasyonu, o transistörün $\{F_{req} \geq F_{min}, V_{inreq} \geq 1, V_{outreq} \geq 1, G_{Tmin} \leq G_T \leq G_{Tmax}\}$ dörtlüsüne ait performans şartlarını yerine getiren, performans ölçü fonksiyonlarının $(F, V_{in}, V_{out}, G_T)$ ve (Z_S, Z_L) çözümlerini ortaya koyar [1], [8], [13], [29].

2.1 Transistörün Performans Ölçü Fonksiyonları

Bir transistörün, Şekil 2.1’de verilen iki-kapılı performansı genellikle dört temel fonksiyon ile ölçülebilir: Güç Kazancı G , Gürültü faktörü F , Giriş VSWR fonksiyonu V_{in} ve Çıkış VSWR fonksiyonu V_{out} . Bu temel fonksiyonlar; transistör $[z]$ parametreleri, kaynak ve yük sonlandırmaları cinsinden, bu bölümün alt başlıklarında verilen formülleriyle ifade edilebilirler [30].



Şekil 2.1 İki kapılı devre ve kapı empedansları [13]

2.1.1 Gürültü Faktörü

$Z_S = R_S + jX_S$ kaynak empedansına sahip bir iki kapılı devrenin girişinde yer alan sinyal/gürültü oranının, çıkışında yer alan sinyal/gürültü oranına oranı gürültü faktörü olarak tanımlanır ve eşitlik (2.1)’deki gibi verilmektedir [8].

$$F = \frac{(S / N)_i}{(S / N)_o} = F\{Z_S\} = F_{min} + \frac{R_n}{|Z_{opt}|^2} \frac{|Z_S - Z_{opt}|^2}{R_S} \quad (2.1)$$

Eşitlik (2.1)'de; R_n eş değer gürültü direnci, F_{min} minimum gürültü faktörü ve $Z_{opt}=R_{opt}+jX_{opt}$ optimum kaynak empedansı olarak tanımlanmaktadır.

2.1.2 Giriş Kapısı Uyumsuzluğu ($V_{in} - VSWR_{in}$)

$Z_S = R_S + jX_S$ gibi bir kaynak empedansı ve $Z_L = R_L + jX_L$ gibi bir yük empedansına sahip bir iki kapılının, giriş kapısındaki empedans uyumsuzluğu giriş VSWR (V_{in}) olarak tanımlanır ve bu değer eşitlik (2.2)'de verilen denklemle bulunabilir [8].

$$V_{in} = \frac{1 + |\rho_{in}|}{1 - |\rho_{in}|} \quad (2.2)$$

Eşitlik (2.2)'de ρ_{in} giriş yansıma katsayısı olarak adlandırılır ve eşitlik (2.3)'teki şekilde tanımlanır.

$$|\rho_{in}|^2 = \frac{\text{Girişten geri yansıyan güç}(P_{r,in})}{\text{Kaynaktan çekilebilecek en fazla güç}(P_{av,S})} = \left| \frac{Z_S - Z_{in}^*}{Z_S + Z_{in}} \right|^2 \leq 1 \quad (2.3)$$

Eşitlik (2.3)'de Z_{in} iki kapılıya ait giriş empedansı olarak adlandırılır ve eşitlik (2.4)'teki gibi tanımlanır [8].

$$Z_{in} = R_{in} + jX_{in} = z_{11} - \frac{z_{12} \cdot z_{21}}{z_{22} + Z_L} \Leftrightarrow Z_L = -z_{22} + \frac{z_{12} \cdot z_{21}}{z_{11} - Z_{in}} \quad (2.4)$$

2.1.3 Çıkış Kapısı Uyumsuzluğu ($V_{out} - VSWR_{out}$)

$Z_S = R_S + jX_S$ gibi bir kaynak empedansı ve $Z_L = R_L + jX_L$ gibi bir yük empedansına sahip bir iki kapılının, çıkış kapısındaki empedans uyumsuzluğu çıkış VSWR (V_{out}) olarak tanımlanır ve eşitlik (2.5)'teki gibi ifade edilmektedir [13].

$$V_{out} = \frac{1 + |\rho_{out}|}{1 - |\rho_{out}|} \quad (2.5)$$

Eşitlik (2.5)'de ρ_{out} çıkış yansıma katsayısı olarak adlandırılır ve eşitlik (2.6)'daki gibi tanımlanır [12].

$$|\rho_{out}|^2 = \frac{\text{Çıkış kapısından geri yansıyan güç } (P_{r,out})}{\text{Çıkıştan yüke aktarılacak en fazla güç } (P_{av,out})} = \left| \frac{Z_{out} - Z_L^*}{Z_{out} + Z_L} \right|^2 \leq 1 \quad (2.6)$$

Eşitlik (2.6)'da yer alan Z_{out} ifadesi kapılıya ait çıkış empedansı olarak adlandırılır [12].

$$Z_{out} = R_{out} + jX_{out} = z_{22} - \frac{z_{12} \cdot z_{21}}{z_{11} + Z_S} \Leftrightarrow Z_S = -z_{11} + \frac{z_{12} \cdot z_{21}}{z_{22} - Z_{out}} \quad (2.7)$$

2.1.4 Elde Edilebilir Güç Kazancı (Available Gain, G_{av})

Şekil (2.1)'deki iki kapılının çıkış kapısındaki kullanılabilir gücün ($P_{av,out}$) kaynaktan çekilebilecek en fazla güce ($P_{av,s}$) oranı elde edilebilir güç kazancı (*Available Gain* - G_{av}) olarak tanımlanır ve eşitlik (2.8)'deki gibi bulunabilir [12].

$$G_{av} \{Z_S\} = \frac{(P_{av,out})}{(P_{av,s})} = \frac{|z_{21}|^2 R_S}{|Z_S + z_{22}|^2 R_{out}} \quad (2.8)$$

2.1.5 İşlemsel Güç Kazancı (Operational Gain, G_{op})

Şekil (2.1)'deki iki kapılının çıkışındaki yüke aktarılan gücün (P_L) giriş kapısındaki güce oranı (P_{in}) işlemsel güç kazancı (*Operational Gain* - G_{op}) olarak tanımlanır ve eşitlik (2.9)'daki gibi bulunabilir [13].

$$G_{op} \{Z_L\} = \frac{(P_L)}{(P_{in})} = \frac{|z_{21}|^2 R_L}{|Z_L + z_{22}|^2 R_{in}} \quad (2.9)$$

2.1.6 Dönüştürücü Güç Kazancı (Transducer Gain, G_T)

Şekil (2.1)'deki iki kapılının çıkışındaki yüke aktarılan gücün (P_L) kaynaktan çekilebilecek en fazla güce ($P_{av,s}$) oranı dönüştürücü güç kazancı (Transducer Gain - G_T) olarak tanımlanır ve eşitlik (2.10)'daki gibi bulunabilir [8].

$$G_T \{Z_S, Z_L\} = \frac{(P_L)}{(P_{av,s})} = \frac{4R_S R_L |z_{21}|^2}{|(z_{11} + Z_S)(z_{22} + Z_L) - z_{12}z_{21}|^2} \quad (2.10)$$

Dönüştürücü kazancı, işlemsel kazanç ve kullanılabilir kazanç cinslerinden eşitlik (2.11)'deki gibi yazılabilir [13].

$$G_T \{Z_S, Z_L\} = G_{op} (1 - |\rho_{in}|^2) = G_{av} (1 - |\rho_{out}|^2) \quad (2.11)$$

Eşitlik (2.1)'den görüleceği üzere gürültü faktörü yalnızca kaynak empedansına Z_S bağlıdır ve bu değer, eşitlik (2.11)'de verilen denge eşitliğinde kullanılarak gürültü faktörü ve kazanç arasında bir optimizasyon kurulmasında kullanılabilir.

Geri Besleme Uygulanmış İki Kapılının Gürültü Parametreleri

Çalışmanın bu bölümünde; genel gürültü tanımı, iki kapılı bir devreye ait gürültü parametrelerinin tanımlanması, gürültü faktörüne ait matematiksel denklemin bulunması yapıldıktan sonra seri ve paralel geri besleme uygulanmış iki kapılıya ait gürültü parametreleri ve gürültü faktörünün bulunması matematiksel olarak verilmiştir.

3.1 Gürültü ve Gürültü Faktörünün Tanımlanması

Gürültü, rastgele değişim gösteren, devrede istenmeyen sinyallere verilen isimdir. Bir devrede, gürültünün devre üzerinde yarattığı etkiyi tanımlamak için gürültü faktörü tanımlanmasından yararlanılır. Buna göre gürültü faktörü eşitlik (3.1)'deki gibi tanımlanabilir [31].

$$F = \frac{S_i / N_i}{S_o / N_o} = \frac{S_i}{S_o} \frac{N_o}{N_i} = \frac{1}{G_{av}} \frac{G_{av} N_i + N_e}{N_i} \quad (3.1)$$

Burada; S_i ve S_o sırasıyla giriş ve çıkış kapılarındaki sinyal güçleri olarak, N_i ve N_o sırasıyla giriş ve çıkış kapılarındaki gürültü güçleri olarak tanımlanırken; N_e iki kapılının iç gürültüsü nedeniyle çıkış kapısında görülen gürültü olarak tanımlanmaktadır. Diğer bir gösterimi ile gürültü faktörü eşitlik (3.2)'deki gibi ifade edilebilir.

$$F = \frac{N_o}{N_{o,s}} = \frac{N_{o,s} + N_e}{N_{o,s}} = 1 + \frac{N_e}{N_{o,s}}; \quad N_{o,s} = G_{av} N_i \quad (3.2)$$

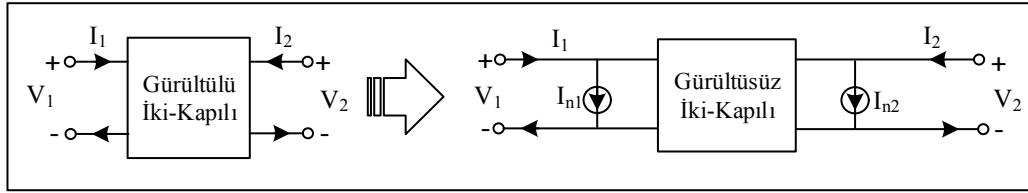
Eşitlik (3.2)'deki $N_{o,s}$ besleme kaynağının gürültüsü nedeniyle çıkış kapısında görülen gürültüdür.

3.2 Gürültülü İki Kapılılarda Gürültü Kaynaklarının Hesaplanması

İki kapılıya ait gürültü modeli üç farklı yöntemle gösterilebilir. Bunlardan birincisi, iki kapılının giriş ve çıkış kapılarında, bu kapılara paralel olacak şekilde akım gürültü kaynaklarının olduğu “akım kaynakları” yöntemidir. İkinci yöntemde, iki kapılının giriş ve çıkış kapılarında, bu kapılara seri olacak şekilde gerilim gürültü kaynaklarının olduğu “gerilim kaynakları” yöntemidir. Üçüncüsü yöntemde ise; iki kapılının giriş kapısında, bu kapıya seri olacak şekilde gerilim gürültü kaynağının olduğu ve yine giriş kapısında, bu kapıya paralel olacak şekilde akım gürültü kaynağının olduğu “akım ve gerilim kaynakları” yöntemidir.

3.2.1 Akım Kaynakları Yöntemi

Akım kaynakları yönteminde, iki kapılının giriş ve çıkış kapılarında, bu kapılara paralel olacak şekilde akım gürültü kaynakları vardır. Bu yöntem Şekil 3.1’de gösterilmiştir [32], [33].



Şekil 3.1 Akım kaynakları yöntemi gösterimi

Bu iki kapılıya ait devre parametreleri, eşitlik (3.3)’de verilmiştir.

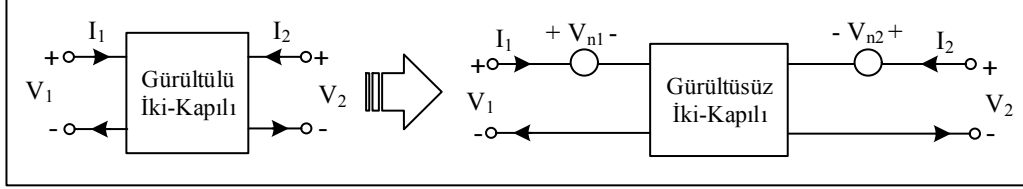
$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} + \begin{bmatrix} I_{n1} \\ I_{n2} \end{bmatrix}; \quad \begin{aligned} I_1 &= y_{11}V_1 + y_{12}V_2 + I_{n1} \\ I_2 &= y_{21}V_1 + y_{22}V_2 + I_{n2} \end{aligned} \quad (3.3)$$

Akım gürültü kaynakları, V_1 ve V_2 kaynaklarının kısa devre edilmesiyle bulunur.

$$I_{n1} = I_1 \Big|_{V_1=V_2=0} ; \quad I_{n2} = I_2 \Big|_{V_1=V_2=0} \quad (3.4)$$

3.2.2 Gerilim Kaynakları Yöntemi

Gerilim kaynakları yönteminde, iki kapılının giriş ve çıkış kapılarında, bu kapılara seri olacak şekilde gerilim gürültü kaynakları vardır. Bu yöntem Şekil 3.2’de gösterilmiştir [32], [33].



Şekil 3.2 Gerilim kaynakları yöntemi gösterimi

Bu iki kapılıya ait devre parametreleri, eşitlik (3.5)’de verilmiştir.

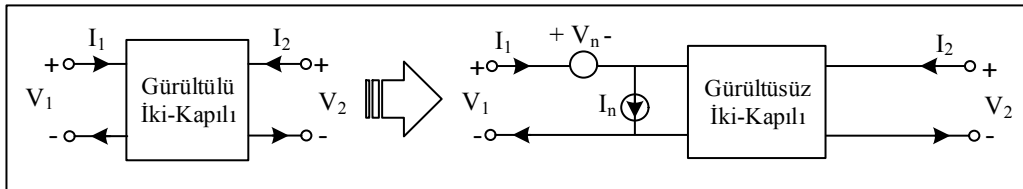
$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} z_{11} & z_{12} \\ z_{21} & z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} + \begin{bmatrix} V_{n1} \\ V_{n2} \end{bmatrix}; \quad \begin{aligned} V_1 &= z_{11}I_1 + z_{12}I_2 + V_{n1} \\ V_2 &= z_{21}I_1 + z_{22}I_2 + V_{n2} \end{aligned} \quad (3.5)$$

V_{n1} , V_{n2} gerilim gürültü kaynakları, sırasıyla giriş ve çıkış kapıları açık devre iken elde edilen giriş ve çıkış kapı gerilimleridir.

$$V_{n1} = V_1 \Big|_{I_1=I_2=0}; \quad V_{n2} = V_2 \Big|_{I_1=I_2=0} \quad (3.6)$$

3.2.3 Akım ve Gerilim Kaynakları Yöntemi

Akım ve gerilim kaynakları yönteminde, iki kapılının giriş kapısında, bu kapiya seri olacak şekilde gerilim gürültü kaynağının olduğu ve yine giriş kapısında, bu kapiya paralel olacak şekilde akım gürültü kaynağı vardır. Bu yöntem Şekil 3.3’te gösterilmiştir [32], [33].

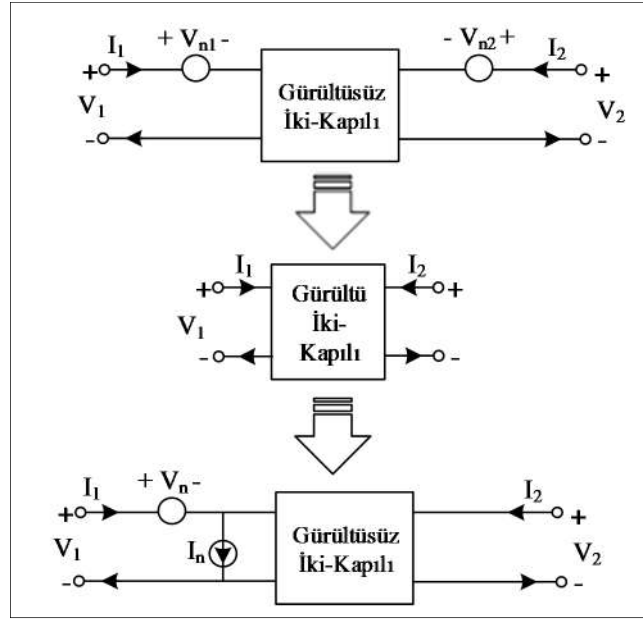


Şekil 3.3 Akım ve gerilim kaynakları yöntemi gösterimi

Bu iki kapılıya ait devre parametreleri, eşitlik (3.7)’de verilmiştir.

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} + \begin{bmatrix} V_n \\ I_n \end{bmatrix}; \quad \begin{aligned} V_1 &= AV_2 - BI_2 + V_n \\ I_1 &= CV_2 - DI_2 + I_n \end{aligned} \quad (3.7)$$

V_n ve I_n gürültü kaynaklarını, kapılar kısa devre veya açık devre yapılarak bulmak kolay değildir. Aynı iki kapılıya ait farklı yöntemlerle bulunan gürültü kaynakları arasında bir ilişki vardır. V_n ve I_n , V_{n1} , V_{n2} cinsinden veya I_{n1} , I_{n2} cinsinden bulunabilirler.



Şekil 3.4 Eş değer seri gerilim kaynak dönüşümü gösterimi

Eş değer seri gerilim kaynak dönüşümünde, her iki modele ait Z parametreleri çıkartılır ve giriş ve çıkış gerilimleri eşitlenir. Buna göre Şekil 3.4'teki devreler referans alındığında bulunan devre parametreleri eşitlik (3.8) ve (3.9)'da verilmiştir [34], [35].

$$\begin{aligned} V_1 &= z_{11}I_1 + z_{12}I_2 + V_{n1} \\ V_1 &= z_{11}(I_1 - I_n) + z_{12}I_2 + V_n = z_{11}I_1 + z_{12}I_2 + (V_n - z_{11}I_n) \end{aligned} \quad (3.8)$$

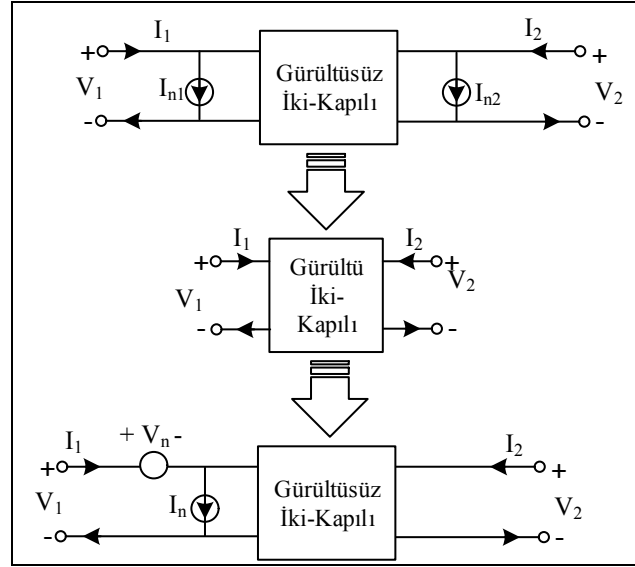
$$\begin{aligned} V_2 &= z_{21}I_1 + z_{22}I_2 + V_{n2} \\ V_2 &= z_{21}(I_1 - I_n) + z_{22}I_2 = z_{21}I_1 + z_{22}I_2 - z_{21}I_n \end{aligned} \quad (3.9)$$

Bu iki eşitlik grubundaki giriş ve çıkış gerilimleri birbirine eşitlenirse; V_n ve I_n , V_{n1} ve V_{n2} cinsinden cinsinden eşitlik (3.10) ve (3.11)'deki gibi bulunur.

$$V_{n2} = -z_{21}I_n ; I_n = -(V_{n2} / z_{21}) \quad (3.10)$$

$$V_{n1} = V_n - z_{11}I_n ; V_n = V_{n1} - (z_{11} / z_{21})V_{n2} \quad (3.11)$$

Eş değer paralel akım kaynak dönüşümünde, her iki modele ait Y parametreleri çıkartılır ve giriş ve çıkış gerilimleri eşitlenir.



Şekil 3.5 Eş değer paralel akım kaynak dönüşümü

Şekil 3.5'teki devreler referans alındığında bulunan devre parametresi eşitlik (3.12) ve (3.13) 'de verilmiştir [34], [35].

$$\begin{aligned} I_1 &= y_{11}V_1 + y_{12}V_2 + I_{n1} \\ I_1 &= y_{11}(V_1 - V_n) + y_{12}V_2 + I_n = y_{11}V_1 + y_{12}V_2 + (I_n - y_{11}V_n) \end{aligned} \quad (3.12)$$

$$\begin{aligned} I_2 &= y_{21}V_1 + y_{22}V_2 + I_{n2} \\ I_2 &= y_{21}(V_1 - V_n) + y_{22}V_2 = y_{21}V_1 + y_{22}V_2 - y_{21}V_n \end{aligned} \quad (3.13)$$

Bu iki eşitlik grubundaki giriş ve çıkış akımları birbirine eşitlenirse, V_n ve I_n , I_{n1} ve I_{n2} cinsinden eşitlik (3.14) ve (3.15)'teki gibi bulunur.

$$I_{n2} = -y_{21}V_n ; V_n = -(I_{n2} / y_{21}) \quad (3.14)$$

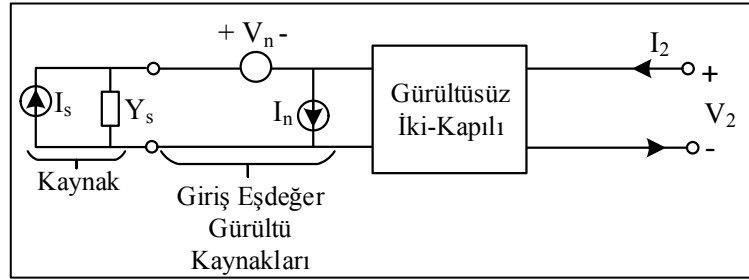
$$I_{n1} = I_n - y_{11}V_n ; I_n = I_{n1} - (y_{11} / y_{21})I_{n2} \quad (3.15)$$

3.3 Gürültü Faktörünün Hesaplanması

Eşitlik (3.2)'de verilen gürültü faktörü denkleminde pay ve payda kazanca (G_{av}) bölünürse giriş kapısına indirgenmiş gürültü faktörü eşitlik (3.16)'daki gibi bulunabilir [36].

$$F = \frac{N_i}{N_{i,s}} = \frac{\sum (N_{i,s} + N_{i,a})}{\sum N_{i,s}} \quad (3.16)$$

Eşitlik (3.16)'da N_i , giriş kapısına indirgenmiş toplam kaynak ve yükselteç gürültü güçlerini gösterirken; $N_{i,s}$ giriş kapısındaki kaynaklar tarafından oluşturulan gürültü gücünü gösterir. $N_{i,a}$ yükseltecin kendi oluşturduğu gürültünün giriş kapısına indirgenmiş halini gösterir.



Şekil 3.6 Girişine akım kaynağı bağlanmış gürültülü iki kapılı modeli

Şekil 3.6'da girişi, iki kapılı devre ile bağlantılı olmayan (uncorrelated) bir akım kaynağı ile sürülmüş gürültülü iki kapılı devre modeli verilmiştir. Bu modele göre giriş kapısındaki toplam gürültü gücü eşitlik (3.17) ile verilirken giriş kapısındaki kaynaklar tarafından oluşturulan gürültü gücü eşitlik (3.18)'deki gibi verilebilir [35], [36].

$$N_i = \overline{I_{sc}^2} R_s \quad (3.17)$$

$$N_{i,s} = \overline{I_s^2} R_s \quad (3.18)$$

Eşitlik (3.17) ve (3.18) birbirine oranlanırsa gürültü faktörü eşitlik (3.19)'daki gibi bulunabilir.

$$F = \frac{\overline{I_{sc}^2}}{\overline{I_s^2}} = \frac{\text{Giriş kapısındaki toplam akımın ortalama değerinin karesi}}{\text{Giriş kapısındaki kaynak akımının ortalama değerinin karesi}} \quad (3.19)$$

Şekil 3.6'ya göre, iki kapılı girişindeki toplam gürültü kaynağı eşitlik (3.20)'deki gibidir.

$$I_{sc} = -I_s + I_n + V_n Y_s \quad (3.20)$$

Eşitlik (3.20)'nin karesi alınıp ortalama değeri alınır, eşitlik (3.21)'e dönüşür.

$$\overline{I_{sc}^2} = \overline{(-I_s + I_n + V_n Y_s)^2} = \overline{I_s^2} + \overline{(I_n + V_n Y_s)^2} - 2\overline{I_s(I_n + V_n Y_s)} \quad (3.21)$$

Eşitlik (3.21)'de son terim değeri sıfırdır çünkü kaynak ve iki kapılı gürültü kaynakları aralarında bağlantılı değildir (uncorrelated).

$$2\overline{I_s(I_n + V_n Y_s)} = 0 \quad (3.22)$$

Bu durumda eşitlik (3.21), eşitlik (3.23)'e dönüşecektir.

$$\overline{I_{sc}^2} = \overline{I_s^2} + \overline{(I_n + V_n Y_s)^2} \quad (3.23)$$

Bulunan bu değerlerle gürültü faktörü eşitliği yeniden düzenlenirse; eşitlik (3.24)'deki gibi bulunur.

$$F = 1 + \frac{\overline{(I_n + V_n Y_s)^2}}{\overline{I_s^2}} \quad (3.24)$$

Eşitlik (3.24)'de I_n ve V_n arasında bir bağlantı (correlated) vardır.

$$I_n = I_u + I_c \quad (3.25)$$

I_n gürültülü akım kaynağı iki ayrı parçadan oluşur. Bunlardan ilki I_u , V_n ile bağlantısız (uncorrelated) olan kısmı; diğeri ise I_c , V_n ile bağlantılı (correlated) olan kısmıdır. Ayrıca I_c eşitlik (3.26)'daki gibi tanımlanabilir [37], [38].

$$I_c = Y_c V_n \quad (3.26)$$

Burada, Y_c bağlantı admitansı (correlation admittance) olarak geçer. Y_c gerçek bir admitans değildir. Sadece bir bağlantı katsayısını gösterir ($Y_c = G_c + jB_c$). I_n , bu tanım doğrultusunda eşitlik (3.27)'deki gibi yeniden yazılabilir.

$$I_n = I_u + Y_c V_n \quad (3.27)$$

Eşitlik (3.27)'nin her iki tarafını V_n^* ile çarpıp ortalama değerini alırsak; Y_c ifadesini eşitlik (3.28)'deki gibi bulunur.

$$\begin{aligned} \overline{I_n V_n^*} &= \overline{I_u V_n^*} + \overline{V_n^* Y_c V_n} \Rightarrow \overline{I_u V_n^*} = 0 \\ \overline{I_n V_n^*} &= Y_c \overline{V_n^2} \text{ veya } Y_c = \frac{\overline{I_n V_n^*}}{\overline{V_n^2}} \end{aligned} \quad (3.28)$$

Eşitlik (3.27), eşitlik (3.24)'te yerine konulursa, gürültü faktörüne ait ifade eşitlik (3.29) bulunur.

$$F = 1 + \frac{\left[\overline{I_u + (Y_c + Y_s) V_n} \right]^2}{\overline{I_s^2}} \quad (3.29)$$

Kaynak tarafından üretilen gürültü akımı (I_s), eşitlik (3.30)'da olduğu gibi kaynağın kondüktansı (G_s) ile orantılıdır [35], [36], [37], [39].

$$\overline{I_s^2} = 4kT_0 G_s B ; Y_s = G_s + jB_s \quad (3.30)$$

Gürültü gerilimi (V_n), eşitlik (3.31)'de olduğu gibi eş değer gürültü direnci (R_n) ile orantılıdır [35], [36], [37], [39].

$$\overline{V_n^2} = 4kT_0R_nB \quad (3.31)$$

Eşitlik (3.31)'de k Boltzman sabiti, T_0 termal sıcaklık, B band genişliği olarak verilmektedir. Bağılantılı olmayan (uncorrelated) gürültü akımı (I_u), eşitlik (3.32)'de olduğu gibi eş değer gürültü kondüktansı (G_u) ile orantılıdır [35], [36], [37], [39].

$$\overline{I_u^2} = 4kT_0G_uB \quad (3.32)$$

Eşitlik (3.30), (3.31) ve (3.32); eşitlik (3.29)'da yerine yazılırsa gürültü faktörü eşitlik (3.33), (3.34) ve (3.35)'deki gibi bulunur.

$$F = 1 + \frac{4kT_0G_uB + \left(|G_s + jB_s + G_c + jB_c|^2 4kT_0R_nB \right)}{4kT_0G_sB} \quad (3.33)$$

$$F = 1 + \frac{G_u}{G_s} + \frac{R_n}{G_s} \left[(G_s + G_c)^2 + (B_s + B_c)^2 \right] \quad (3.34)$$

$$F = 1 + \frac{G_u}{G_s} + \frac{R_n}{G_s} \left[|Y_s + Y_c|^2 \right] \quad (3.35)$$

Eşitlik (3.34)'de $B_s = -B_c$ seçilerek, eşitlik (3.36)'da olduğu gibi gürültü faktörü azaltılabilir [35], [36], [37].

$$F_{B_s=-B_c} = 1 + \frac{G_u}{G_s} + \frac{R_n}{G_s} (G_s + G_c)^2 \quad (3.36)$$

Eşitlik (3.36)'da verilen gürültü faktörünün kaynak konduktansına (G_s) bağımlılığı en aza eşitlik (3.37)'deki indirilebilir. Bu durumda, kaynak konduktans değeri eşitlik (3.38)'deki gibi bulunur [35], [36], [37].

$$\frac{dF_{B_s=-B_c}}{dG_s} = \frac{-G_u}{G_s^2} + R_n \frac{2G_s(G_s + G_c) - (G_s + G_c)^2}{G_s^2} = 0 \quad (3.37)$$

$$G_s = \sqrt{G_c^2 + \frac{G_u}{R_n}} \quad (3.38)$$

Eğer iki kapılının kaynak konduktansı (G_s), (3.38)'de bulunan G_s değerinde seçilirse ve kaynak suseptansı da $B_s = -B_c$ değerinde seçilirse elde edilen kaynak admitansına, optimum kaynak empedansı adı verilir ve kaynak empedansı bu değeri aldığı anda devrenin gürültü faktörü eşitlik (3.39)'daki gibi minimum olur [35], [36], [37], [40].

$$Y_{opt} = G_{opt} + jB_{opt} = \sqrt{G_c^2 + \frac{G_u}{R_n}} - jB_c ; F_{min} = F_{Y_s=Y_{opt}} = 1 + 2R_n(G_{opt} + G_c) \quad (3.39)$$

Verilen bir iki kapılıya ait, teorik ve ölçülebilir olmak üzere iki türlü gürültü parametresi mevcuttur. Teorik parametreler R_n , G_u , $Y_c = G_c + jB_c$ iken ölçülebilir parametreler R_n , F_{min} , $Y_{opt} = G_{opt} + jB_{opt}$ şeklindedir. Teorik parametrelerin ölçülebilir parametreler cinsinden ifadesi eşitlik (3.40), (3.41) ve (3.42)'deki gibidir [35], [36].

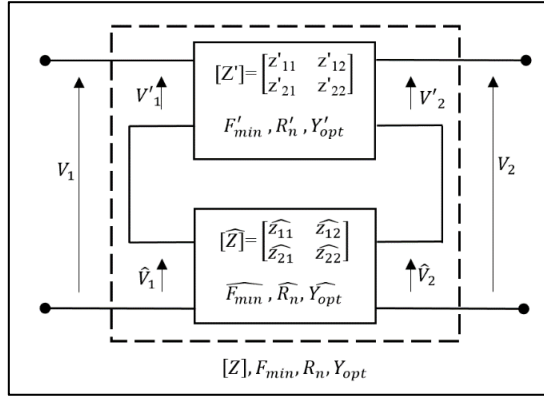
$$B_c = -B_{opt} \quad (3.40)$$

$$G_c = \frac{F_{min} - 1}{2R_n} - G_{opt} \quad (3.41)$$

$$G_u = (F_{min} - 1)G_{opt} - \frac{(F_{min} - 1)^2}{4R_n} \quad (3.42)$$

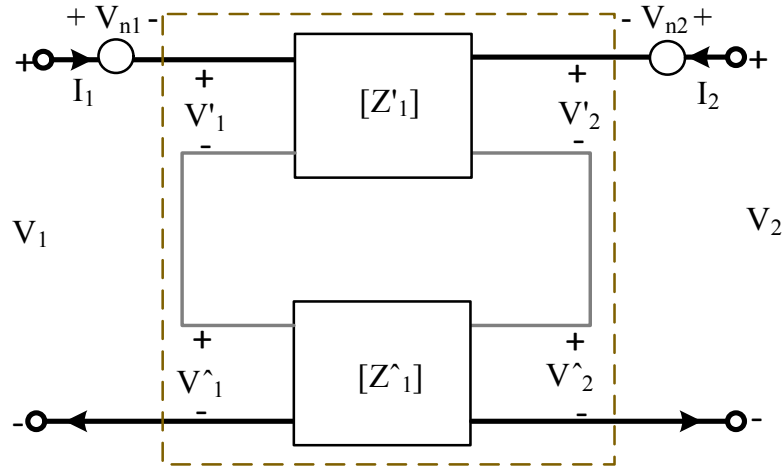
3.4 Seri Geri Beslemeli İki Kapılının Gürültü Parametrelerinin ve Gürültü Faktörünün Bulunması

Şekil 3.7'de seri geri besleme uygulanmış bir iki kapılı örnek devresi yer almaktadır.



Şekil 3.7 Seri geri besleme uygulanmış iki kapılı örnek devresi

Bu gösterimde, indisi olmayan ifadeler geri besleme uygulanmış iki kapılıya ait parametreleri, " ^ " ile gösterilen ifadeler geri besleme iki kapılısına ait parametreleri ve " ' " ile gösterilen ifadeler ise geri besleme uygulanmak istenen ana iki kapılıya ait parametreleri göstermektedir.



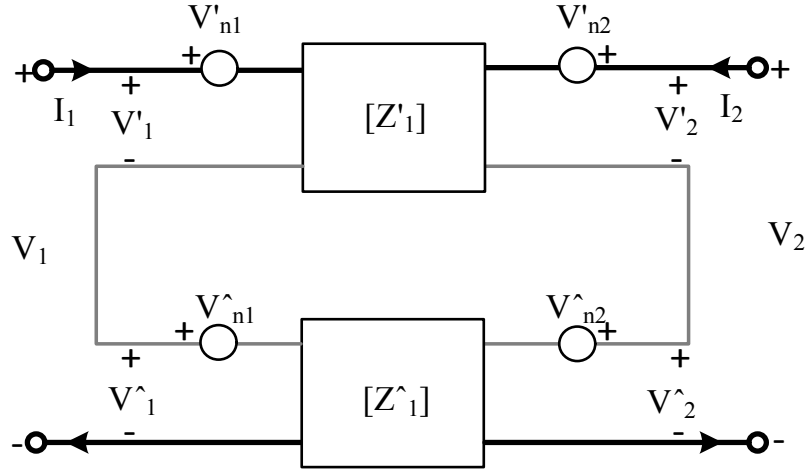
Şekil 3.8 Giriş ve çıkış kapısında gerilim gürültü kaynaklarının olduğu seri geri besleme uygulanmış iki kapılı örnek devresi

Geri besleme uygulanmış Şekil 3.7'de yer alan devrenin, Şekil 3.8'de olduğu gibi eş değer gürültü kaynaklarının giriş ve çıkış kapısında seri bağlı gerilim kaynakları olduğunu varsayarak bu devreye ait devre parametreleri eşitlik (3.43) ve (3.44)'deki bulunabilir.

$$V_1 = z_{11}I_1 + z_{12}I_2 + V_{n1} \quad (3.43)$$

$$V_2 = z_{21}I_1 + z_{22}I_2 + V_{n2} \quad (3.44)$$

Seri geri beslemeli iki kapının gürültü parametreleri bulunurken, bu kapiya ait V_n ve I_n parametrelerinin bulunması gerekir. V_n ve I_n ise eş değer kaynak dönüşümü yapılarak elde edilebilir. Bunun için girişe ve çıkışa gerilim kaynağı bağlanmış Şekil 3.9'da gösterilen devreden yararlanılabilir.



Şekil 3.9 Eş değer kaynak dönüşümü için kullanılan seri geri besleme uygulanmış devre

Şekil 3.9'da gösterilen devreye ait devre parametresi eşitlik (3.45) ve (3.46)'da olduğu gibi yazılabilir.

$$V_1 = V_1' + V_1^{\wedge} = z_{11}'I_1 + z_{12}'I_2 + V_{n1}' + z_{11}^{\wedge}I_1 + z_{12}^{\wedge}I_2 + V_{n1}^{\wedge} \quad (3.45)$$

$$V_2 = V_2' + V_2^{\wedge} = z_{21}'I_1 + z_{22}'I_2 + V_{n2}' + z_{21}^{\wedge}I_1 + z_{22}^{\wedge}I_2 + V_{n2}^{\wedge} \quad (3.46)$$

Devre teorisinden, seri bağlı bir devrenin Z parametresi, ana devrenin Z parametresi ile geri besleme devresinin Z parametresi toplamına eşittir [24], [41].

$$[Z] = [Z'] + [\hat{Z}] \quad (3.47)$$

Eşitlik (3.43) ile (3.45) ve eşitlik (3.44) ile (3.46); eşitlik (3.47) yardımıyla birbirlerine sırasıyla eşitlik (3.48) ve (3.49)'da olduğu gibi eşitlenebilirler [24], [41].

$$V_{n1} = V_{n1}' + V_{n1}^{\wedge} \quad (3.48)$$

$$V_{n2} = V_{n2}' + V_{n2}^{\wedge} \quad (3.49)$$

Eşitlik (3.49); eşitlik (3.50) yardımıyla, matematiksel olarak eşitlik (3.51) ve (3.52)'deki gibi yazılabilir [24], [41].

$$V_{n2} = V_{n2}' + V_{n2}^{\wedge} ; V_{n2} = -z_{21} I_n \quad (3.50)$$

$$V_{n2} = V_{n2}' + V_{n2}^{\wedge} \Rightarrow -(z_{21}' + z_{21}^{\wedge}) I_n = -z_{21}' I_n' - z_{21}^{\wedge} I_n^{\wedge} \quad (3.51)$$

$$I_n = \underbrace{\frac{z_{21}'}{z_{21}' + z_{21}^{\wedge}}}_{B_1} I_n' + \underbrace{\frac{z_{21}^{\wedge}}{z_{21}' + z_{21}^{\wedge}}}_{B_2} I_n^{\wedge} \quad (3.52)$$

Eşitlik (3.51) ve (3.52)'de seri geri besleme uygulanmış iki kapılıya ait akım gürültü kaynağı (I_n), ana devre gürültü akım kaynağı ve geri besleme devresi gürültü akım kaynağı cinsinden yazılmış olur.

Eşitlik (3.48) ise, eşitlik (3.53) yardımıyla matematiksel olarak eşitlik (3.54) ve (3.55)'deki gibi yazılabilir [24], [41].

$$V_{n1} = V_{n1}' + V_{n1}^{\wedge} ; V_{n1} = V_n - z_{11} I_n \quad (3.53)$$

$$V_n - (z_{11}' + z_{11}^{\wedge}) I_n = V_n' - z_{11}' I_n' + V_n^{\wedge} - z_{11}^{\wedge} I_n^{\wedge} \quad (3.54)$$

$$V_n = (z_{11}' + z_{11}^{\wedge}) \left[\frac{z_{21}'}{z_{21}' + z_{21}^{\wedge}} I_n' + \frac{z_{21}^{\wedge}}{z_{21}' + z_{21}^{\wedge}} I_n^{\wedge} \right] - z_{11}' I_n' - z_{11}^{\wedge} I_n^{\wedge} + V_n' + V_n^{\wedge}$$

$$V_n = V_n' + \underbrace{\left(\frac{z_{11}^{\wedge} z_{21}' - z_{11}' z_{21}^{\wedge}}{z_{21}' + z_{21}^{\wedge}} \right)}_{A_1} I_n' + V_n^{\wedge} + \underbrace{\left(\frac{z_{11}' z_{21}^{\wedge} - z_{11}^{\wedge} z_{21}'}{z_{21}' + z_{21}^{\wedge}} \right)}_{A_2} I_n^{\wedge} \quad (3.55)$$

Eşitlik (3.54) ve (3.55)'de seri geri besleme uygulanmış iki kapılıya ait gerilim gürültü kaynağı (V_n), ana devre akım gürültü kaynağı ve geri besleme devresi akım gürültü kaynağı cinsinden yazılmış olur.

Bir sonraki adımda ise, seri geri besleme uygulanmış iki kapılıya ait R_n , G_u ve Y_c parametrelerinin bu iki kapılıya ait olan V_n ve I_n cinsinden bulunması yer almaktadır. Eşitlik (3.31)'de yer alan R_n ifadesi, eşitlik (3.55) yardımıyla eşitlik (3.56) ve (3.57)'de olduğu gibi yazılabilir [41].

$$R_n = \frac{\overline{|V_n|^2}}{4kTB} = \frac{\overline{V_n V_n^*}}{4kTB} \quad (3.56)$$

$$R_n = \frac{(\overline{V_n'} + A_1 \overline{I_n'} + \overline{V_n^\wedge} + A_2 \overline{I_n^\wedge})(\overline{V_n'^*} + A_1 \overline{I_n'^*} + \overline{V_n^{\wedge*}} + A_2 \overline{I_n^{\wedge*}})}{4kTB}$$

$$R_n = R_n' \left[1 + Y_c' A_1 \right]^2 + |A_1|^2 G_u' + R_n^\wedge \left[1 + Y_c^\wedge A_2 \right]^2 + |A_2|^2 G_u^\wedge \quad (3.57)$$

Seri geri besleme devresine ait Y_c ise, eşitlik (3.28)'de verilen Y_c ifadesinden yararlanılarak eşitlik (3.58) ve (3.59)'daki gibi bulunabilir [41].

$$Y_c = \frac{\overline{I_n V_n^*}}{\overline{V_n^2}} = \frac{(\overline{I_n' B_1} + \overline{I_n^\wedge B_2}) \cdot (\overline{V_n'^*} + A_1 \overline{I_n'^*} + \overline{V_n^{\wedge*}} + A_2 \overline{I_n^{\wedge*}})}{4kTB R_n} \quad (3.58)$$

$$Y_c = \frac{\left[R_n' Y_c' B_1 (1 + Y_c'^* A_1^*) + G_u' A_1^* B_1 + R_n^\wedge Y_c^\wedge B_2 (1 + Y_c^{\wedge*} A_2^*) + G_u^\wedge A_2^* B_2 \right]}{R_n} \quad (3.59)$$

Eşitlik (3.32)'de verilen G_u ifadesi eşitlik (3.60) ve (3.61)'de verildiği gibi bulunabilir [41].

$$G_u = \frac{\overline{|I_u|^2}}{4kTB} = \frac{\overline{I_u I_u^*}}{4kTB} = \frac{(\overline{I_n' - Y_c' V_n})(\overline{I_n^* - Y_c^* V_n^*})}{4kTB} \quad (3.60)$$

$$G_u = \frac{(\overline{I_n' B_1} + \overline{I_n^\wedge B_2} - Y_c' V_n) \cdot (\overline{I_n'^* B_1^*} + \overline{I_n^{\wedge*} B_2^*} - Y_c^* V_n^*)}{4kTB}$$

$$G_u = |B_1|^2 \left[G_u' + R_n' |Y_c'|^2 \right] + |B_2|^2 \left[G_u^\wedge + R_n^\wedge |Y_c^\wedge|^2 \right] - R_n |Y_c|^2 \quad (3.61)$$

Seri geri beslemeye sahip iki kapılının gürültü faktörü eşitlik (3.62)'de verilmiştir.

$$F = 1 + \frac{G_u}{G_s} + \frac{R_n}{G_s} \left[|Y_s + Y_c|^2 \right] \quad (3.62)$$

Eşitlik (3.57), (3.59) ve (3.61)'de sırasıyla verilen R_n , Y_c ve G_u ifadeleri eşitlik (3.62)'de yerine konulursa seri geri beslemeye sahip devreye ait gürültü faktörü eşitlik (3.63)'de verildiği gibi bulunabilir [41].

$$\begin{aligned}
F_{SE} = & F'_{\min} + \frac{R'_n}{G_s} |Y_s - Y'_{opt}|^2 - 1 + \\
& + \frac{R'_n}{G_s} \left\{ |Y'_{opt}|^2 [|\varphi_1|^2 - 1] + 2 \operatorname{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt} \right) (Y_s)^* (\varphi_1 - 1) \right] \right\} + \\
& + F^{\wedge}_{\min} + \frac{R^{\wedge}_n}{G_s} |Y_s - Y^{\wedge}_{opt}|^2 + \\
& + \frac{R^{\wedge}_n}{G_s} \left\{ |Y^{\wedge}_{opt}|^2 [|\varphi_2|^2 - 1] + 2 \operatorname{Re} \left[\left(\frac{F^{\wedge}_{\min} - 1}{2R^{\wedge}_n} - Y^{\wedge}_{opt} \right) (Y_s)^* (\varphi_2 - 1) \right] \right\}
\end{aligned} \tag{3.63}$$

Eşitlik (3.63)'de verilen φ_1 ve φ_2 parametreleri sırasıyla eşitlik (3.64) ve eşitlik (3.65) verilmiştir [41].

$$\varphi_1 = A_1 Y_s + B_1 \tag{3.64}$$

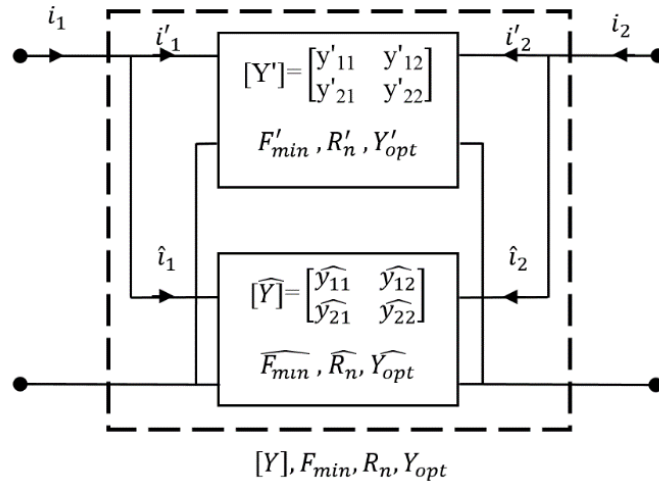
$$\varphi_2 = A_2 Y_s + B_2 \tag{3.65}$$

Eğer geri besleme devresi sadece reaktif bir elementten oluşmuş ise $R^{\wedge}_n = 0$; $Y^{\wedge}_c = 0$; $G^{\wedge}_u = 0$; $F^{\wedge}_{\min} = 1$ olur ve (3.63)'de verilen gürültü katsayısı eşitliği, eşitlik (3.66)'ya indirgenir [41].

$$\begin{aligned}
F_{SE} = & F'_{\min} + \frac{R'_n}{G_s} |Y_s - Y'_{opt}|^2 + \\
& + \frac{R'_n}{G_s} \left\{ |Y'_{opt}|^2 [|\varphi_1|^2 - 1] + 2 \operatorname{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt} \right) (Y_s)^* (\varphi_1 - 1) \right] \right\}
\end{aligned} \tag{3.66}$$

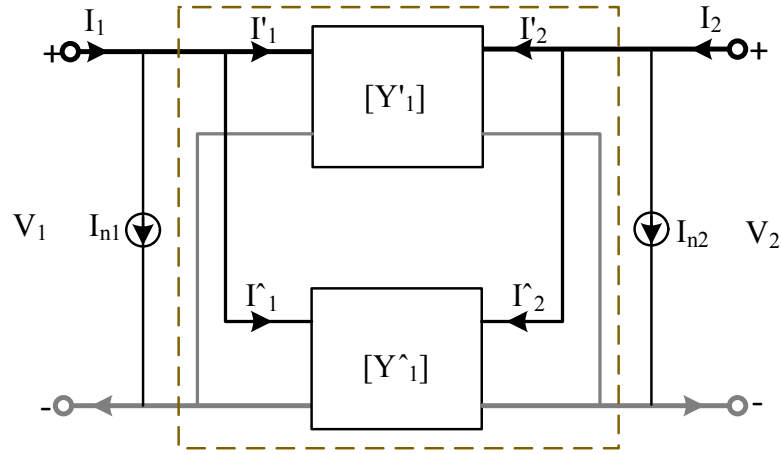
3.5 Paralel Geri Beslemeli İki Kapılının Gürültü Parametrelerinin ve Gürültü Faktörünün Bulunması

Şekil 3.10'da paralel geri besleme uygulanmış bir iki kapılı örnek devresi yer almaktadır.



Şekil 3.10 Paralel geri besleme uygulanmış iki kapılı örnek devresi

Bu gösterimde, indisi olmayan ifadeler geri besleme uygulanmış iki kapılıya ait parametreleri, " ^ " ile gösterilen ifadeler geri besleme iki kapılısına ait parametreleri ve "'" ile gösterilen ifadeler ise geri besleme uygulanmak istenen ana iki kapılıya ait parametreleri göstermektedir.



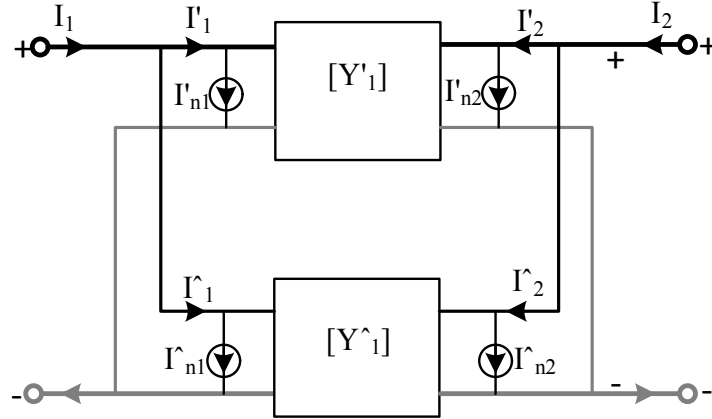
Şekil 3.11 Giriş ve çıkış kapısında akım gürültü kaynaklarının olduğu paralel geri besleme uygulanmış iki kapılı örnek devresi

Paralel geri besleme uygulanmış Şekil 3.10'da yer alan devrenin, Şekil 3.11'de görüldüğü üzere eş değer gürültü kaynaklarının bu iki kapılının giriş ve çıkış kapısında paralel bağlı akım kaynakları olduğunu varsayarak bu devreye ait devre parametreleri eşitlik (3.67) ve (3.68)'de verilmiştir.

$$I_1 = y_{11}V_1 + y_{12}V_2 + I_{n1} \quad (3.67)$$

$$I_2 = y_{21}V_1 + y_{22}V_2 + I_{n2} \quad (3.68)$$

Paralel beslemeli iki kapılının gürültü parametreleri bulunurken bu kapiya ait V_n ve I_n parametrelerinin bulunması gerekir. V_n ve I_n ise eş değer kaynak dönüşümü yapılarak elde edilebilir. Bunun için girişe ve çıkışa paralel akım kaynağı bağlanmış Şekil 3.12’de gösterilen devreden yararlanılabilir.



Şekil 3.12 Eş değer kaynak dönüşümü için kullanılan paralel geri besleme uygulanmış devre

Şekil 3.12’de gösterilen devreye ait devre parametreleri eşitlik (3.69) ve (3.70)’de olduğu gibi yazılabilir.

$$I_1 = I'_1 + I^1_1 = y'_{11}V_1 + y'_{12}V_2 + I'_{n1} + y^1_{11}V_1 + y^1_{12}V_2 + I^1_{n1} \quad (3.69)$$

$$I_2 = I'_2 + I^1_2 = y'_{21}V_1 + y'_{22}V_2 + I'_{n2} + y^1_{21}V_1 + y^1_{22}V_2 + I^1_{n2} \quad (3.70)$$

Devre teorisinden paralel bağlı bir devrenin Y parametresi, eşitlik (3.71)’de verildiği gibi ana devrenin Y parametresi ile geri besleme devresinin Y parametresi toplamına eşittir [24], [41].

$$[Y] = [Y'] + [Y^1] \quad (3.71)$$

Eşitlik (3.67) ile (3.69) ve eşitlik (3.68) ile (3.70); eşitlik (3.71) yardımıyla birbirlerine sırasıyla eşitlik (3.72) ve (3.73)’de olduğu gibi eşitlenebilirler [24], [41].

$$I_{n1} = I'_{n1} + I^{\wedge}_{n1} \quad (3.72)$$

$$I_{n2} = I'_{n2} + I^{\wedge}_{n2} \quad (3.73)$$

Eşitlik (3.73), eşitlik (3.75) yardımıyla matematiksel olarak eşitlik (3.76) ve eşitlik (3.77)'deki gibi yazılabilir [24], [41].

$$I_{n1} = I_n - y_{11}V_n \quad (3.74)$$

$$I_{n2} = -y_{21}V_n \quad (3.75)$$

Eşitlik (3.76) ve (3.77)'de paralel geri besleme uygulanmış devreye ait gerilim gürültü kaynağı (V_n), ana devre gerilim kaynağı ve geri besleme devresi gerilim kaynağı cinsinden yazılmış olur [24], [41].

$$\begin{aligned} I_{n2} &= I'_{n2} + I^{\wedge}_{n2} \quad ; \quad I_{n2} = -y_{21}V_n \\ -(y'_{21} + y^{\wedge}_{21})V_n &= -y'_{21}V'_n - y^{\wedge}_{21}V^{\wedge}_n \end{aligned} \quad (3.76)$$

$$V_n = \underbrace{\frac{y'_{21}}{y'_{21} + y^{\wedge}_{21}}}_{D_1} V'_n + \underbrace{\frac{y^{\wedge}_{21}}{y'_{21} + y^{\wedge}_{21}}}_{D_2} V^{\wedge}_n \quad (3.77)$$

Eşitlik (3.72), eşitlik (3.74) yardımıyla matematiksel olarak eşitlik (3.78) ve (3.79)'da olduğu gibi yazılabilir [24], [41].

$$\begin{aligned} I_{n1} &= I'_{n1} + I^{\wedge}_{n1} \quad ; \quad I_{n1} = I_n - (y_{11}V_n) \\ I_n - (y'_{11} + y^{\wedge}_{11})V_n &= I'_n - (y'_{11}V'_n) + I^{\wedge}_n - (y^{\wedge}_{11}V^{\wedge}_n) \\ I_n &= (y'_{11} + y^{\wedge}_{11}) \left[\frac{y'_{21}}{y'_{21} + y^{\wedge}_{21}} V'_n + \frac{y^{\wedge}_{21}}{y'_{21} + y^{\wedge}_{21}} V^{\wedge}_n \right] - y'_{11}V'_n - y^{\wedge}_{11}V^{\wedge}_n + I'_n + I^{\wedge}_n \end{aligned} \quad (3.78)$$

$$I_n = I'_n + \underbrace{\left(\frac{y^{\wedge}_{11}y'_{21} - y'_{11}y^{\wedge}_{21}}{y'_{21} + y^{\wedge}_{21}} \right)}_{E_1} V'_n + I^{\wedge}_n + \underbrace{\left(\frac{y'_{11}y^{\wedge}_{21} - y^{\wedge}_{11}y'_{21}}{y'_{21} + y^{\wedge}_{21}} \right)}_{E_2} V^{\wedge}_n \quad (3.79)$$

Eşitlik (3.78) ve (3.79)'da paralel geri besleme uygulanmış devreye ait akım gürültü kaynağı (I_n), ana devre gerilim gürültü kaynağı ve geri besleme devresi gerilim gürültü kaynakları cinsinden yazılmış olur.

Bir sonraki adımda ise, paralel geri besleme uygulanmış iki kapılıya ait R_n , G_u ve Y_c parametrelerinin bu iki kapılıya ait olan V_n ve I_n cinsinden bulunması yer almaktadır. Eşitlik (3.31)'de yer alan R_n ifadesi, eşitlik (3.79) yardımıyla eşitlik (3.80) ve (3.81)'de olduğu gibi yazılabilir [41].

$$R_n = \frac{\overline{|V_n|^2}}{4kTB} = \frac{\overline{V_n V_n^*}}{4kTB} = \frac{\overline{(V_n' D_1 + V_n^{\wedge} D_2) (V_n'^* D_1^* + V_n^{\wedge *} D_2^*)}}{4kTB} \quad (3.80)$$

$$R_n = R_n' |D_1|^2 + R_n^{\wedge} |D_2|^2 \quad (3.81)$$

Paralel geri besleme devresine ait Y_c ise, eşitlik (3.28)'de verilen Y_c ifadesinden yararlanılarak eşitlik (3.82) ve (3.83)'deki gibi bulunabilir [41].

$$Y_c = \frac{\overline{I_n V_n^*}}{\overline{V_n^2}} = \frac{\overline{(I_n' + E_1 V_n' + I_n^{\wedge} + E_2 V_n^{\wedge}) (V_n'^* D_1^* + V_n^{\wedge *} D_2^*)}}{4kTBR_n} \quad (3.82)$$

$$Y_c = \frac{R_n' D_1^* (Y_c' + E_1) + R_n^{\wedge} D_2^* (Y_c^{\wedge} + E_2)}{R_n} \quad (3.83)$$

Eşitlik (3.32)'de verilen G_u ifadesi eşitlik (3.84) ve (3.85)'de verildiği gibi bulunabilir [41].

$$G_u = \frac{\overline{|I_u|^2}}{4kTB} = \frac{\overline{I_u I_u^*}}{4kTB} = \frac{\overline{(I_n - Y_c V_n) (I_n^* - Y_c^* V_n^*)}}{4kTB} \quad (3.84)$$

$$G_u = \frac{\overline{[I_n' + E_1 V_n' + I_n^{\wedge} + E_2 V_n^{\wedge} - Y_c V_n] [I_n'^* + E_1^* V_n'^* + I_n^{\wedge *} + E_2^* V_n^{\wedge *} - Y_c^* V_n^*]}}{4kTB}$$

$$G_u = G_u' + R_n' \left[|E_1 + Y_c'|^2 \right] + G_u^{\wedge} + R_n^{\wedge} \left[|E_2 + Y_c^{\wedge}|^2 \right] - R_n |Y_c|^2 \quad (3.85)$$

Paralel geri beslemeye sahip iki kapının gürültü faktörü eşitlik (3.86)'da verilmiştir.

$$F = 1 + \frac{G_u}{G_s} + \frac{R_n}{G_s} \left[|Y_s + Y_c|^2 \right] \quad (3.86)$$

Eşitlik (3.81), (3.83) ve (3.85)'de sırasıyla verilen R_n , Y_c ve G_u ifadeleri eşitlik (3.86)'da yerine konulursa paralel geri beslemeye sahip devreye ait gürültü faktörü eşitlik (3.87)'de verildiği gibi bulunabilir [41].

$$\begin{aligned} F_{SH} = & F'_{\min} + \frac{R'_n}{G_s} |Y_s - Y'_{opt}|^2 - 1 + \\ & + \frac{R'_n}{G_s} \left\{ |\psi_1|^2 + 2 \operatorname{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - (Y'_{opt})^* \right) (\psi_1 - Y_s) \right] - |Y_s|^2 \right\} + \\ & + F^{\wedge}_{\min} + \frac{R^{\wedge}_n}{G_s} |Y_s - Y^{\wedge}_{opt}|^2 + \\ & + \frac{R^{\wedge}_n}{G_s} \left\{ |\psi_2|^2 + 2 \operatorname{Re} \left[\left(\frac{F^{\wedge}_{\min} - 1}{2R^{\wedge}_n} - (Y^{\wedge}_{opt})^* \right) (\psi_2 - Y_s) \right] - |Y_s|^2 \right\} \end{aligned} \quad (3.87)$$

Eşitlik (3.87)'de verilen ψ_1 ve ψ_2 parametreleri sırasıyla eşitlik (3.88) ve eşitlik (3.89)'da verilmiştir [41].

$$\psi_1 = E_1 + Y_s D_1 \quad (3.88)$$

$$\psi_2 = E_2 + Y_s D_2 \quad (3.89)$$

Eğer geri besleme devresi sadece reaktif bir elementten oluşmuş ise $R^{\wedge}_n = 0$; $Y^{\wedge}_c = 0$; $G^{\wedge}_u = 0$; $F^{\wedge}_{\min} = 1$ olur ve gürültü katsayısı eşitliği ise eşitlik (3.90)'a indirgenir [41].

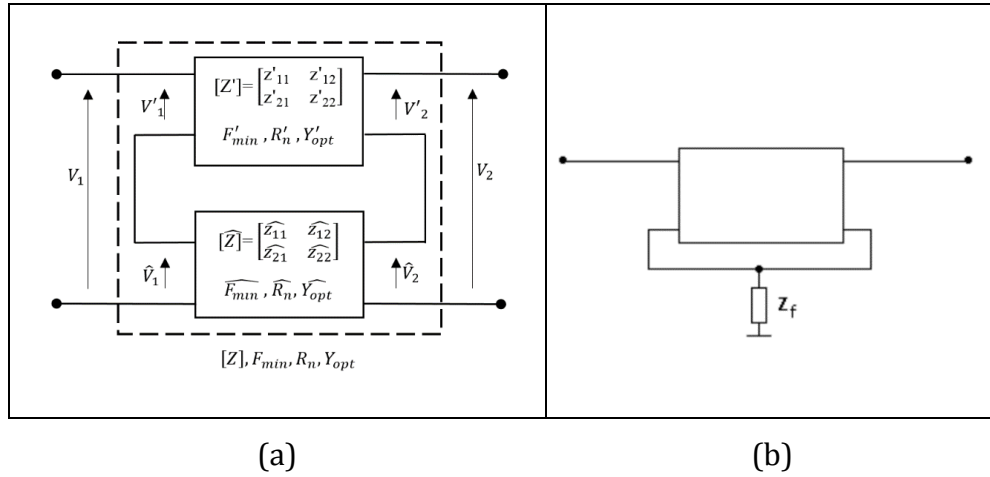
$$\begin{aligned} F_{SH} = & F'_{\min} + \frac{R'_n}{G_s} |Y_s - Y'_{opt}|^2 + \\ & + \frac{R'_n}{G_s} \left\{ |\Psi_1|^2 + 2 \operatorname{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - (Y'_{opt})^* \right) (\Psi_1 - Y_s) \right] - |Y_s|^2 \right\} \end{aligned} \quad (3.90)$$

Geri Beslemeli Transistörün Performans Karakterizasyonu

Tezin bu bölümünde, geri besleme uygulanmış transistöre ait gürültü faktörü, kazanç çemberleri çıkış empedansı (Z_{out}) alanına yerleştirilerek, ($F_{req} \geq F_{min}$, $V_{out}=1$, $G_T \leq G_{Tmax}$) performans üçlüsüne ait tasarım konfigürasyonlarının oluşturulması için gerekli olan denklemler verilmiştir.

4.1 Seri Geri Beslemeli İki Kapılının Gürültü Çemberinin Bulunması

Reaktif tek elemanlı seri geri besleme uygulanmış iki kapılıya ait devre modeli Şekil 4.1’de gösterilmiştir.



Şekil 4.1 Seri geri beslemeli devre modeli (a) genelleştirilmiş (b) kayıpsız tek elemanlı

Bu devreye ait gürültü faktörü eşitlik (4.1)’de verilmiştir [41].

$$\begin{aligned}
 F_{SE} = & F'_{min} + \frac{R'_n}{G_s} |Y_s - Y'_{opt}|^2 + \\
 & + \frac{R'_n}{G_s} \left\{ |Y'_{opt}|^2 [|\varphi_1|^2 - 1] + 2 \operatorname{Re} \left[\left(\frac{F'_{min} - 1}{2R'_n} - Y'_{opt} \right) (Y_s)^* (\varphi_1 - 1) \right] \right\}
 \end{aligned} \quad (4.1)$$

Eşitlik (4.1)’de kullanılan parametreler ise aşağıdaki eşitliklerde verilmiştir [41].

$$\varphi_1 = A_1 Y_s + B_1 \quad (4.2)$$

$$A_1 = \frac{\hat{z}_{11} z'_{21} - z'_{11} \hat{z}_{21}}{z'_{21} + \hat{z}_{21}} \quad (4.3)$$

$$B_1 = \frac{\hat{z}_{21}}{z'_{21} + \hat{z}_{21}} \quad (4.4)$$

$$[Z] = [Z'] + [\hat{Z}] \quad (4.5)$$

Tasarımın ilk aşamasında, geri besleme uygulanmış gürültü çemberi Z_s alanında oluşturulmuştur. Z_s alanında genel çember denklemi eşitlik (4.6)'da verilmiştir.

$$|Z_s|^2 - 2R_s R_c - 2X_s X_c + |Z_c|^2 - r_c^2 = 0 \quad (4.6)$$

Y_s , G_s , B_s tanımlarının Z_s cinsinden ifadesi eşitlik (4.7), (4.8), (4.9) ve (4.10)'da verilmiştir.

$$Y_s = 1/Z_s \quad (4.7)$$

$$G_s = R_s / |Z_s|^2 \quad (4.8)$$

$$B_s = -X_s / |Z_s|^2 \quad (4.9)$$

$$|Y_s - Y'_{opt}|^2 = |Z_s - Z'_{opt}|^2 / (|Z_s|^2 |Z'_{opt}|^2) \quad (4.10)$$

Bu dönüşümlerin yanında, çember ifadesi çıkarılırken yardımcı olacak a ve b parametreleri ise eşitlik (4.11) ve (4.12)'de verilmiştir.

$$a = F_{SE} - F'_{\min} \quad (4.11)$$

$$b = \left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt} \right) \quad (4.12)$$

Tanımlanan yeni parametreler ve değişken dönüşümleri eşitlik (4.1)'de yerine konulursa; eşitlik (4.13) elde edilir.

$$-a + \frac{R'_n}{R_s} |Z_s|^2 \frac{|Z_s - Z'_{opt}|^2}{|Z_s|^2 |Z'_{opt}|^2} + \frac{R'_n}{R_s} |Z_s|^2 \left\{ \frac{1}{|Z'_{opt}|^2} (|A_1 Y_s + B_1|^2 - 1) + \right. \\ \left. + 2 \operatorname{Re} [b Y_s^* (A_1 Y_s + B_1 - 1)] \right\} = 0 \quad (4.13)$$

Eşitlik (4.13)'de $R'_n / |Z'_{opt}|^2 = f$ olarak tanımlanıp eşitlik (4.13) bir adım daha düzenlenirse; eşitlik (4.14) elde edilir.

$$-a + \frac{f}{R_s} |Z_s - Z'_{opt}|^2 + \frac{R'_n}{R_s} |Z_s|^2 \left\{ \frac{1}{|Z'_{opt}|^2} \left(\frac{|A_1 + B_1 Z_s|^2 - |Z_s|^2}{|Z_s|^2} \right) + \right. \\ \left. + 2 \operatorname{Re} [b A_1 |Y_s|^2 + (B_1 - 1)b(G_s - jB_s)] \right\} = 0 \quad (4.14)$$

Eşitlik (4.14)'ü matematiksel açıdan sadeleştirmek için tanımlanan parametreler aşağıdaki eşitliklerde verilmiştir.

$$c = \operatorname{Re}(b A_1) \quad (4.15)$$

$$d = \operatorname{Re}[(B_1 - 1)b] \quad (4.16)$$

$$e = \operatorname{Im}[(B_1 - 1)b] \quad (4.17)$$

Eşitlik (4.15), (4.16) ve (4.17)'de verilen c , d , e parametreleri de düzenlenen denklemde yerine konulursa; eşitlik (4.18) elde edilir.

$$-a + \frac{f}{R_s} |Z_s - Z'_{opt}|^2 + \frac{R'_n}{R_s} |Z_s|^2 \left\{ \frac{1}{|Z'_{opt}|^2} \left(\frac{|A_1 + B_1 Z_s|^2 - |Z_s|^2}{|Z_s|^2} \right) + \frac{2c}{|Z_s|^2} + \frac{2dR_s}{|Z_s|^2} - \frac{2eX_s}{|Z_s|^2} \right\} = 0 \quad (4.18)$$

Eşitlik (4.18)'de $|A_1 + B_1 Z_s|^2$ ifadesi eşitlik (4.19)'daki gibi düzenlenip, eşitlik (4.18) yeniden düzenlenirse eşitlik (4.20) elde edilir.

$$|A_1 + B_1 Z_s|^2 = \left| Z_s + \frac{A_1}{B_1} \right|^2 |B_1|^2 \quad (4.19)$$

$$f |Z_s - Z'_{opt}|^2 + f \left(\left| Z_s + \frac{A_1}{B_1} \right|^2 |B_1|^2 - |Z_s|^2 \right) + 2cR'_n + 2dR'_n R_s - 2eR'_n X_s - aR_s = 0 \quad (4.20)$$

Eşitlik (4.20)'de son parametreler de eşitlik (4.21), (4.22), (4.23) ve (4.24)'deki gibi tanımlanıp; eşitlik (4.20), eşitlik (4.25)'deki gibi düzenlenip denklem çember formatı haline eşitlik (4.26)'daki gibi yazılabilir.

$$h = |B_1|^2 \quad (4.21)$$

$$k = |A_1/B_1| \quad (4.22)$$

$$m = \text{Re}[A_1/B_1] \quad (4.23)$$

$$n = \text{Im}[A_1/B_1] \quad (4.24)$$

$$\begin{aligned}
& f \left(|Z_s|^2 - 2R_s R'_{opt} - 2X_s X'_{opt} + |Z'_{opt}|^2 \right) + \\
& + f \left[\left(|Z_s|^2 + 2R_s m + 2X_s n + k \right) h - |Z_s|^2 \right] + \\
& + \frac{(2dR'_n - a)R_s}{f} - \frac{2eR'_n X_s}{f} + \frac{2cR'_n}{f} = 0
\end{aligned} \tag{4.25}$$

$$\begin{aligned}
|Z_s|^2 - 2R_s \left(\frac{R'_{opt} - mh}{h} - \frac{2dR'_n - a}{2fh} \right) - 2X_s \left(\frac{X'_{opt} - nh}{h} + \frac{eR'_n - a}{fh} \right) + \\
+ \frac{|Z'_{opt}|^2 + hk}{h} + \frac{2cR'_n}{fh} = 0
\end{aligned} \tag{4.26}$$

Eşitlik (4.26), Z_s alanında, tek reaktif elemanla seri geri besleme uygulanmış devrenin gürültü çemberini gösterir. Bu çemberin merkez fazörü $Z_{cnss} = R_{cnss} + jX_{cnss}$ olup yarıçapı r_{nss} olarak gösterilir ve bu değerler eşitlik (4.27), (4.28), (4.29) ve (4.30) yardımıyla bulunabilirler.

$$R_{cnss} = \left(\frac{R'_{opt} - mh}{h} - \frac{2dR'_n - a}{2fh} \right) \tag{4.27}$$

$$X_{cnss} = \left(\frac{X'_{opt} - nh}{h} + \frac{eR'_n - a}{fh} \right) \tag{4.28}$$

$$K_s = \frac{|Z'_{opt}|^2 + hk}{h} + \frac{2cR'_n}{fh} \tag{4.29}$$

$$r_{nss} = \sqrt{|Z_{cnss}|^2 - K_s} \tag{4.30}$$

Seri geri beslemeli gürültü çemberi bulunurken tanımlanan parametreler eşitlik (4.27), (4.28) ve (4.29) denklemlerinde yerine konulursa, eşitlik (4.31), (4.32), ve (4.33) bulunur.

$$R_{cns} = \frac{R'_{opt} - \operatorname{Re}\left[\frac{A_1}{B_1}\right]|B_1|^2}{|B_1|^2} - \frac{2 \operatorname{Re}\left[(B_1 - 1)\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}\right)\right]R'_n - (F_{SE} - F'_{\min})}{2(R'_n/|Z'_{opt}|^2)|B_1|^2} \quad (4.31)$$

$$X_{cns} = \frac{X'_{opt} - \operatorname{Im}\left[A_1/B_1\right]|B_1|^2}{|B_1|^2} + \frac{\operatorname{Im}\left[(B_1 - 1)\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}\right)\right]R'_n - (F_{SE} - F'_{\min})}{(R'_n/|Z'_{opt}|^2)|B_1|^2} \quad (4.32)$$

$$K_s = \frac{|Z'_{opt}|^2 + |B_1|^2|A_1/B_1|}{|B_1|^2} + \frac{2 \operatorname{Re}\left[\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}\right)A_1\right]R'_n}{(R'_n/|Z'_{opt}|^2)|B_1|^2} \quad (4.33)$$

Tasarımın ikinci aşaması, Z_s alanındaki çemberin, Z_{out} alanına taşınmasıdır. Z_s alanındaki genel çember denklemi eşitlik (4.34)'teki gibi yeniden yazılabilir.

$$|Z_s|^2 - 2R_s R_1 - 2X_s X_1 + \varepsilon = 0 \quad (\varepsilon = |R_1 + jX_1|^2 - r_1^2) \quad (4.34)$$

Z_s ifadesi Z_{out} cinsinden eşitlik (4.35), (4.36), (4.37) ve (4.38)'teki çıkarılabilir.

$$Z_{out} = z_{22} - \frac{z_{12}z_{21}}{z_{11} + Z_s} \Leftrightarrow Z_s = R_s + jX_s = -z_{11} - \frac{z_{12}z_{21}}{Z_{out} - z_{22}} \quad (4.35)$$

$$z = z_{12}z_{21} = r + jx \quad ; \quad r_{ij} = \operatorname{Re}[z_{ij}] \quad ; \quad x_{ij} = \operatorname{Im}[z_{ij}] \quad (4.36)$$

$$Z_s = -z_{11} - \frac{z_{12}z_{21}}{(Z_{out} - z_{22})(Z_{out} - z_{22})^*} \quad (4.37)$$

$$Z_s = -z_{11} - \frac{(r + jx)(R_{out} - r_{22} - jX_{out} + jx_{22})}{|Z_{out} - z_{22}|^2} \quad (4.38)$$

Eşitlik (4.38), eşitlik (4.34)'de yerine konulup, eşitlik yeniden düzenlenirse; eşitlik (4.39) ve (4.40) elde edilir.

$$\left| z_{11} + \frac{z_{12}z_{21}}{Z_{out} - z_{22}} \right|^2 - 2R_1 \left(-r_{11} - \frac{rR_{out} - rr_{22} + xX_{out} - xx_{22}}{|Z_{out} - z_{22}|^2} \right) -$$

$$- 2X_1 \left(-x_{11} - \frac{xR_{out} - xr_{22} - rX_{out} + rx_{22}}{|Z_{out} - z_{22}|^2} \right) + \varepsilon = 0 \quad (4.39)$$

$$\left| (Z_{out} - z_{22})z_{11} + z_{12}z_{21} \right|^2 + 2R_1 r_{11} |Z_{out} - z_{22}|^2 +$$

$$+ 2R_1 (rR_{out} - rr_{22} + xX_{out} - xx_{22}) +$$

$$+ 2X_1 x_{11} |Z_{out} - z_{22}|^2 + 2X_1 (xR_{out} - xr_{22} - rX_{out} + rx_{22}) +$$

$$+ \varepsilon |Z_{out} - z_{22}|^2 = 0 \quad (4.40)$$

Eşitlik (4.40)'da θ parametresi eşitlik (4.41)'deki gibi tanımlanıp eşitlik yeniden düzenlenirse; eşitlik (4.42), (4.43) ve (4.44) elde edilir.

$$\theta = m_1 + jm_2 = \frac{z_{12}z_{21} - z_{11}z_{22}}{z_{11}} \quad (4.41)$$

$$|z_{11}|^2 |Z_{out} + \theta|^2 + 2R_1 r_{11} |Z_{out} - z_{22}|^2 + 2R_1 rR_{out} - 2R_1 rr_{22} + 2R_1 xX_{out} -$$

$$- 2R_1 xx_{22} + 2X_1 x_{11} |Z_{out} - z_{22}|^2 + 2X_1 xR_{out} - 2X_1 xr_{22} - 2X_1 rX_{out} +$$

$$+ 2X_1 rx_{22} + \varepsilon |Z_{out} - z_{22}|^2 = 0 \quad (4.42)$$

$$|z_{11}|^2 \left(|Z_{out}|^2 + 2R_{out} m_1 + 2X_{out} m_2 + |\theta|^2 \right) +$$

$$+ 2R_1 r_{11} \left(|Z_{out}|^2 - 2R_{out} r_{22} - 2X_{out} x_{22} + |z_{22}|^2 \right) +$$

$$+ 2R_1 rR_{out} - 2R_1 rr_{22} + 2R_1 xX_{out} - 2R_1 xx_{22} +$$

$$+ 2X_1 x_{11} \left(|Z_{out}|^2 - 2R_{out} r_{22} - 2X_{out} x_{22} + |z_{22}|^2 \right) +$$

$$+ 2X_1 xR_{out} - 2X_1 xr_{22} - 2X_1 rX_{out} + 2X_1 rx_{22} +$$

$$+ \varepsilon \left(|Z_{out}|^2 - 2R_{out} r_{22} - 2X_{out} x_{22} + |z_{22}|^2 \right) = 0 \quad (4.43)$$

$$\begin{aligned}
& |Z_{out}|^2 \left(|Z_{11}|^2 + 2R_1 r_{11} + 2X_1 x_{11} + \varepsilon \right) - \\
& -2R_{out} \left(-m_1 |Z_{11}|^2 + 2R_1 r_{11} r_{22} - R_1 r + 2X_1 x_{11} r_{22} - X_1 x + \varepsilon r_{22} \right) - \\
& -2X_{out} \left(-m_2 |Z_{11}|^2 + 2R_1 r_{11} x_{22} - R_1 x + 2X_1 x_{11} x_{22} + X_1 r + \varepsilon x_{22} \right) + \\
& + |\theta|^2 |Z_{11}|^2 + 2R_1 r_{11} |Z_{22}|^2 - 2R_1 r r_{22} - 2R_1 x x_{22} + 2X_1 x_{11} |Z_{22}|^2 - \\
& - 2X_1 x r_{22} + 2X_1 r x_{22} + \varepsilon x_{22} = 0
\end{aligned} \tag{4.44}$$

Eşitlik (4.44)'deki ifade eşitlik (4.45)'deki gibi Z_{out} alanındaki genel çember denklemini haline sokulursa, çemberinin merkez fazörü $Z_o = R_o + jX_o$ ve yarıçap r_o ifadeleri tanımlanan parametreler cinsinden eşitlik (4.46), (4.47), (4.48) ve (4.49)'daki gibi bulunabilirler.

$$|Z_{out}|^2 - 2R_{out} R_o - 2X_{out} X_o + |Z_o|^2 - r_o^2 = 0 \tag{4.45}$$

$$R_o = \frac{-m_1 |Z_{11}|^2 + 2R_1 r_{11} r_{22} - R_1 r + 2X_1 x_{11} r_{22} - X_1 x + \varepsilon r_{22}}{|Z_{11}|^2 + 2R_1 r_{11} + 2X_1 x_{11} + \varepsilon} \tag{4.46}$$

$$X_o = \frac{-m_2 |Z_{11}|^2 + 2R_1 r_{11} x_{22} - R_1 x + 2X_1 x_{11} x_{22} + X_1 r + \varepsilon x_{22}}{|Z_{11}|^2 + 2R_1 r_{11} + 2X_1 x_{11} + \varepsilon} \tag{4.47}$$

$$\begin{aligned}
K_o = & \frac{|\theta|^2 |Z_{11}|^2 + 2R_1 r_{11} |Z_{22}|^2 - 2R_1 r r_{22} - 2R_1 x x_{22} + 2X_1 x_{11} |Z_{22}|^2}{|Z_{11}|^2 + 2R_1 r_{11} + 2X_1 x_{11} + \varepsilon} - \\
& - \frac{2X_1 x r_{22} + 2X_1 r x_{22} + \varepsilon x_{22}}{|Z_{11}|^2 + 2R_1 r_{11} + 2X_1 x_{11} + \varepsilon}
\end{aligned} \tag{4.48}$$

$$r_o = \sqrt{|Z_o|^2 - K_o} \tag{4.49}$$

Tasarımın ilk aşamasında, eşitlik (4.31), (4.32) ve (4.33)'de elde edilen R_{cnss} , X_{cnss} ve K_s ifadeleri; eşitlik (4.46), (4.47) ve (4.49)'de sırasıyla verilen R_o , X_o , r_o ifadelerindeki R_1 , X_1 ve ε ile sırasıyla değiştirilirse; Z_{out} alanında, tek reaktif elemanla

seri geri besleme uygulanmış devreye ait gürültü çemberinin merkez fazör $Z_{cnos} = R_{cnos} + jX_{cnos}$ ve yarıçap r_{nos} değerleri eşitlik (4.50), (4.51) ve (4.52)'deki gibi bulunur.

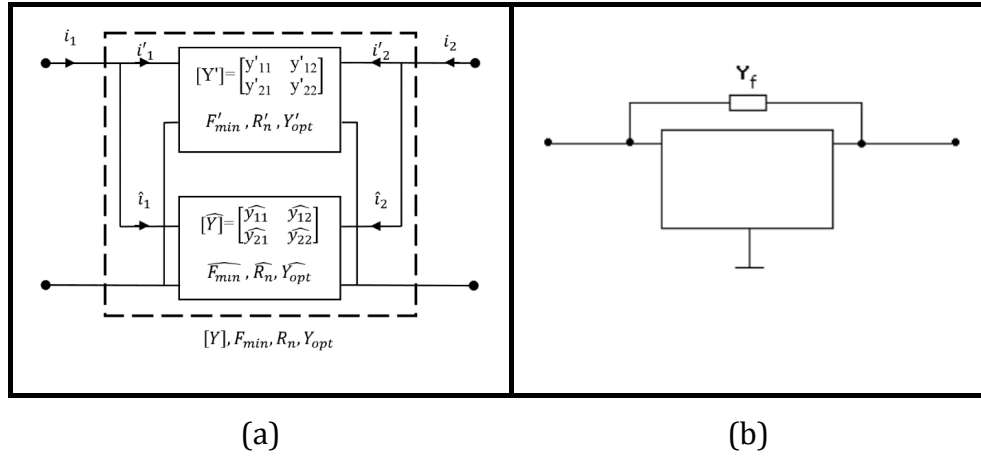
$$R_{cnos} = R_o \left|_{R_1=R_{cnss}; X_1=X_{cnss}; \varepsilon=K_s} \right. \quad (4.50)$$

$$X_{cnos} = X_o \left|_{R_1=R_{cnss}; X_1=X_{cnss}; \varepsilon=K_s} \right. \quad (4.51)$$

$$r_{nos} = r_o \left|_{R_1=R_{cnss}; X_1=X_{cnss}; \varepsilon=K_s} \right. \quad (4.52)$$

4.2 Paralel Geri Beslemeli İki Kapılının Gürültü Çemberinin Bulunması

Tek elemanlı reaktif paralel geri besleme uygulanmış iki kapılıya ait devre modeli Şekil 4.2'de gösterilmiştir.



Şekil 4.2 Paralel geri beslemeli devre modeli (a) genelleştirilmiş (b) kayıpsız tek elemanlı

Bu devreye ait gürültü faktörü eşitlik (4.53)'de verilmiştir [41].

$$F_{SH} = F'_{min} + \frac{R'_n}{G_s} |Y_s - Y'_{opt}|^2 + \frac{R'_n}{G_s} \left\{ |\Psi_1|^2 + 2 \operatorname{Re} \left[\left(\frac{F'_{min} - 1}{2R'_n} - (Y'_{opt})^* \right) (\Psi_1 - Y_s) \right] - |Y_s|^2 \right\} \quad (4.53)$$

Eşitlik (4.53)'de kullanılan parametreler ise aşağıdaki eşitliklerde verilmiştir [41].

$$\psi_1 = E_1 + Y_s D_1 \quad (4.54)$$

$$E_1 = \frac{\hat{y}_{11} y'_{21} - y'_{11} \hat{y}_{21}}{y'_{21} + \hat{y}_{21}} \quad (4.55)$$

$$D_1 = \frac{y'_{21}}{y'_{21} + \hat{y}_{21}} \quad (4.56)$$

$$[Y] = [Y'] + [Y^\wedge] = [Z]^{-1} \quad (4.57)$$

Tasarımın ilk aşamasında, geri besleme uygulanmış gürültü çemberi Z_s alanında oluşturulmuştur. Z_s alanında genel çember denklemi eşitlik (4.58)'de verilmiştir.

$$|Z_s|^2 - 2R_s R_c - 2X_s X_c + |Z_c|^2 - r_c^2 = 0 \quad (4.58)$$

Y_s , G_s , B_s tanımlarının Z_s cinsinden ifadesi eşitlik (4.59), (4.60), (4.61) ve (4.62)'de verilmiştir.

$$Y_s = 1/Z_s \quad (4.59)$$

$$G_s = R_s / |Z_s|^2 \quad (4.60)$$

$$B_s = -X_s / |Z_s|^2 \quad (4.61)$$

$$|Y_s - Y'_{opt}|^2 = |Z_s - Z'_{opt}|^2 / (|Z_s|^2 |Z'_{opt}|^2) \quad (4.62)$$

Bu dönüşümlerin yanında, çember ifadesi çıkarılırken yardımcı olacak a ve b parametreleri ise eşitlik (4.63) ve (4.63)'te verilmiştir.

$$a = F_{SH} - F'_{\min} \quad (4.63)$$

$$b = \left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt} \right) \quad (4.64)$$

Tanımlanan yeni parametreler ve değişken dönüşümleri eşitlik (4.53)'te yerine konulursa; eşitlik (4.65) elde edilir.

$$\begin{aligned} & -a + \frac{R'_n}{R_s} |Z_s|^2 \frac{|Z_s - Z'_{opt}|^2}{|Z_s|^2 |Z'_{opt}|^2} + \\ & + \frac{R'_n}{R_s} |Z_s|^2 \left\{ 2 \operatorname{Re} \left[b Y_s^* (A_1 Y_s + B_1 - 1) \right] + 2 \operatorname{Re} \left[b Y_s^* (A_1 Y_s + B_1 - 1) \right] \right\} = 0 \end{aligned} \quad (4.65)$$

Eşitlik (4.65)'te $R'_n / |Z'_{opt}|^2 = f$ olarak tanımlanıp eşitlik (4.65) bir adım daha düzenlenirse; eşitlik (4.66) elde edilir.

$$\begin{aligned} & -a + \frac{R'_n}{R_s} |Z_s|^2 \frac{|Z_s - Z'_{opt}|^2}{|Z_s|^2 |Z'_{opt}|^2} + \frac{R'_n}{R_s} |Z_s|^2 \cdot \\ & \cdot \left\{ \frac{\left| Z_s + \left(\frac{D_1}{E_1} \right) \right|^2}{|Z_s|^2} + 2 \operatorname{Re} \left[b E_1 + b (D_1 - 1) \frac{R_s}{|Z_s|^2} - b (D_1 - 1) \frac{j X_s}{|Z_s|^2} \right] - \frac{1}{|Z_s|^2} \right\} = 0 \end{aligned} \quad (4.66)$$

Eşitlik (4.66)'yı matematiksel açıdan sadeleştirmek için tanımlanan parametreler aşağıdaki eşitliklerde verilmiştir.

$$c = \operatorname{Re}(b E_1) \quad (4.67)$$

$$d = \operatorname{Re}[(D_1 - 1)b] \quad (4.68)$$

$$e = \operatorname{Im}[(D_1 - 1)b] \quad (4.69)$$

$$f = \frac{R'_n}{|Z'_{opt}|^2} \quad (4.70)$$

$$h = R'_n |E_1|^2 \quad (4.71)$$

$$k = |D_1/E_1|^2 \quad (4.72)$$

$$m = \text{Re}(D_1/E_1) \quad (4.73)$$

$$n = \text{Im}(D_1/E_1) \quad (4.74)$$

Tanımlanan bu parametreler, eşitlik (4.66)'da yerine konulup eşitlik düzenlenirse, eşitlik (4.75), (4.76) ve (4.77) elde edilir.

$$f \left(|Z_s|^2 - 2R_s R'_{opt} - 2X_s X'_{opt} + |Z'_{opt}|^2 \right) + h \left(|Z_s|^2 + 2R_s m + 2X_s n + k \right) + 2cR'_n |Z_s|^2 + 2dR'_n R_s + 2eR'_n X_s - R'_n - aR_s = 0 \quad (4.75)$$

$$|Z_s|^2 (f + h + 2cR'_n) - 2R_s (fR'_{opt} - hm - dR'_n + a/2) - 2X_s (fX'_{opt} - hn - eR'_n) + f |Z'_{opt}|^2 + hk - R'_n = 0 \quad (4.76)$$

$$|Z_s|^2 - 2R_s \left(\frac{fR'_{opt} - hm - dR'_n + a/2}{f + h + 2cR'_n} \right) - 2X_s \left(\frac{fX'_{opt} - hn - eR'_n}{f + h + 2cR'_n} \right) + \frac{f |Z'_{opt}|^2 + hk - R'_n}{f + h + 2cR'_n} = 0 \quad (4.77)$$

Eşitlik (4.78), Z_s alanında, tek reaktif elemanla paralel geri besleme uygulanmış devrenin gürültü çemberini gösterir. Bu çemberin merkez fazörü $Z_{cnsp} = R_{cnsp} + jX_{cnsp}$ olup yarıçap r_{nsp} olarak ifade edilir ve bu ifadeler eşitlik (4.78), (4.79), (4.80) ve (4.81)'de verilmiştir.

$$R_{cns p} = \frac{fR'_{opt} - hm - dR'_n + a/2}{f + h + 2cR'_n} \quad (4.78)$$

$$X_{cns p} = \frac{fX'_{opt} - hn - eR'_n}{f + h + 2cR'_n} \quad (4.79)$$

$$K_p = \frac{f|Z'_{opt}|^2 + hk - R'_n}{f + h + 2cR'_n} \quad (4.80)$$

$$r_{nsp} = \sqrt{|Z'_{cns p}|^2 - K_p} \quad (4.81)$$

Paralel geri beslemeli gürültü çemberi bulunurken tanımlanan parametreler eşitlik (4.78), (4.79) ve (4.80) denklemlerinde yerine konulursa, eşitlik (4.82), (4.83), ve (4.84) bulunur.

$$R_{cns p} = \frac{\left(R'_n / |Z'_{opt}|^2\right) R'_{opt} - \text{Re}[D_1 / E_1] R'_n |E_1|^2}{R'_n / |Z'_{opt}|^2 + R'_n |E_1|^2 + 2 \text{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}{}^* \right) E_1 \right] R'_n} - \frac{\text{Re} \left[(D_1 - 1) \left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}{}^* \right) \right] R'_n + [(F_{SH} - F'_{\min}) / 2]}{R'_n / |Z'_{opt}|^2 + R'_n |E_1|^2 + 2 \text{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}{}^* \right) E_1 \right] R'_n} \quad (4.82)$$

$$X_{cns p} = \frac{\left(R'_n / |Z'_{opt}|^2\right) X'_{opt} - \text{Im}[D_1 / E_1] R'_n |E_1|^2}{R'_n / |Z'_{opt}|^2 + R'_n |E_1|^2 + 2 \text{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}{}^* \right) E_1 \right] R'_n} - \frac{\text{Im} \left[(D_1 - 1) \left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}{}^* \right) \right] R'_n}{R'_n / |Z'_{opt}|^2 + R'_n |E_1|^2 + 2 \text{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}{}^* \right) E_1 \right] R'_n} \quad (4.83)$$

$$K_p = \frac{R'_n |D_1|^2}{R'_n / |Z'_{opt}|^2 + R'_n |E_1|^2 + 2 \text{Re} \left[\left(\frac{F'_{\min} - 1}{2R'_n} - Y'_{opt}{}^* \right) E_1 \right] R'_n} \quad (4.84)$$

Tasarımın ikinci aşaması, Z_s alanındaki çemberin, Z_{out} alanına taşınmasıdır. Bu işlem, seri geri beslemeli devrenin Z_{out} alanında gürültü çemberinin elde edilmesinde bulunmuştur. Tasarımın bu aşamasında eşitlik (4.82), (4.83) ve (4.84)'te elde edilen $R_{cns p}$, $X_{cns p}$ ve K_p ifadeleri, eşitlik (4.46), (4.47) ve (4.49)'da sırası ile verilen R_o , X_o , r_o ifadelerindeki R_1 , X_1 ve ε olarak sırasıyla değiştirilirse; Z_{out} alanında, tek reaktif elemanla paralel geri besleme uygulanmış devreye ait gürültü çemberinin merkez fazör $Z_{cnop} = R_{cnop} + jX_{cnop}$ ve yarıçap r_{nop} değerleri eşitlik (4.85), (4.86) ve (4.87)'deki gibi bulunur.

$$R_{cnop} = R_o \Big|_{R_1=R_{cns p} ; X_1=X_{cns p} ; \varepsilon=K_p} \quad (4.85)$$

$$X_{cnop} = X_o \Big|_{R_1=R_{cns p} ; X_1=X_{cns p} ; \varepsilon=K_p} \quad (4.86)$$

$$r_{nop} = r_o \Big|_{R_1=R_{cns p} ; X_1=X_{cns p} ; \varepsilon=K_p} \quad (4.87)$$

4.3 Çıkış Empedansı Düzleminde Kazanç Çemberlerinin Bulunması

Bölüm 4.3 ve Bölüm 4.4'de verilen çalışma [12], [30]'deki çalışmalar referans alınarak hazırlanmıştır.

Z parametresi düzleminde, dönüştürücü güç kazancına (transducer gain) ait denklem eşitlik (4.88)'de verilmiştir.

$$G_T = G_T(Z_s, Z_L) = \frac{4R_s R_L |z_{21}|^2}{|(z_{11} + Z_s)(z_{22} + Z_L) - z_{12} z_{21}|^2} \quad (4.88)$$

Bu kazanç ifadesi, çıkış yansıma katsayısını parametresi cinsinden eşitlik (4.89)'deki gibi yazılabilir.

$$G_T = G_{AV} M_{out} = \frac{|z_{21}|^2}{|z_{11} + Z_s|^2} \frac{R_s}{R_{out}} (1 - |\rho_{out}|^2) \quad (4.89)$$

Eşitlik (4.89)'daki kaynak empedansı bağlı olan parametreler, çıkış empedansı cinsinden eşitlik (4.35) yardımıyla çıkış empedansı düzleminde bir çember oluşturacak şekilde eşitlik (4.90)'daki gibi yazılabilir.

$$\begin{aligned} |Z_{out}|^2 - 2\frac{1}{2r_{11}}(Q-P)R_{out} - 2\frac{1}{2r_{11}}(2x_{22}r_{11}-x)X_{out} - \\ - \frac{1}{r_{11}}(rr_{22}+xx_{22}) + |z_{22}|^2 = 0 \end{aligned} \quad (4.90)$$

Eşitlik (4.90)'da kullanılan parametreler eşitlik (4.91) ve (4.92)'de tanımlanmıştır.

$$P = \frac{|z_{12}|^2}{1-|\rho_{out}|^2} G_T \quad (4.91)$$

$$Q = 2r_{11}r_{22} - r \quad (4.92)$$

Kazanç çemberlerinin merkezi $Z_{cg}=R_{cg}+jX_{cg}$ olarak ve yarıçapları ise r_g olarak eşitlik (4.93), (4.94) ve (4.95)'deki gibi tanımlanabilir.

$$R_{cg} = \frac{1}{2r_{11}}(Q-P) \quad (4.93)$$

$$X_{cg} = \frac{1}{2r_{11}}(2x_{22}r_{11}-x) \quad (4.94)$$

$$r_g = \frac{1}{2r_{11}}\sqrt{P^2 - 2QP + |z|^2} \quad (4.95)$$

Eşitlik (4.94) incelendiğinde, kazanç çemberlerinin merkez fazörleri sabit bir X_{cg} üzerinde yer alırken, reel kısımları (R_{cg}) kazanç değerinin artmasıyla beraber azalır. Çıkış yansıma katsayısına göre sınırlandırılmış maksimum kazanç, yarıçap r_g değeri sıfıra ulaştığında sağlanır. Eşitlik (4.95)'de r_g değerini sıfır yapan P değerleri eşitlik (4.96)'daki gibidir.

$$P_{1,2} = Q \pm \sqrt{(Q^2 - |z|^2)} \quad (4.96)$$

Eşitlik (4.96)'daki P parametresinin reel olması için $Q > |z|$ şartı sağlanmalıdır. Bu şart da sadece ve sadece transistörün koşulsuz kararlı olması ile sağlanır. Bunların yanında eşitlik (4.96)'da '-' işaretli olan P değeri seçilerek çemberin merkez fazörünün reel kısmının pozitif olması sağlanır. Bu işlemler doğrultusunda maksimum kazançta ait denklem ve merkez fazörü eşitlik (4.97), (4.98) ve (4.99) yardımıyla bulunur.

$$G_{T \max} = \left(Q - \sqrt{Q^2 - |z|^2} \right) \frac{1 - |\rho_{out}|^2}{|z_{12}|^2} \quad (4.97)$$

$$Z_{out \max} = Z_{cg \max} = R_{cg \max} + jX_{cg} \quad (4.98)$$

$$R_{cg \max} = \frac{1}{2r_{11}}(Q^2 - |z|^2) \quad (4.99)$$

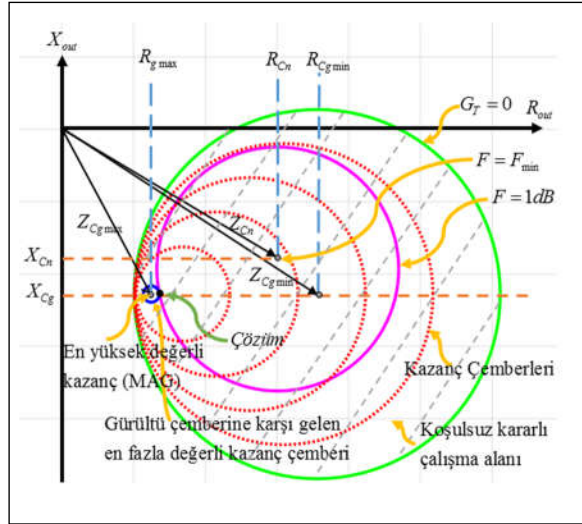
$G_T=0$ çemberi tüm çemberleri kapsar ve minimum kazanç gösteren çemberdir. Minimum kazanç çemberine ait merkez fazör ve yarıçap değerleri eşitlik (4.91)'de $G_T=0$ yapılarak bulunur ve minimum kazançta ait denklem ve merkez fazörü eşitlik (4.100), (4.101) ve (4.102) yardımıyla bulunur.

$$Z_{cg \min} = R_{cg \min} + jX_{cg} \quad (4.100)$$

$$R_{cg \min} = \frac{Q}{2r_{11}} \quad (4.101)$$

$$r_{g \min} = \frac{|z|}{2r_{11}} \quad (4.102)$$

Koşulsuz kararlı olma koşulları $r_{11} > 0$, $r_{22} > 0$ ve $Q > |z|$ sağlandığında $R_{cgmin} > r_{gmin}$ koşulu da sağlanmış olur ve Şekil 4.3'te olduğu gibi $G_T=0$ çemberi tamamen sağ yarı düzlemde yer alır ve diğer tüm kazanç çemberlerini kapsar.



Şekil 4.3 Koşulsuz kararlı transistör için tasarım konfigürasyonu

4.3.1 Koşullu Kararlı Durumunda Kazanç İfadesinin Bulunması

Koşullu kararlı durumunda eşitlik (4.90)'da verilen kazanç ifadesi eşitlik (4.103)'teki gibi yeniden yazılabilir.

$$|Z_{out}|^2 + 2(R_{cL} + L)R_{out} + 2X_{cL}X_{out} + |Z_{cg}|^2 - r_g^2 = 0 \quad (4.103)$$

Eşitlik (4.103)'de verilen L parametresi eşitlik (4.104)'de verilmiştir.

$$L = \frac{|z_{12}|^2 G_T}{2r_{11}(1 - |\rho_{out}|^2)} \quad (4.104)$$

Kazanç çemberinin merkezi $Z_{cg}=R_{cg}+jX_{cg}$ ve yarıçapı r_g eşitlik (4.105), (4.106) ve (4.107)'de verilmiştir.

$$R_{cg} = -(R_{cL} + L) \quad (4.105)$$

$$X_{cg} = -X_{cL} \quad (4.106)$$

$$r_g^2 = (L^2 + 2LR_{cL} + r_L^2) \quad (4.107)$$

Eşitlik (4.105), (4.106) ve (4.107)'de R_{cL} ve X_{cL} sırasıyla yük kararlılık çemberinin merkez noktasına ait reel ve imajiner kısmı iken r_L yük kararlılık çemberine ait yarıçap olarak verilir. İki kapılı bir devrenin giriş kapısından içeri güç aktarılabilmesi için giriş empedansının reel kısmı sıfırdan büyük olmalıdır.

$$Z_{in} = Z_{11} - \frac{Z_{21}Z_{12}}{Z_{22} + Z_L} \quad (4.108)$$

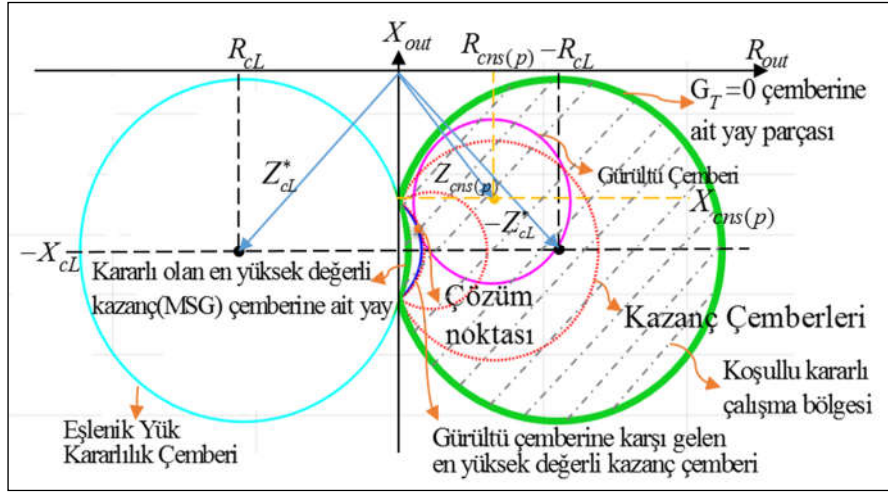
Eşitlik (4.108)'e göre $Re(Z_{in})=R_{in}=0$ yapan Z_L değerleri bir çember formatındadır. Bu çemberin merkezi $Z_{cL}=R_{cL}+jX_{cL}$ olup yarıçapı r_L değerinde olup eşitlik (4.109), (4.110) ve (4.111)'de verilmiştir. R_{in} değerinin sıfırdan büyük olması için seçilen R_L değerlerinin de sıfırdan büyük olması gerekir.

$$R_{cL} = -\frac{2r_{11}r_{22} - r}{2r_{11}} \quad (4.109)$$

$$X_{cL} = -\frac{2r_{11}x_{22} - x}{2r_{11}} \quad (4.110)$$

$$r_L = \frac{|z|}{2r_{11}} \quad (4.111)$$

Koşullu kararlı duruma sahip bir transistöre ait tasarım konfigürasyonu Şekil 4.4'te verilmiştir.



Şekil 4.4 Koşullu kararlı transistör için tasarım konfigürasyonu

Koşullu kararlı iki kapının kazanç dairelerine ilişkin özellikler şu şekilde verilebilir:

- Kazanç çemberlerinin hepsi imajiner ekseni iki aynı noktada keser. Ayrıca bu kesim noktası, eşlenik yük kararlılık çemberinin imajiner ekseni kestiği noktadır.
- En az kazançlı olan $G_T=0$ çemberi imajiner eksene göre eşlenik yük kararlılık çemberinin simetriği konumundadır. $G_T=0$ çemberinin merkezi $Z_{cgmin} = -R_{cs} - jX_{cs}$ fazöründe olup yarıçapı ise $r_{gmin} = r_s$ değerindedir.
- Eşlenik yük kararlılık çemberi ile $G_T=0$ çemberi arasında kalan bölüm çalışma bölgesi olarak adlandırılır ve bu alanda $0 < G_{Treq} < G_{Tmax}$ çemberleri bulunur.

Koşullu kararlı durumunda, elde edilen en fazla kazanç (*MSG-maximum stable gain*) eşlenik yük kararlılık çemberinin çıkış empedansı düzlemine göre sağ tarafında kalan yayı üstünden elde edilir. Bu değer $R_{cg}=R_{CL}$ ve $|\rho_{out}|=0$ alınarak eşitlik (4.112)'deki gibi bulunur.

$$MSG = 2 \left| \frac{z_{21}}{z_{12}} \right| \eta \quad (4.112)$$

Burada η kararlılık faktörü olarak adlandırılır ve eşitlik (4.113)'deki gibi tanımlanır.

$$\eta = \frac{2r_{11}r_{22} - r}{|z|} \quad (4.113)$$

Koşullu kararlılık durumunda $0 < \eta < 1$ değerini alır ve koşullu kararlılık durumu için gerekli ve yeter şart eşitlik (4.114)'te verilmiştir.

$$r_{11} > 0, r_{22} > 0 \quad 0 < (Q / |z|) < 1 \quad (4.114)$$

4.4 Çıkış Empedansı Düzleminde Tasarım Konfigürasyonun Oluşturulması

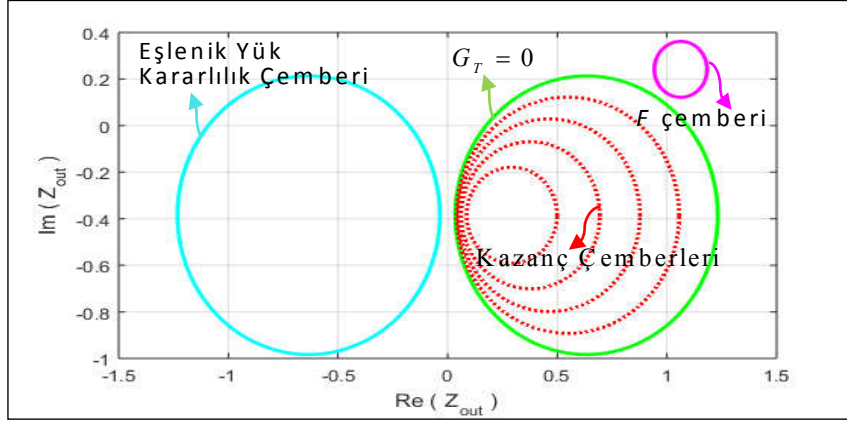
Şekil 4.3'te koşulsuz kararlı, Şekil 4.4'te ise koşullu kararlı transistör için çıkış empedansı düzleminde tasarım konfigürasyonları gözükmektedir. Burada amaç, geri besleme uygulanmış iki kapılının gürültü faktörü çemberine karşı düşen en fazla kazanca sahip kazanç çemberini bulmaktır.

4.4.1 Koşulsuz Kararlılık Durumunda Tasarım Konfigürasyonu

Koşulsuz kararlılık durumunda gürültü faktörü çemberi sağ yarı düzlemde ve koşulsuz kararlı çalışma bölgesi içinde yer alırsa gürültü çemberine karşı gelen bir kazanç çemberi vardır. Gürültü faktörü çemberi ile kazanç çemberlerinin koşulsuz kararlı durumda birbirlerine göre durumları ilerleyen bölümlerde verilmiştir.

4.4.1.1 Gürültü Çemberinin Tamamının Koşulsuz Kararlı Çalışma Bölge Dışında Kalması Durumu

Gürültü çemberinin tamamının, koşulsuz kararlı bölge ($G_T=0$ çemberi) dışında kalması durumunda, bu gürültü çemberine karşı gelen herhangi bir kazanç çemberi yoktur. Bu durum matematiksel olarak $|Z_{cgmin}-Z_{cn}| > r_n + r_s$ ifadesiyle gösterilebilir.



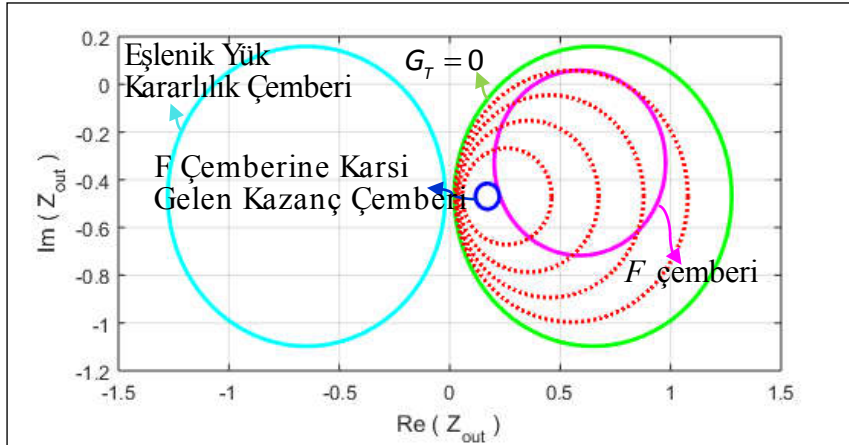
Şekil 4.5 Gürültü çemberinin koşulsuz kararlı çalışma alanı dışında kalma durumu

4.4.1.2 Gürültü Çemberinin Koşulsuz Kararlı Çalışma Bölgesi İçerisinde Kalması Durumu

Gürültü çemberinin tamamının veya bir kısmının koşulsuz kararlı çalışma bölgesi içerisinde kalması durumunda gürültü çemberine karşı gelen bir kazanç çemberi mevcuttur. Bu durum, üç alt ana durum şeklinde bölünebilir.

- **Gürültü Çemberi İle Kazanç Çemberinin Dış Teğet Olması Durumu**

$|Z_{cgmax} - Z_{cn}| > r_n$ matematiksel koşulu altında, gürültü çemberine dıştan teğet olacak şekilde bir kazanç çemberi vardır. Şekil 4.6'da bu duruma örnek bir konfigürasyon verilmiştir.



Şekil 4.6 Koşulsuz kararlı durumda gürültü çemberi ile kazanç çemberinin birbirine dıştan teğet olma örnek durumu

Gürültü çemberi ile kazanç çemberinin dıştan teğet olma durumu eşitlik (4.115)'de verilmiştir.

$$\left| Z_{cg} - Z_{cn} \right|^2 = (r_g + r_n)^2 \quad (4.115)$$

Eşitlik (4.115) matematiksel olarak eşitlik (4.116) şeklinde açılabilir.

$$\left| Z_{cg} \right|^2 + \left| Z_{cn} \right|^2 - 2R_{cg}R_{cn} - 2X_{cg}X_{cn} = r_n^2 + r_g^2 + 2r_g r_n \quad (4.116)$$

R_{cg} , X_{cg} , r_g için önceki bölümlerde belirtilen ifadeler eşitlik (4.116)'da yerine yazılıp, eşitlik (4.117), (4.118), (4.119) ve (4.120)'de verilen parametre dönüşümleri yapılırsa eşitlik (4.121) elde edilir.

$$D = \left| Z_{cg} \right|^2 + \left| Z_{cn} \right|^2 - r_g^2 - r_n^2 \quad (4.117)$$

$$E = \frac{Dr_{11} - QR_{cn} - 2r_{11}X_{cg}X_{cn}}{r_n} \quad (4.118)$$

$$F = \frac{R_{cn}}{r_n} \quad (4.119)$$

$$E + PF = \sqrt{P^2 - 2QP + |z|^2} \quad (4.120)$$

$$P^2(1 - F^2) - 2(Q + EF)P + |z|^2 - E^2 = 0 \quad (4.121)$$

Eşitlik (4.121)'in çözümü eşitlik (4.122)'de verilmiştir.

$$P_{1,2} = \frac{1}{(1 - F^2)} \left\{ Q + EF \pm \sqrt{(Q + EF)^2 - (1 - F^2)(|z|^2 - E^2)} \right\} \quad (4.122)$$

Eşitlik (4.122)'de bulunan P değerleri, eşitlik (4.123)'de verilen kazanç ifadesinde yerine yazılırsa, gürültü çemberine dıştan teğet olacak şekilde elde edilen kazanç ifadelerinin çözümü eşitlik (4.124)'de verilmiştir.

$$G_T = \frac{P(1-|\rho_{out}|^2)}{|z_{12}|^2} \quad (4.123)$$

$$G_{T1,2} = \underbrace{\frac{1-|\rho_{out}|^2}{|z_{12}|^2}}_{<0} \frac{1}{1-F^2} \left\{ Q + EF \pm \sqrt{(Q + EF)^2 - (1-F^2)(|z|^2 - E^2)} \right\} \quad (4.124)$$

Eşitlik (4.124)'de iki adet kazanç denklemi bulunur. Bu ifadenin ilk kısmı sıfırdan küçük olduğu için, parantez içinde de eksi işaretli olan değer alınarak pozitif kazanç sağlanmış olur. Bu işlemlerin ardından, gürültü çemberine dıştan teğet olacak şekilde en büyük kazanç çemberine ait değer [12] ve [30] referans çalışmalarında olduğu gibi eşitlik (4.125)'deki gibi bulunur.

$$G_{T \max} = \frac{1-|\rho_{out}|^2}{|z_{12}|^2} \frac{1}{1-F^2} \left\{ Q + EF - \sqrt{(Q + EF)^2 - (1-F^2)(|z|^2 - E^2)} \right\} \quad (4.125)$$

Kazanç çemberi ile gürültü çemberinin dış teğet olduğu noktada, iki kapılının çıkış empedansına ait değer eşitlik (4.126)'daki gibi bulunur.

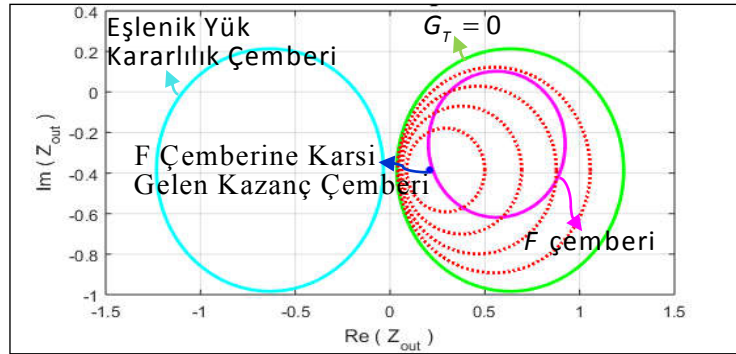
$$Z_{out} = \frac{r_g}{r_n + r_g} Z_{cn} + \frac{r_n}{r_n + r_g} Z_{cg} \quad (4.126)$$

Çözüme ait çıkış empedansı bulunduktan sonra, yük empedansı bu değer eşleniği olarak seçilir. Kaynak empedansı, yük empedans değerinin eşitlik (2.7)'de kullanılmasıyla bulunurken; giriş empedansı da yük empedans değerinin eşitlik (2.4)'de kullanılmasıyla bulunur.

- **Gürültü Çemberinin MAG Noktası Üzerinde Olması Durumu**

Gürültü çemberi, en fazla kazanç sağlayan nokta (*MAG*) üzerinde ise, bu durumun matematiksel olarak gösterimi $|Z_{cgmax}-Z_{cn}|=r_n$ şeklindedir. Bu durumda; gürültü çemberine karşı gelen kazanç değeri, en fazla kazanç sağlayan noktadır (*MAG*). Bu durumda elde edilen çözüm noktası (çıkış empedansı) ise *MAG* merkez fazörüdür. (Şekil 4.7) ($Z_{out}=Z_{cgmax}$) Çıkış empedansı bulunduktan sonra, yük empedansı bu

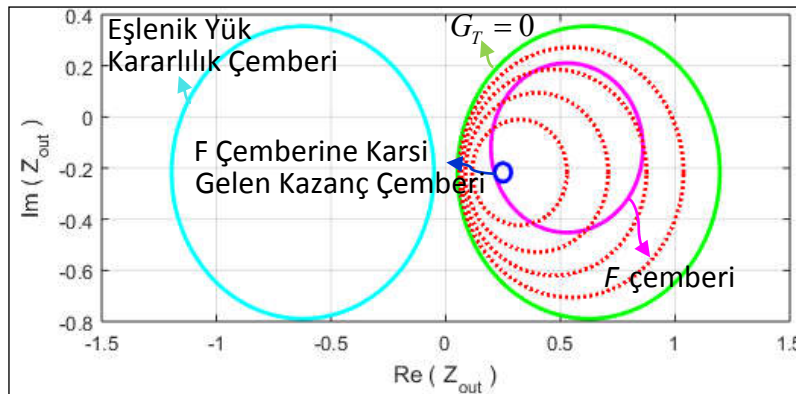
değerin eşleniği olarak seçilir. Kaynak empedansı, yük empedans değerinin eşitlik (2.7)'de kullanılmasıyla bulunurken; giriş empedansı da yük empedans değerinin eşitlik (2.4)'de kullanılmasıyla bulunur.



Şekil 4.7 Koşulsuz kararlı durumda gürültü çemberinin MAG noktası üzerinde olması örnek durumu

- **Gürültü Çemberi İle Kazanç Çemberinin İç Teğet Olması Durumu**

$|Z_{cgmax} - Z_{cn}| < r_n$ matematiksel koşulu altında, gürültü çemberine içten teğet olacak şekilde bir kazanç çemberi vardır (Şekil 4.8).



Şekil 4.8 Koşulsuz kararlı durumda gürültü çemberi ile kazanç çemberinin birbirine içten teğet olma örnek durumu

Gürültü çemberi ile kazanç çemberinin birbirine içten teğet olma durumu eşitlik (4.127)'de verilmiştir.

$$|Z_{cg} - Z_{cn}|^2 = (r_g - r_n)^2 \quad (4.127)$$

Gürültü çemberine içten teğet olacak şekilde en fazla kazanç sağlayan kazanç çemberi bulunurken, dıştan teğet olma durumundaki hesaplamalara benzer

hesaplama yapılır yalnızca “ r_n ” yerine “ $-r_n$ ” konulur. Bu durumda gürültü çemberine içten teğet olacak şekilde karşı gelen kazanç değeri eşitlik (4.128)’deki gibidir.

$$G_{T1,2} = \frac{1 - |\rho_{out}|^2}{|z_{12}|^2} \frac{1}{1 - F^2} \left\{ Q + EF \pm \sqrt{(Q + EF)^2 - (1 - F^2)(|z|^2 - E^2)} \right\} \quad (4.128)$$

Bulunan bu kazanç değerlerinden büyük olanı alınarak, gürültü çemberine içten teğet olacak şekilde karşı gelen büyük kazanç çemberi seçilmiş olur. Kazanç çemberi ile gürültü çemberinin iç teğet olduğu noktadan çıkış empedansına ait değer eşit (4.129)’daki gibi bulunur.

$$Z_{out} = \frac{r_g}{-r_n + r_g} Z_{cn} + \frac{-r_n}{-r_n + r_g} Z_{cg} \quad (4.129)$$

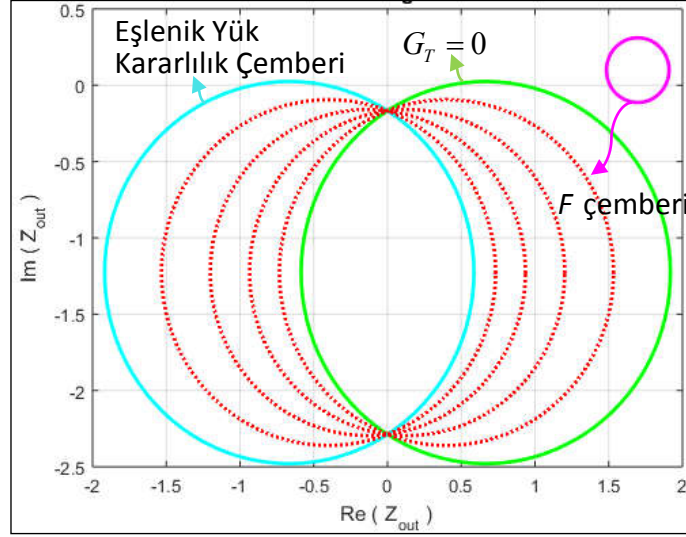
Çözüme ait çıkış empedansı bulunduktan sonra, yük empedansı bu değerle eşleniği olarak seçilir. Kaynak empedansı, yük empedans değerinin eşitlik (2.7)’de kullanılmasıyla bulunurken; giriş empedansı da yük empedans değeri eşitlik (2.4)’de kullanılmasıyla bulunur.

4.4.2 Koşullu Kararlılık Durumunda Tasarım Konfigürasyonu

Koşullu kararlılık durumunda, $G_T=0$ çemberi ile eşlenik yük kararlılık çemberi birbiri ile kesişmektedir. Çalışma bölgesi ise eşlenik yük kararlılık çemberinin sağ tarafında kalan yayı ile $G_T=0$ çemberi arasında kalan alandır. Bu alan dışında kalan noktalar için çözüm yoktur. Gürültü faktörü çemberi ile kazanç çemberlerinin koşullu kararlı durumda birbirlerine göre durumları ilerleyen bölümlerde verilmiştir.

4.4.2.1 Gürültü Çemberinin Tamamının Koşullu Kararlı Çalışma Bölge Dışında Kalması Durumu

Gürültü çemberinin tamamının, koşullu kararlı bölge dışında kalması durumunda, Şekil 4.9, bu gürültü çemberine karşı gelen herhangi bir kazanç çemberi yoktur. Bu durum matematiksel olarak $|Z_{cgmin} - Z_{cn}| > r_n + r_s$ ifadesiyle gösterilebilir.



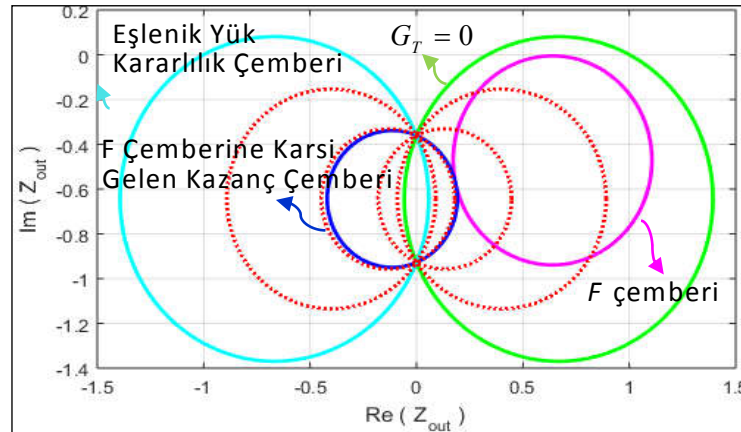
Şekil 4.9 Gürültü çemberinin koşullu kararlı çalışma alanı dışında kalma örnek durumu

4.4.2.2 Gürültü Çemberinin Koşullu Kararlı Çalışma Bölgesi İçerisinde Kalması Durumu

Gürültü çemberinin tamamının veya bir kısmının koşullu kararlı çalışma bölgesi içerisinde kalması durumunda gürültü çemberine karşı gelen bir kazanç çemberi mevcuttur. Bu durum üç alt ana durum şeklinde verilebilir.

- **Gürültü Çemberi İle Kazanç Çemberinin Dış Teğet Olması Durumu**

$|Z_{cgmax} - Z_{cn}| > (r_n + r_s) > |Z_{cgmin} - Z_{cn}|$ matematiksel koşulu altında, gürültü çemberine dıştan teğet olacak şekilde bir kazanç çemberi vardır. (Şekil 4.10)

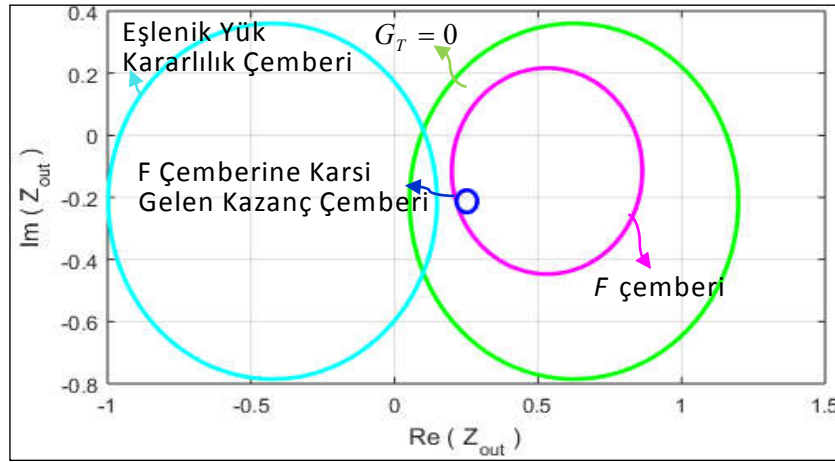


Şekil 4.10 Koşullu kararlı durumda gürültü çemberi ile kazanç çemberinin birbirine dıştan teğet olma örnek durumu

Koşullu kararlı durumda, gürültü çemberine dış teğet olarak karşı gelen kazanç çemberinin değeri ve çözüm noktasına ait empedans değerinin bulunması koşulsuz kararlı durumdaki dıştan teğet olma durumundaki hesaplama ile aynıdır.

- **Gürültü Çemberi İle Kazanç Çemberinin İç Teğet Olması Durumu**

$|Z_{cgmax}-Z_{cn}| > (r_s+r_n)$ ve $|r_n-r_s| > |Z_{cgmin}-Z_{cn}|$ matematiksel koşulu altında, gürültü çemberine içten teğet olacak şekilde bir kazanç çemberi vardır. (Şekil 4.11)



Şekil 4.11 Koşullu kararlı durumda gürültü çemberi ile kazanç çemberinin birbirine içten teğet olma örnek durumu

Koşullu kararlı durumda, gürültü çemberine iç teğet olarak karşı gelen kazanç çemberinin değeri ve çözüm noktasına ait empedans değerinin bulunması koşulsuz kararlı durumdaki içten teğet olma durumundaki hesaplama ile aynıdır.

- **Gürültü Çemberinin En Fazla Kararlı Kazanca Sahip Olan Kararlılık Çemberi İle Kesişmesi Durumu**

$|r_n-r_s| < |Z_{cgmax}-Z_{cn}| < (r_s+r_n)$ koşulu altında, gürültü çemberi en fazla kazanç değerine sahip olan kararlılık çemberini (MSG) keser. (Şekil 4.12)

Giriş Empedansı Düzleminde Transistör Performans Karakterizasyonu

Tezin bu bölümünde; Z_{out} düzleminde yapılan performans karakterizasyonunda giriş kapısına ait elde edilen V_{in} değeri istenilen aralığın dışında kalırsa, bunu çözmek için Z_{in} düzleminde yapılan performans karakterizasyonu verilmiştir. Bu performans karakterizasyonunun temeli, V_{in} ve V_{out} arasında bir optimizasyon işlemi yapılmasına dayanır. Bu işlemde, yük empedansı Z_L bir parametre olarak alınır ve Z_S kaynak empedansı da istenilen gürültü değerine karşı gelen en fazla kazancı sağlayacak şekilde, Z_{out} düzlemindeki performans karakterizasyonu aşamasında elde edilen değer olarak alınır. Bu yöntemi uygulamak için önce, Z_{in} alanında V_{in} , V_{out} ve işlemsel kazanç G_{op} çemberleri ilk aşamada elde Z_S değeri yardımıyla oluşturulur. Sonra (V_{in}, V_{out}) ikilisini sağlayan G_{op} ve Z_L değerlerine karşı gelen dönüştürücü kazanç G_T değeri elde edilir. Bu bölümde verilen çalışma [13], [30] çalışmaları referans alınarak hazırlanmıştır.

5.1 Giriş Empedansı Düzleminde Giriş VSWR Çemberinin Bulunması

Giriş empedansı düzleminde merkezi Z_c 'de yarıçapı r olan çembere ait genel denklem eşitlik (5.1)'de verilmiştir.

$$|Z_{in} - Z_c| = r \quad (5.1)$$

Eşitlik (5.1) kanonik halde, eşitlik (5.2)'deki gibi yazılabilir.

$$|Z_{in}|^2 - 2R_c R_{in} - 2X_c X_{in} + |Z_c|^2 - r^2 = 0 \quad (5.2)$$

Giriş VSWR'a (V_{in}) ait ifade eşitlik (5.3)'de verilmiştir.

$$V_{in} = \frac{1 + |\rho_{in}|}{1 - |\rho_{in}|} \quad (5.3)$$

Eşitlik (5.3)'de yer alan ρ_{in} ifadesi eşitlik (5.4)'de verilmiştir.

$$|\rho_{in}|^2 = \left| \frac{Z_S - Z_{in}^*}{Z_S + Z_{in}} \right|^2 \leq 1 \quad (5.4)$$

Eşitlik (5.4)'ün, sağ tarafındaki mutlak değer içindeki ifade, işaretin eşleniği ve işaretin kendisinin çarpımı şeklinde yazılıp matematiksel olarak açıldığında eşitlik (5.5) şekline dönüşür.

$$|Z_{in}|^2 - 2R_S \frac{1 + |\rho_{in}|^2}{1 - |\rho_{in}|^2} R_{in} + 2X_S X_{in} + |Z_S|^2 = 0 \quad (5.5)$$

(5.5) numaralı eşitlik, eşitlik (5.2)'ye benzetildiğinde V_{in} çemberine ait merkez fazör ve yarıçap ifadeleri eşitlik (5.6), (5.7) ve (5.8)'deki gibidir.

$$R_{CV_{in}} = \frac{1 + |\rho_{in}|^2}{1 - |\rho_{in}|^2} R_S \quad (5.6)$$

$$X_{CV_{in}} = -X_S \quad (5.7)$$

$$r_{V_{in}} = \frac{2|\rho_{in}|}{1 - |\rho_{in}|^2} R_S \quad (5.8)$$

5.2 Giriş Empedansı Düzleminde Çıkış VSWR Çemberinin Bulunması

Çıkış VSWR'a (V_{out}) ait ifade eşitlik (5.9)'da verilmiştir.

$$V_{out} = \frac{1 + |\rho_{out}|}{1 - |\rho_{out}|} \quad (5.9)$$

Eşitlik (5.9)'da yer alan ρ_{out} ifadesi eşitlik (5.10)'da verilmiştir.

$$|\rho_{out}|^2 = \left| \frac{Z_{out} - Z_L^*}{Z_{out} + Z_L} \right|^2 \leq 1 \quad (5.10)$$

Daha önceki bölümlerde de verilen Z_L 'nin Z_{in} cinsinden ifadesi eşitlik (5.11)'de verilmiştir.

$$Z_{in} = R_{in} + jX_{in} = z_{11} - \frac{z_{12}z_{21}}{z_{22} + Z_L} \Leftrightarrow Z_L = -z_{22} + \frac{z_{12}z_{21}}{z_{11} - Z_{in}} \quad (5.11)$$

Eşitlik (5.10)'in sağ tarafında yer alan mutlak değer içindeki ifadede Z_L yerine eşitlik (5.11)'deki Z_L ifadesi yazılarak eşitlik (5.2)'deki gibi bir çember formatına sokulursa, V_{out} çemberine ait merkez fazör ve yarıçap ifadeleri sırasıyla eşitlik (5.12), (5.13) ve (5.14)'te verilmiştir.

$$R_{CV_{out}} = -\frac{H_1^r T_1 - |\rho_{out}|^2 H_2^r T_2}{T_1 - |\rho_{out}|^2 T_2} \quad (5.12)$$

$$X_{CV_{out}} = -\frac{H_1^i T_1 - |\rho_{out}|^2 H_2^i T_2}{T_1 - |\rho_{out}|^2 T_2} \quad (5.13)$$

$$r_{V_{out}} = \sqrt{|Z_{CV_{out}}|^2 - \frac{|H_1|^2 T_1 - |\rho_{out}|^2 |H_2|^2 T_2}{T_1 - |\rho_{out}|^2 T_2}} \quad (5.14)$$

Eşitlik (5.12), (5.13) ve (5.14)'te kullanılan H_1 , H_2 , T_1 ve T_2 parametreleri ise eşitlik (5.15), (5.16), (5.17) ve (5.18)'de sırasıyla verilmiştir.

$$H_1 = H_1^r + jH_1^i = \frac{-Z_{out}^* z_{11} - \kappa}{z_{22} + Z_{out}} \quad (5.15)$$

$$H_2 = H_2^r + jH_2^i = \frac{-Z_{out} z_{11} + \kappa}{-z_{22} + Z_{out}} \quad (5.16)$$

$$T_1 = |z_{22} + Z_{out}^*|^2 \quad (5.17)$$

$$T_2 = |-z_{22} + Z_{out}|^2 \quad (5.18)$$

Eşitlik (5.15) ve (5.16) kullanılan κ ve z parametresi ise eşitlik (5.19)'da verilmiştir.

$$\kappa = z_{11}z_{22} - z ; z = z_{12}z_{21} = r + jx \quad (5.19)$$

5.3 Giriş Empedansı Düzleminde Koşullu Kararlı Durum için Kazanç Çemberinin Bulunması

Dönüştürücü güç kazancına ait genel ifade eşitlik (5.20)'deki gibidir.

$$G_T = G_T(Z_S, Z_L) = \frac{4R_S R_L |z_{21}|^2}{|(z_{11} + Z_S)(z_{22} + Z_L) - z_{12}z_{21}|^2} \quad (5.20)$$

Bu ifade giriş portundaki uyumsuzluk ve işlemsel kazanç şeklinde eşitlik (5.21)'deki gibi yazılabilir.

$$G_T = M_{in} G_{op} = (1 - |\rho_{in}|^2) \left(\frac{R_L}{R_{in}} \frac{|z_{21}|^2}{|z_{22} + Z_L|^2} \right) \quad (5.21)$$

Eşitlik (5.21)'deki Z_L ve R_L ifadesi Z parametreleri cinsinden eşitlik (5.22)'deki gibi bulunur.

$$Z_L = \frac{z_{12}z_{21}}{z_{11} - Z_{in}} - z_{22} ; R_L = \text{Re}(Z_L) = -r_{22} + \text{Re}\left(\frac{z_{12}z_{21}}{z_{11} - Z_{in}}\right) \quad (5.22)$$

Eşitlik (5.22)'de bulunan ifadeler, eşitlik (5.21)'de yerine yazılıp, bulunan ifade eşitlik (5.2)'deki gibi çember formatı halinde eşitlik (5.23)'deki gibi yazılabilir.

$$\begin{aligned}
|Z_{in}|^2 - \frac{1}{r_{22}} \left(2r_{11}r_{22} - r - \frac{G_T |z_{12}|^2}{1 - |\rho_{in}|^2} \right) R_{in} - \frac{1}{r_{22}} (2x_{11}r_{22} - x) X_{in} - \\
- \frac{1}{r_{22}} (r_{11}r + x_{11}x) + |z_{11}|^2 = 0
\end{aligned} \tag{5.23}$$

Eşitlik (5.23)'e göre, Z_{in} düzleminde kazanç çemberine ait merkez fazör ($Z_{cg}=R_{cg}+jX_{cg}$) ve yarıçap (r_g) ifadeleri eşitlik (5.24), (5.25) ve (5.26)'daki gibi elde edilir.

$$R_{cg} = \frac{1}{2r_{22}}(Q - P) \tag{5.24}$$

$$X_{cg} = \frac{1}{2r_{22}}(2x_{11}r_{22} - x) \tag{5.25}$$

$$r_g = \frac{1}{2r_{22}} \sqrt{P^2 - 2QP + |z|^2} \tag{5.26}$$

Eşitlik (5.24), (5.25) ve (5.26)'daki, parametreler ise eşitlik (5.27), (5.28) ve (5.29)'daki gibidir.

$$P = G_T \frac{|z_{12}|^2}{1 - |\rho_{in}|^2} = |z_{12}|^2 G_{op} \tag{5.27}$$

$$Q = 2r_{11}r_{22} - r \tag{5.28}$$

$$r_{ij} = \text{Re}\{z_{ij}\}, x_{ij} = \text{Im}\{z_{ij}\}, z = z_{12}z_{21} = r + jx \tag{5.29}$$

Eşitlik (5.25) incelendiğinde, kazanç çemberlerinin merkez fazörleri sabit bir X_{cg} üzerinde yer alırken, eşitlik (5.24)'e göre merkez fazörün reel kısımları (R_{cg}) kazanç değerinin artmasıyla beraber azalır. Giriş yansıma katsayısına göre sınırlandırılmış maksimum kazanç, yarıçap r_g değeri sıfıra ulaştığında sağlanır. Eşitlik (5.26)'ya göre r_g değerini sıfır yapan P değerleri eşitlik (5.30)'daki gibidir [13], [30].

$$P_{1,2} = Q \pm \sqrt{(Q^2 - |z|^2)} \Big|_{r_g=0} \quad (5.30)$$

Eşitlik (5.30)'deki P 'nin reel olması için $Q > |z|$ şartı sağlanmalıdır. Bu şart da sadece ve sadece transistörün koşulsuz kararlı olması ile sağlanır. Bunların yanında, eşitlik (5.30)'da '-' işaretli olan P değeri seçilerek merkez noktasının reel kısmının ($R_{cg}=(Q-P)/(2r_{22})>0$) pozitif olması sağlanır. Bu işlemler doğrultusunda maksimum kazançta ait denklem ve merkez noktası eşitlik (5.31) yardımıyla bulunur.

$$P_{max} = Q - \sqrt{(Q^2 - |z|^2)} \Rightarrow G_{Tmax} = \left(Q - \sqrt{Q^2 - |z|^2} \right) \frac{1 - |\rho_{in}|^2}{|z_{12}|^2} \quad (5.31)$$

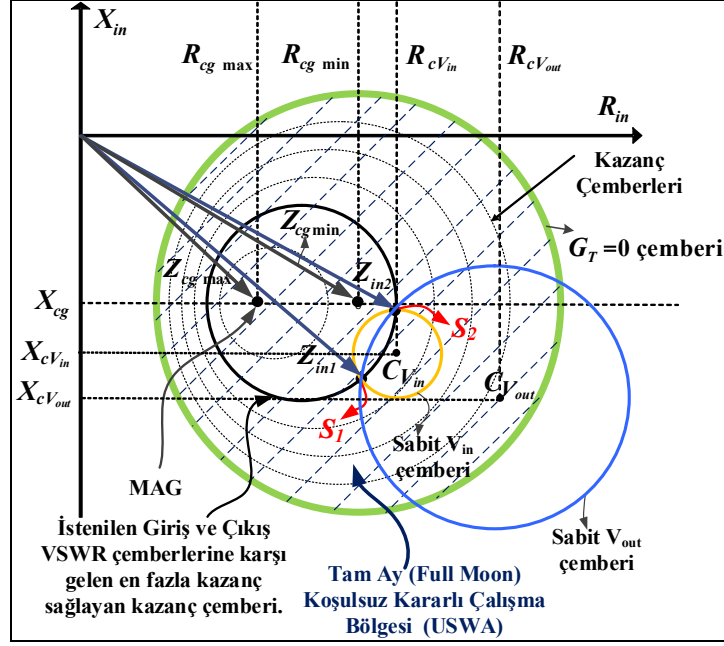
Maksimum kazanç sağlayan kazanç çemberinin merkez fazör değerleri eşitlik (5.32)'de verilmiştir.

$$Z_{inmax} = Z_{cgmax} = R_{cgmax} + jX_{cg} ; R_{cgmax} = \frac{1}{2r_{22}} \sqrt{Q^2 - |z|^2} \quad (5.32)$$

$G_T=0$ çemberi tüm kazanç çemberleri kapsar ve minimum kazanç gösteren çemberdir. Minimum kazanç çemberine ait merkez ve yarıçap değerleri eşitlik (5.27)'de $G_T=0$ yapılarak bulunur ve $G_T=0$ çemberine ait merkez fazör değer ve yarıçap değeri eşitlik (5.33)'de verilmiştir.

$$Z_{cgmin} = R_{cgmin} + jX_{cg} ; R_{cgmin} = \frac{Q}{2r_{22}} ; r_{gmin} = \frac{|z|}{2r_{22}} \quad (5.33)$$

Koşulsuz kararlı olma koşulları $r_{11} > 0$, $r_{22} > 0$ ve $Q > |z|$ sağlandığında $R_{cgmin} > r_{gmin}$ koşulu da sağlanmış olur ve böylece $G_T=0$ çemberi tamamen sağ yarı düzlemde yer alır ve diğer tüm kazanç çemberlerini kapsar (Şekil 5.1).



Şekil 5.1 Koşulsuz kararlı transistör için tasarım konfigürasyonu [13]

5.4 Giriş Empedansı Düzleminde Koşullu Kararlı Durumunda Kazanç İfadesinin Bulunması

Koşullu kararlı durumunda eşitlik (5.2)'de verilen Z_{in} düzlemindeki genel çember ifadesi eşitlik (5.34)'deki gibi yeniden yazılabilir.

$$|Z_{in}|^2 + 2(R_{cs} + S)R_{in} + 2X_{cs}X_{in} + |Z_{cs}| - r_s^2 = 0 \quad (5.34)$$

Eşitlik (5.34)'de yer alan S parametresi eşitlik (5.35)'de verilmiştir.

$$S = \frac{|z_{12}|^2 G_T}{2r_{22}(1 - |\rho_{in}|^2)} \quad (5.35)$$

Kazanç çemberinin merkezi $Z_{cg} = R_{cg} + jX_{cg}$ ve yarıçapı r_g eşitlik (5.36)'deki gibi verilir.

$$R_{cg} = -(R_{cs} + S), \quad X_{cg} = -X_{cs}, \quad r_g = S^2 + 2SR_{cs} + r_s^2 \quad (5.36)$$

Eşitlik (5.36)'da R_{cs} ve X_{cs} sırasıyla kaynak kararlılık çemberinin merkez noktasına ait reel ve imajiner kısmı iken r_s kaynak kararlılık çemberine ait yarıçap olarak

verilir. İki kapılı bir devrenin çıkış kapısından dışarı güç aktarılabilmesi için çıkış empedansının reel kısmı sıfırdan büyük olmalıdır.

$$Z_{out} = R_{out} + jX_{out} = z_{22} - \frac{z_{12}z_{21}}{z_{11} + Z_s} \quad (5.37)$$

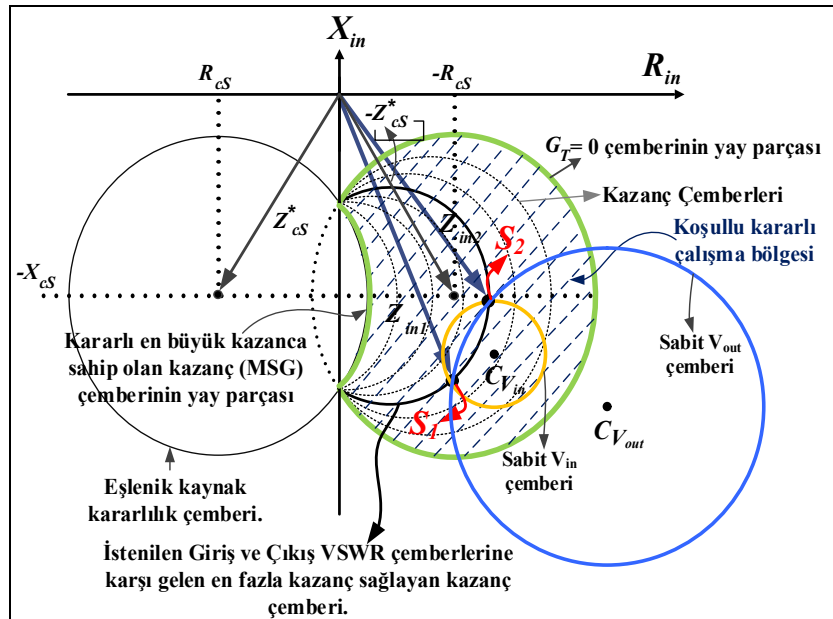
Eşitlik (5.37)'e göre $Re(Z_{out})=R_{out}=0$ yapan Z_s değerleri bir çember formatındadır ve bu çemberin merkezi $Z_{cs}=R_{cs}+jX_{cs}$ olup yarıçapı r_s değerindedir. R_{out} değerinin sıfırdan büyük olması için seçilen R_s değerlerinin de sıfırdan büyük olması gerekir.

$$R_{cs} = -\frac{2r_{11}r_{22} - r}{2r_{22}} \quad (5.38)$$

$$X_{cs} = -\frac{2r_{22}x_{11} - x}{2r_{22}} \quad (5.39)$$

$$r_s = \frac{|z|}{2r_{22}} \quad (5.40)$$

Koşullu kararlı bir tranistöre ait giriş empedansı düzleminde örnek bir tasarım konfigürasyonu Şekil 5.2'de verilmiştir.



Şekil 5.2 Koşullu kararlı transistör için tasarım konfigürasyonu [13]

Koşullu kararlı bir transistörün kazanç çemberlerine ilişkin özellikler şu şekilde verilebilir:

- Kazanç çemberlerinin hepsi imajiner ekseni iki aynı noktada keser. Ayrıca bu kesim noktası, eşlenik kaynak kararlılık çemberinin imajiner ekseni kestiği noktadır.
- En az kazançlı olan $G_T=0$ çemberi imajiner eksene göre eşlenik kaynak kararlılık çemberinin simetriği konumundadır. $G_T=0$ çemberinin merkezi $Z_{cgmin} = -R_{cs} - jX_{cs}$ fazöründe olup yarıçapı ise $r_{gmin}=r_s$ değerindedir.
- Eşlenik kaynak kararlılık çemberi ile $G_T=0$ çemberi arasında kalan bölüm çalışma bölgesi olarak adlandırılır ve bu alanda $0 < G_{Treq} < G_{Tmax}$ çemberleri bulunur.

Koşullu kararlı durumunda, elde edilen en fazla kazanç (*MSG-maximum stable gain*) eşlenik kaynak kararlılık çemberinin giriş empedansı düzlemine göre sağ tarafında kalan yayı üstünden elde edilir.

$$MSG = 2 \left| \frac{z_{21}}{z_{12}} \right| \eta \quad (5.41)$$

Burada η kararlılık faktörü olarak adlandırılır ve eşitlik (5.42)'deki gibidir.

$$\eta = \frac{2r_{11}r_{22} - r}{|z|} \quad (5.42)$$

Koşullu kararlılık durumunda $0 < \eta < 1$ değerini alır ve koşullu kararlılık durumu için gerekli ve yeter şart eşitlik (5.43)'de verilmiştir.

$$r_{11} > 0, r_{22} > 0 \quad 0 < (Q / |z|) < 1 \quad (5.43)$$

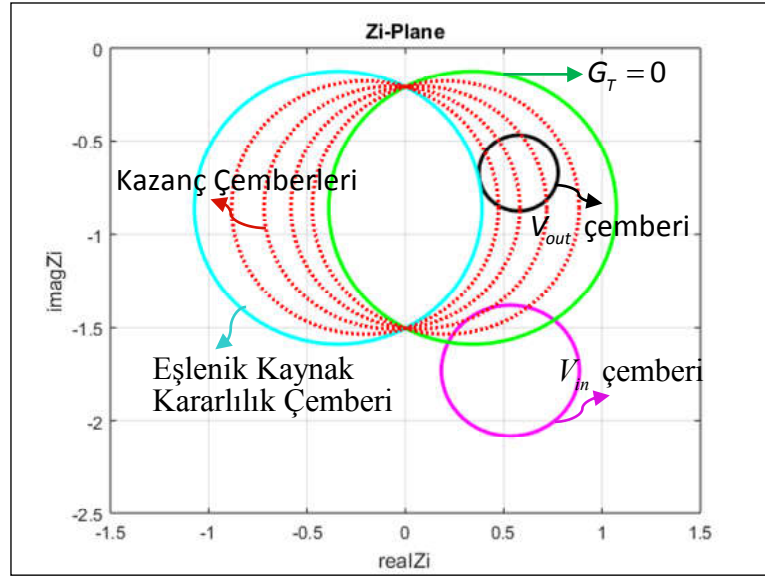
5.5 Giriş Empedansı Düzleminde Tasarım Konfigürasyonun Oluşturulması

Şekil 5.1'de koşulsuz kararlı, Şekil 5.2'de ise koşullu kararlı transistör için giriş empedansı düzleminde tasarım konfigürasyonları gözükmektedir. Burada amaç, V_{in}

ve V_{out} çemberlerinin kesişim noktalarına karşı düşen en fazla kazançla sahip kazanç çemberini bulmaktır.

5.5.1 V_{in} ve V_{out} Çemberlerinin Kesişmeme Durumu

V_{in} ve V_{out} çemberleri kesişmeme durumuna karşı gelen bir kazanç ve çözüm yoktur. Bu örnek durum Şekil 5.3'te verilmiştir.



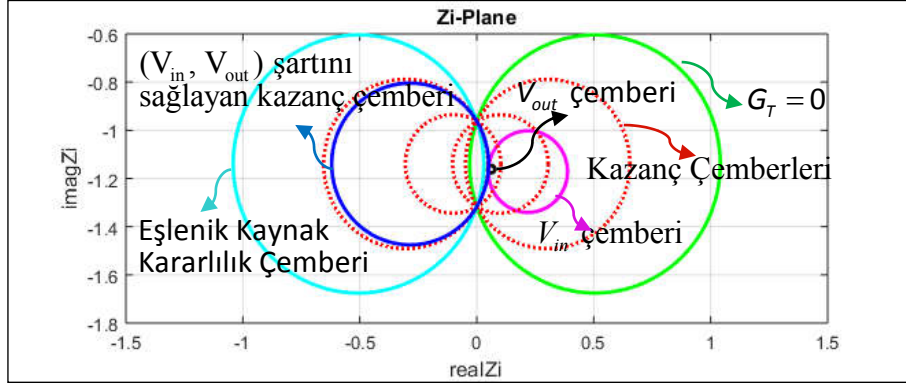
Şekil 5.3 V_{in} ve V_{out} çemberleri kesişmeme örnek durumu

5.5.2 V_{in} ve V_{out} Çemberlerinin Kesişme ve Teğet Olma Durumu

$|Z_{CVin} - Z_{CVout}| \leq r_{Vin} + r_{Vout}$ durumunda V_{in} ve V_{out} çemberleri birbirlerini ya keserler ya da birbirlerine teğet olurlar. Bu durumlar, ayrı ayrı incelenecektir.

5.5.2.1 V_{in} ve V_{out} Çemberlerinin Teğet Olma Durumu

V_{in} ve V_{out} çemberleri birbirlerine iç teğet veya dış teğet olarak değiyorlarsa ve bu değme noktası transistörün kararlılığına göre koşulsuz veya koşullu kararlı çalışma bölgesi içinde yer alıyorsa, bu kesişim noktasına karşı gelen bir kazanç değeri ve bir çözüm vardır.



Şekil 5.4 V_{in} ve V_{out} çemberlerinin birbirlerine iç teğet olması örnek durumu

V_{in} ve V_{out} çemberlerinin teğet olma noktasına karşı gelen kazanç çemberinin değeri, V_{in} veya V_{out} çemberlerinden biri referans alınarak çözüm yapılabilir. Çünkü her iki çember için de aynı çözüm sonucunu verecektir. V_{out} çıkış uyumsuzluk çemberi referans alınarak teğet olma noktasına karşı gelen işlemsel kazanç (G_{op}) değeri eşitlik (5.44)'ün çözümü ile bulunabilir.

$$\left| Z_{CV_{out}} - Z_{Cg} \right|^2 = (r_{V_{out}} + r_g)^2 \quad (5.44)$$

Eşitlik (5.44) matematiksel olarak açılırsa eşitlik (5.45) elde edilir.

$$\left| Z_{CV_{out}} \right|^2 + \left| Z_{Cg} \right|^2 - 2R_{CV_{out}} R_{Cg} - 2X_{CV_{out}} X_{Cg} = r_{V_{out}}^2 + r_g^2 + 2r_{V_{out}} r_g \quad (5.45)$$

R_{cg} , X_{cg} , r_g için önceki bölümlerde belirtilen ifadeler eşitlik (5.45)'de yerine yazılırsa eşitlik (5.46) elde edilir.

$$P^2 (1 - F^2) - 2(Q + EF)P + |z|^2 - E^2 = 0 \quad (5.46)$$

Eşitlik (5.46)'da yer alan P ve Q parametreleri sırasıyla eşitlik (5.27) ve (5.28)'de tanımlanmıştır. Diğer parametreler ise eşitlik (5.47), (5.48) ve (5.49)'da tanımlanmıştır.

$$D = \left| Z_{CV_{out}} \right|^2 - r_{V_{out}}^2 + \left| Z_{Cg} \right|^2 - r_g^2$$

$$D = \left| Z_{CV_{out}} \right|^2 - r_{V_{out}}^2 + \frac{1}{4r_{22}^2} (Q^2 - |z|^2 + (2x_{11}r_{22} - x)^2) \quad (5.47)$$

$$E = \frac{Dr_{22} - R_{CV_{out}}Q - 2X_{CV_{out}}X_{Cg}r_{22}}{r_{V_{out}}} \quad (5.48)$$

$$F = \frac{R_{CV_{out}}}{r_{V_{out}}} \quad (5.49)$$

Teğet noktasındaki kazanç değeri eşitlik (5.46)'nın çözümü ile eşitlik (5.50)'de verilmiştir.

$$G_{Tang.1,2} = \frac{1 - |\rho_{in}|^2}{|z_{12}|^2} \frac{1}{1 - F^2} \left\{ Q + EF \pm \sqrt{(Q + EF)^2 - (1 - F^2)(|z|^2 - E^2)} \right\} \quad (5.50)$$

$$\frac{1 - |\rho_{in}|^2}{|z_{12}|^2} \frac{1}{1 - F^2} < 0 \quad (5.51)$$

Eşitlik (5.51)'de verilen ifade sıfırdan küçük olduğu için, eşitlik (5.50)'de parantez içinde yer alan ifade de eksi işaretli olan değer alınarak pozitif kazanç sağlanmış olur. Böylelikle bulunan çıkış uyumsuzluk çemberine (V_{out}) teğet olan ve en büyük kazanç sağlayan işlemsel kazanç (G_{op}) çemberine ait değer eşitlik (5.52)'deki gibi bulunur.

$$G_{op} = \frac{1}{|z_{12}|^2 (1 - F^2)} \left\{ Q + EF - \sqrt{(Q + EF)^2 - (1 - F^2)(|z|^2 - E^2)} \right\} \quad (5.52)$$

Teğet noktasına karşı gelen giriş empedans değeri eşitlik (5.53) yardımıyla bulunabilir.

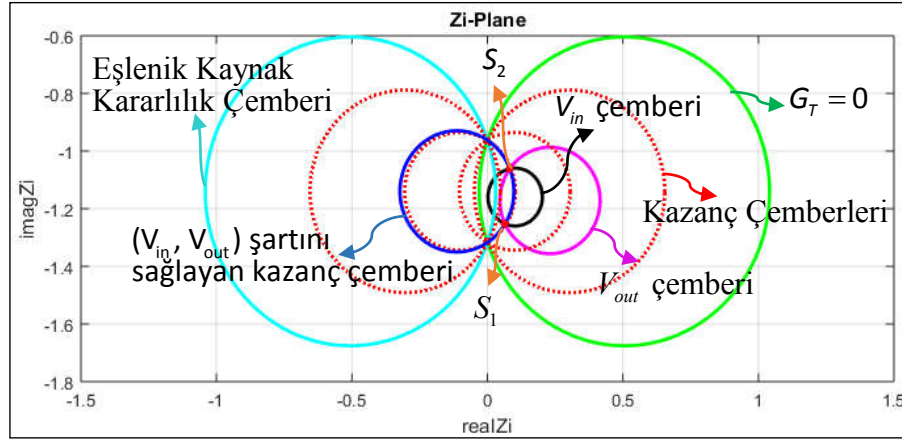
$$Z_{in} = \frac{r_g}{r_g + r_{V_{out}}} R_{CV_{out}} + \frac{r_{V_{out}}}{r_g + r_{V_{out}}} R_{Cg} \quad (5.53)$$

Giriş empedans değeri bulunduktan sonra yük empedans değeri, eşitlik (2.4) yardımıyla bulunabilir. Çıkış empedans değeri, eşitlik (2.7)'de Z_s değerinin, yerine

konulmasıyla bulunur. Dönüştürücü güç kazanç değeri ise, G_{op} ve $|\rho_{in}|$ değerlerinin eşitlik (2.11)'de yerine konulmasıyla bulunabilir.

5.5.2.2 V_{in} ve V_{out} Çemberlerinin Birbirlerini Kesme Durumu

Şekil 5.5'te V_{in} ve V_{out} çemberlerinin birbirlerini kesmesi örnek durumu gösterilmiştir.



Şekil 5.5 V_{in} ve V_{out} çemberlerinin birbirlerini kesme örnek durumu

Şekil 5.5'te yer alan S_1 ve S_2 olarak belirtilmiş, çemberlerin kesişim noktalarına karşı gelen Z_{in} değerleri eşitlik (5.54)'deki gibi ifade edilebilir.

$$Z_{in1,2} = R_{in1,2} + jX_{in1,2} ; R_{in1,2} = C \pm \sqrt{(C^2 - D)} ; X_{in1,2} = AR_{in1,2} + B \quad (5.54)$$

Eşitlik (5.54)'de yer alan A , B , C ve D parametreleri sırasıyla eşitlik (5.55), (5.56), (5.57) ve (5.58)'de verilmiştir.

$$A = \frac{R_{CV_{out}} - R_{CV_{in}}}{X_{CV_{in}} - X_{CV_{out}}} \quad (5.55)$$

$$B = \frac{|Z_{CV_{in}}|^2 - |Z_{CV_{out}}|^2 - (r_{V_{in}}^2 - r_{V_{out}}^2)}{2(X_{CV_{in}} - X_{CV_{out}})} \quad (5.56)$$

$$C = \frac{R_{CV_{out}} + AX_{CV_{out}} - AB}{1 + A^2} \quad (5.57)$$

$$D = \frac{\left(|Z_{CV_{out}}|^2 - r_{V_{out}}^2 \right) + B^2 - 2X_{CV_{out}} B}{1 + A^2} \quad (5.58)$$

Z_{in1} ve Z_{in2} değerleri bulunduktan sonra, bu değerlerden bir tanesi referans alınarak işlemler yapılır. Çünkü her iki noktada, aynı V_{in} ve V_{out} çemberleri üzerinde yer almaktadır. Ayrıca, Z_{in1} ve Z_{in2} fazörleri aynı kazanç çemberi üzerinde yer almaktadır. Daha sonra, referans olarak alınan bu Z_{in} değerine karşı gelen Z_L değeri eşitlik (2.4) yardımıyla bulunur. Daha sonraki adımda ise elde edilen Z_L ve Z_S değerleri eşitlik (5.59)'da yerine konulur ve bu noktaya karşı gelen kazanç değeri bulunur.

$$G_{T1,2} = G_T = -\Psi_{1,2} \frac{r_{22} \left(1 - |\rho_{in}|^2 \right)}{R_{in1,2} \cdot |z_{12}|^2} \quad (5.59)$$

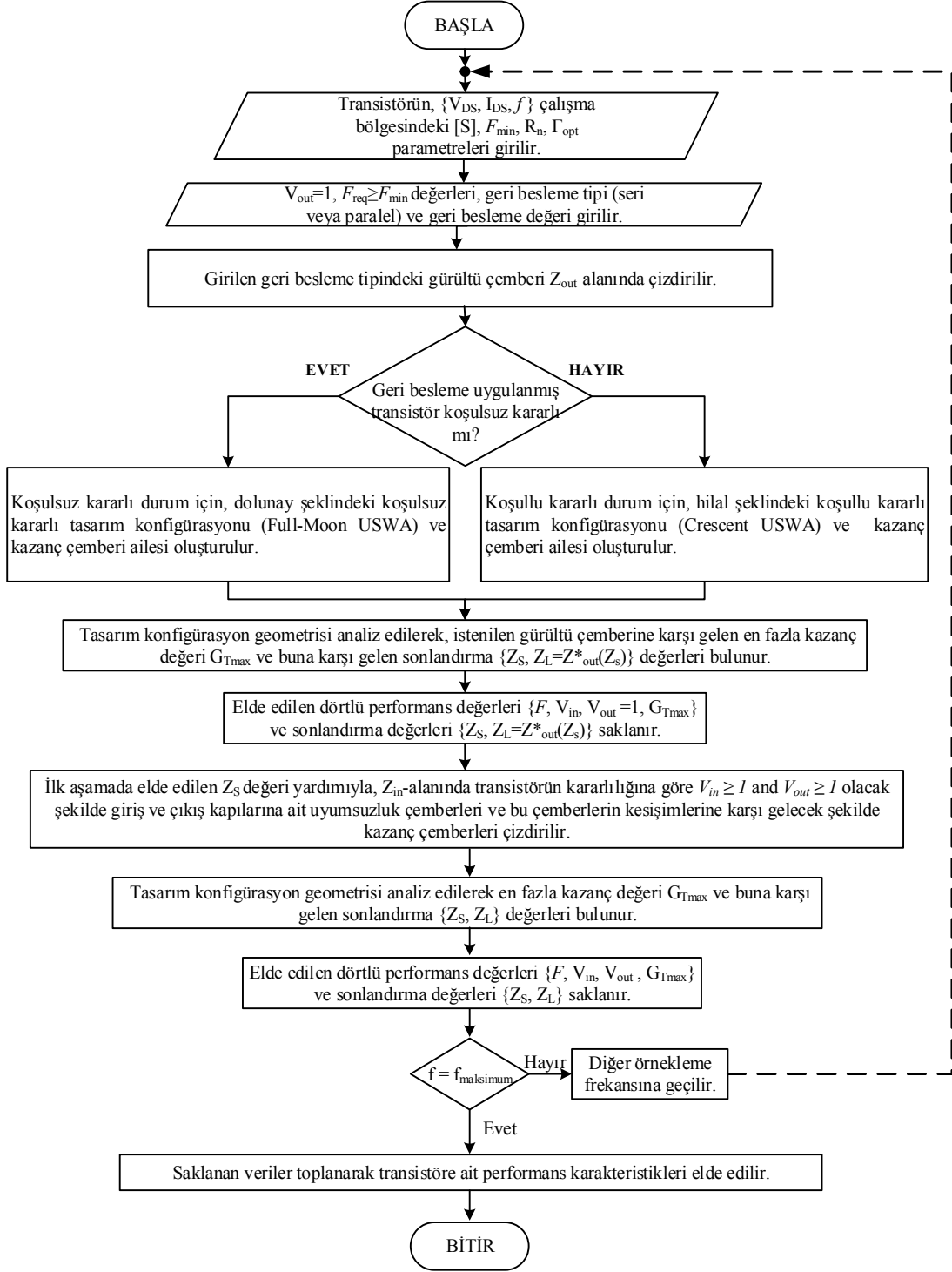
Eşitlik (5.59)'da yer alan Ψ parametresi eşitlik (5.60)'da verilmiştir.

$$\begin{aligned} \Psi_{1,2} = & |Z_{in1,2}|^2 - \frac{1}{r_{22}} (2r_{11}r_{22} - r) R_{in1,2} - \frac{1}{r_{22}} (2x_{11}r_{22} - x) X_{in1,2} - \\ & - \frac{1}{r_{22}} (r_{11}r + x_{11}x) + |z_{11}|^2 \end{aligned} \quad (5.60)$$

Geri beslemeli transistörün performans karakterizasyonu çıkarımlarında NE3511S02 transistörü kullanılmıştır. Bu transistör, 2-18 GHz bandında çalışabilen süper düşük gürültülü N-kanal HJ-FET özelliğe sahiptir ve $V_{DS}=2V$, $I_{DS}=10mA$ besleme koşulu altında kullanılmıştır. Geri beslemeli transistörün performans karakterizasyonu MATLAB programında yazılan bir kod koşturularak yapılmıştır. Yazılan bu kodun doğruluğu, başka bir devre benzetim programında kontrol edilmiştir. Yazılan bu koda ait akış diyagramı Şekil 6.1’de verilmiştir.

6.1 $F_{req}(f) = F_{min}(f)$ Koşulu Altında Seri Endüktif Geri Beslemeye Sahip LNA Tasarım Profilleri ve Uygulamaları

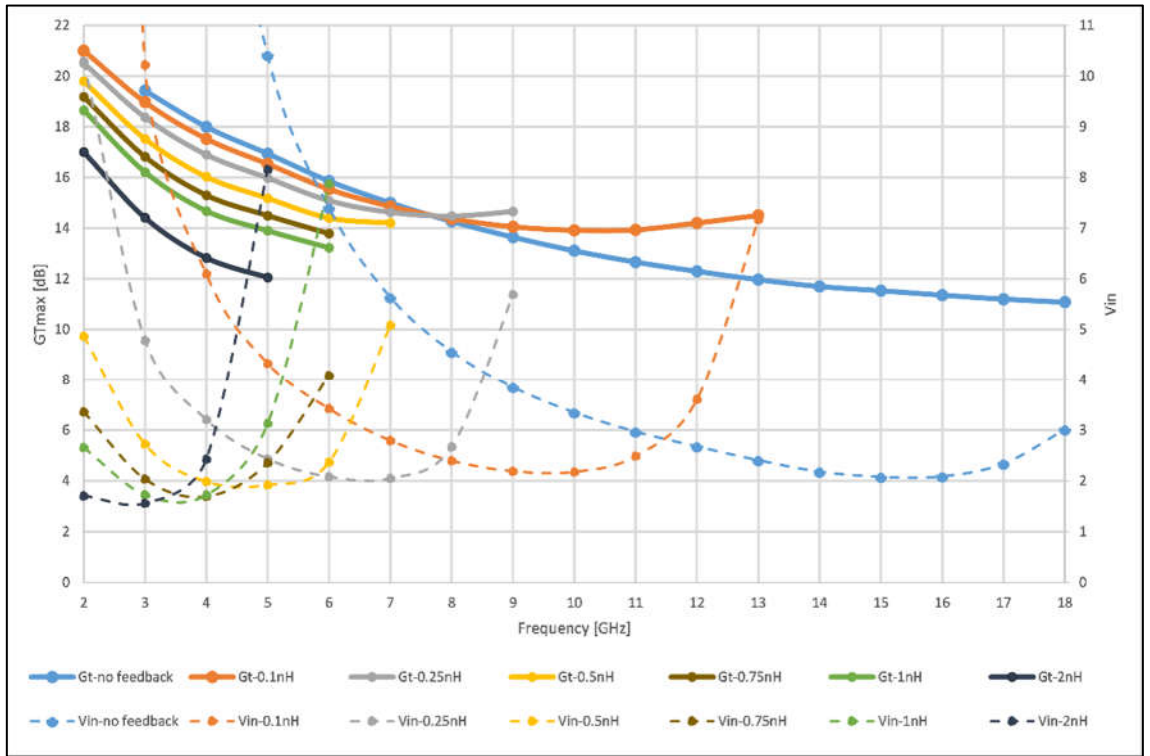
Bu uygulamanın ilk aşamasında, NE3511S02 transistörünün Şekil 2.1’de verildiği gibi tek katlı bir yapıda olduğu ve her çalışma frekansında $F=F_{min}$ dB gürültü katsayısında olduğu durum ele alınmıştır. Şekil 6.2’de, endüktif seri geri besleme durumu için transistöre ait G_T-V_{in} tasarım profilleri, $V_{out}=1$ ve $F=F_{min}$ dB şartı altında çıkarılmıştır. Bu tasarım profilleri kullanılarak, seri geri beslemeye ait kullanılabilir endüktans değeri ve çalışma frekansı bölgesi en fazla kazanç için, $V_{out}=1$ ve $F=F_{min}$ dB şartı altında bulunabilir. İkinci aşama olarak, eğer ilk aşamada elde edilen giriş kapısındaki uyumsuzluk istenilen seviyeden yüksek çıkarsa, bu durumda bu uyumsuzluğu dengelemek için G_T ve (V_{in}, V_{out}) arasındaki denge eşitliği, ilk aşamada elde edilmiş kaynak empedans Z_s değeri yardımıyla eşitlik (6.1)’deki gibi uygulanır.



Şekil 6.1 Geri beslemeye sahip transistörün performans karakterizasyon programına ait akış diyagramı

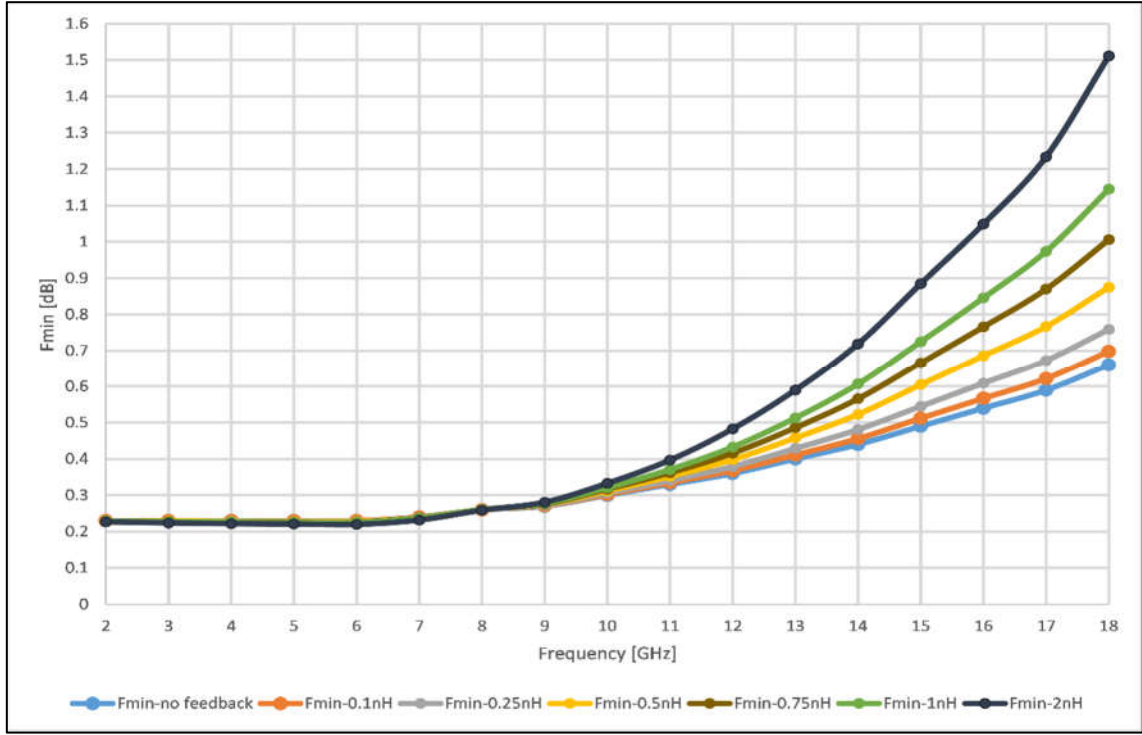
$$G_{op}(Z_L) \left[1 - \left(\frac{|V_{in}| - 1}{|V_{in}| + 1} \right)^2 \right] = G_{av}(Z_s) \left[1 - \left(\frac{|V_{out}| - 1}{|V_{out}| + 1} \right)^2 \right] \quad (6.1)$$

Eşitlik (6.1)'de, G_{op} işlemsel kazancı; G_{av} mümkün olan kazanç ifadelerini göstermektedir. Şekil 6.2'ye göre; transistöre geri besleme uygulanmadan, transistörün uygun çalışma bölgesi (yaklaşık olarak $V_{in} \approx 2$) 14-16 GHz arasında olup bu frekans aralığında yaklaşık olarak 11 dB kazanç mevcuttur. Eğer bu durumda, transistöre 0.1 nH seri endüktif geri besleme uygulanırsa, çalışma frekansı aralığı $V_{in}=2$ için 9-10 GHz aralığında olup kazanç bu frekans aralığında 14 dB civarındadır. Eğer seri endüktif olarak uygulanan geri besleme değeri artırılırsa, transistörün çalışma bandı ($V_{in} \leq 2$) transistörün düşük frekans bölgesine doğru band genişliği artarak hareket eder.



Şekil 6.2 $V_{out}=1$ ve $F_{req}=F_{min}$ dB koşulu altında, 0.1 nH-2 nH arasında seri endüktif geri beslemeye sahip NE3511S02 transistörünün giriş uyumsuzluğu ve maksimum kazanç değişimleri

$V_{out}=1$ ve $F_{req}=F_{min}$ dB koşulu altında 0.1 nH – 2 nH arasında seri endüktif geri beslemeye sahip NE3511S02 transistörünün minimum gürültü katsayısı değeri ise Şekil 6.3'te verilmiştir.



Şekil 6.3 0.1 nH-2 nH arasında seri endüktif geri beslemeye sahip NE3511S02 transistörünün minimum gürültü katsayısı

Tablo 6.1’de; $V_{out}=1$ ve $F_{req}=F_{min}$ dB koşulu altında, 2-6 GHz frekans aralığında transistöre geri besleme uygulanmadığı durumdaki transistörün performans karakterizasyonu verilmiştir. Şekil 6.2, Şekil 6.4 ve Tablo 6.1’de verildiği üzere; transistör, $V_{out}=1$ ve $F_{req}=F_{min}=0.23$ dB şartı altında 2 GHz’de herhangi bir kazanç sağlayamamaktadır. Eğer transistöre 2 GHz’de 1 nH seri endüktif geri besleme uygulanırsa, transistör $F_{req}=F_{min}=0.229$ dB, $G_T=18.65$ dB, $V_{in}=2.66$, $V_{out}=1$ performans değeri sağlamaktadır (Tablo 6.2). 2 GHz’de 1 nH’lik seri endüktif geri besleme uygulandığı durumda, giriş kapısı ve çıkış kapısındaki uyumsuzluklar arasında bir optimizasyon yapılırsa, transistör $F_{req}=F_{min}=0.229$ dB, $G_T=18.28$ dB, $V_{in}=1.8$, $V_{out}=1.8$ performans değerini sağlamaktadır (Tablo 6.3, Şekil 6.5). Tablo 6.3’ten görüleceği üzere; transistöre 1 nH seri endüktif geri besleme uygulandığında, minimum gürültü katsayısı değerinde, geri besleme uygulanmadığı duruma göre çok az da olsa bir azalma gözlenmektedir.

Tablo 6.1 NE3511S02 transistörünün; $2 \text{ GHz} \leq f \leq 6 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumdaki tasarım konfigürasyonu

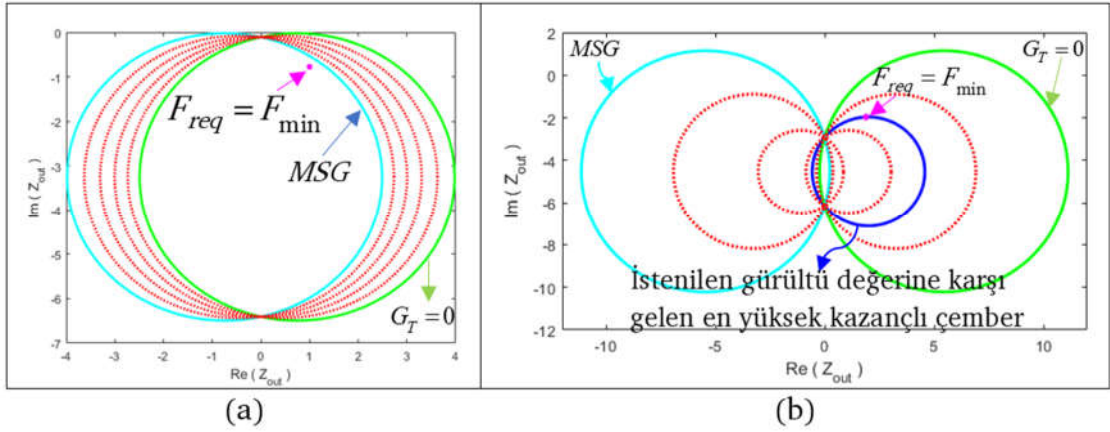
$f[\text{GHz}]$	V_{in}	V_{out}	$G_T[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
2	X	1	X	0.23	X	X	X	X
3	59.23	1	19.42	0.23	85.25	194.98	44.82	35.06
4	17.66	1	17.99	0.23	59.26	142.86	41.44	31.26
5	10.41	1	16.94	0.23	45.65	110.27	36.99	27.55
6	7.4	1	15.86	0.23	37.33	87.46	35.98	25.42

Tablo 6.2 NE3511S02 transistörünün; $2 \text{ GHz} \leq f \leq 6 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, 1 nH seri endüktif geri besleme uygulandığı durumdaki tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_T[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
2	2.66	1	18.65	0.229	152.78	284.78	94.6	98.24
3	1.73	1	16.21	0.229	86.55	177.89	95.75	134.09
4	1.72	1	14.68	0.228	60.73	120.29	91.68	166.14
5	3.13	1	13.9	0.228	47.15	82.35	77.45	192.06
6	7.88	1	13.23	0.228	38.85	54.33	69.08	216.59

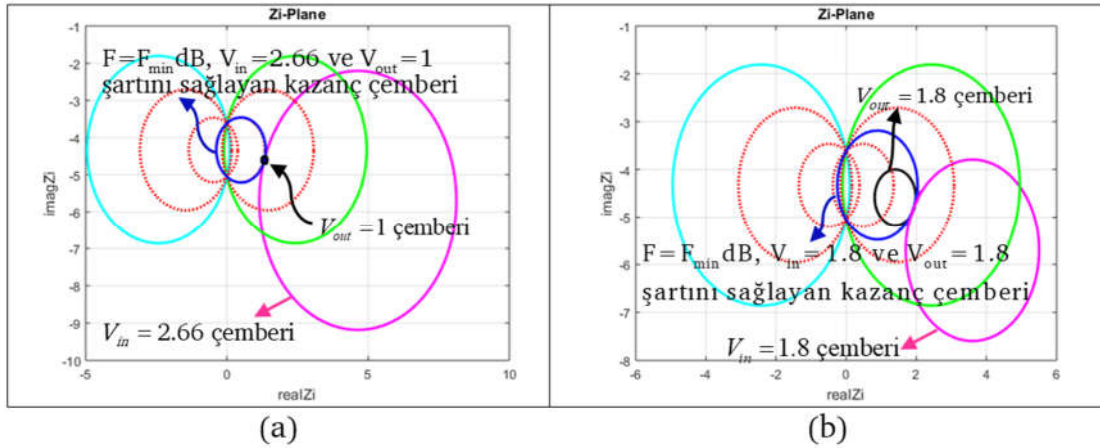
Tablo 6.3 NE3511S02 transistörünün; $2 \text{ GHz} \leq f \leq 6 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$, $1 \leq V_{in} \leq 2$ ve $1 \leq V_{out} \leq 2$ koşulunda, 1 nH seri endüktif geri besleme uygulandığı durumdaki tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_T[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
2	1.8	1.8	18.28	0.229	152.7	284.78	87.75	44.25
3	1.2	1.7	15.91	0.229	86.55	177.89	100.26	81.88
4	1.8	1.4	14.55	0.228	60.73	120.29	75.23	143.54
5	2.0	1.5	13.72	0.228	47.15	82.35	104.92	167.53
6	2.0	2.0	12.71	0.228	38.85	54.33	136.21	202.23



Şekil 6.4 $V_{DS}=2V$, $I_{DS}=10mA$, $f=2\text{ GHz}$ çalışma durumunda ve $V_{out}=1$, $F_{req}=F_{min}dB$ koşulunda NE3511S02 transistörünün Z_{out} düzleminde tasarım konfigürasyonları:
 (a) geri besleme olmadan mümkün olmayan kazanç durumu,
 (b) 1 nH seri endüktif geri besleme ile elde edilen $G_T= 18.65\text{ dB}$ kazanç durumu

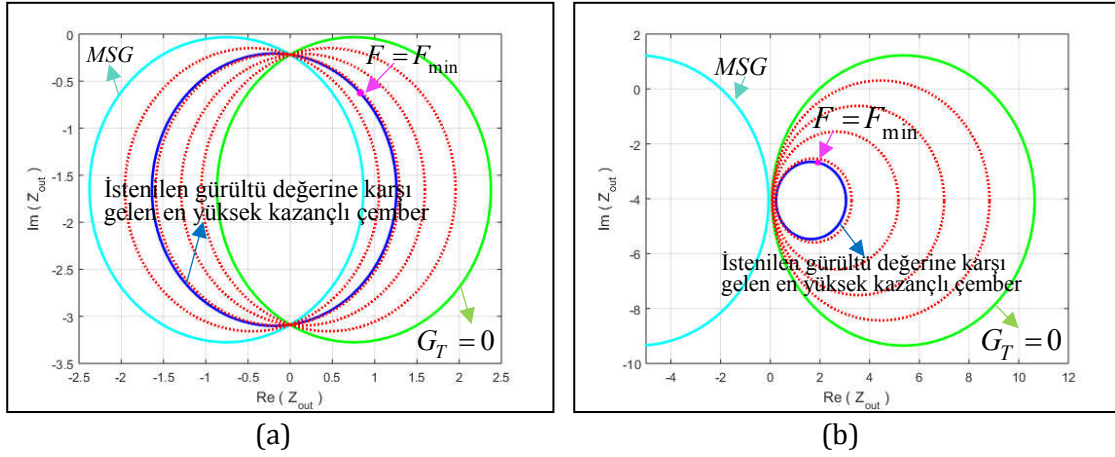
NE3511S02 transistörüne $f=2\text{ GHz}$ 'de 1 nH seri endüktif geri besleme uygulandığında; $F_{req}= F_{min}\text{ dB}$, $V_{in}=2.66$ ve $V_{out}=1$ durumu için grafiksel tasarım konfigürasyonu ile $F_{req}= F_{min}\text{ dB}$, $V_{in}=1.8$ ve $V_{out}=1.8$ durumu için grafiksel tasarım konfigürasyonu Şekil 6.5'te verilmiştir.



Şekil 6.5 $V_{DS}=2V$, $I_{DS}=10mA$, $f=2\text{ GHz}$ çalışma durumunda NE3511S02 transistörüne 1nH seri endüktif geri besleme uygulandığında Z_{in} düzleminde tasarım konfigürasyonları:(a) ($F_{req}= F_{min}\text{ dB}$, $G_T=18.65\text{ dB}$, $V_{in}=2.66$, $V_{out}=1$),
 (b) ($F_{req}=F_{min}\text{ dB}$, $G_T=18.28\text{ dB}$, $V_{in}=1.8$, $V_{out}=1.8$)

NE3511S02 transistörü $f=3\text{ GHz}$, $F_{req}= F_{min}\text{ dB}$ ve $V_{out}=1$ durumunda koşullu kararlı olarak çalışmaktadır ve bu durumda giriş kapısında elde edilen giriş uyumsuzluğu 59.23 olarak çıkmaktadır. Bu durumda giriş kapısında elde edilen uyumsuzluk değeri çok yüksektir ve giriş kapısı neredeyse kısa devre olarak davranmaktadır. Eğer bu durumda 1nH seri endüktif geri besleme uygulanırsa, transistöre ait giriş ve çıkış uyumsuzlukları uygun değere gelir ve transistör koşulsuz kararlı durumda

çalışmaya başlar. Bu duruma ait grafiksel tasarım konfigürasyonları Şekil 6.6'da verilmiştir.



Şekil 6.6 $V_{DS}=2V$, $I_{DS}=10mA$, $f=3\text{ GHz}$ çalışma durumunda ve $V_{out}=1$, $F_{req}=F_{min}\text{ dB}$ koşulunda NE3511S02 transistörünün tasarım konfigürasyonları:
 (a) geri besleme uygulanmadan koşullu kararlı durumda çalışma,
 (b) 1nH seri endüktif geri besleme uygulandığında koşulsuz kararlı durumda çalışma

Diğer bir ilk kat tasarım konfigürasyonu, transistöre 0.1 nH seri endüktif geri besleme uygulayarak elde edilebilir. $F=F_{min}\text{ dB}$ ve $V_{out}=1$ koşulu altında geri besleme olmadan elde edilen tasarım konfigürasyonu Tablo 6.4'te gösterilmiştir. $F=F_{min}\text{ dB}$ ve $V_{out}=1$ koşulu altında 0.1 nH seri endüktif geri besleme ile elde edilen tasarım konfigürasyonu Tablo 6.5'te gösterilmiştir. $F=F_{min}\text{ dB}$, $V_{in}\geq 1$ ve $V_{out}\geq 1$ koşulu altında 0.1 nH seri endüktif geri besleme ile elde edilen tasarım konfigürasyonu Tablo 6.6'da gösterilmiştir.

Tablo 6.4 NE3511S02 transistörünün; $4 \text{ GHz} \leq f \leq 13 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_T[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
4	17.66	1	17.99	0.230	59.26	142.86	41.44	31.26
5	10.41	1	16.94	0.230	45.65	110.27	36.99	27.55
6	7.40	1	15.86	0.230	37.33	87.46	35.98	25.42
7	5.64	1	15.00	0.240	31.66	70.46	33.73	22.07
8	4.56	1	14.26	0.260	27.66	56.91	32.09	19.90
9	3.85	1	13.65	0.270	24.87	45.61	30.64	16.88
10	3.35	1	13.11	0.300	22.79	35.90	28.84	14.29
11	2.97	1	12.66	0.330	21.48	27.16	27.29	11.30
12	2.68	1	12.29	0.360	20.74	19.13	25.74	8.65
13	2.41	1	11.97	0.400	20.72	11.47	24.60	5.87

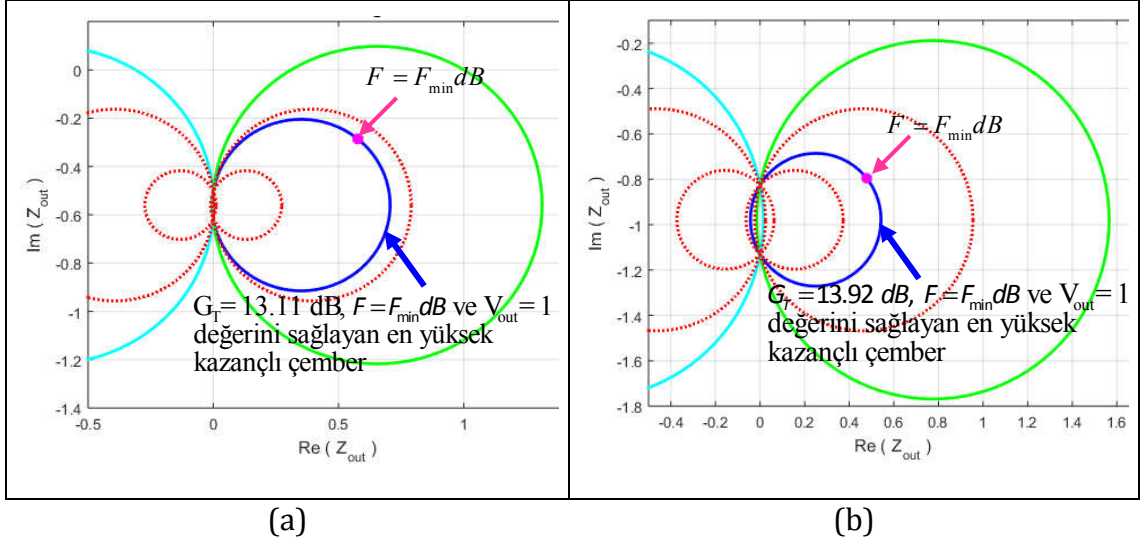
Tablo 6.5 NE3511S02 transistörünün; $4 \text{ GHz} \leq f \leq 13 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $V_{out}=1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_T[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
4	6.10	1	17.52	0.230	59.40	140.61	46.34	44.74
5	4.33	1	16.53	0.230	45.79	107.47	40.80	43.99
6	3.42	1	15.54	0.230	37.48	84.15	38.91	44.52
7	2.79	1	14.86	0.240	31.79	66.63	35.00	43.28
8	2.40	1	14.37	0.260	27.76	52.56	31.44	42.98
9	2.19	1	14.05	0.271	24.93	40.75	27.93	41.46
10	2.18	1	13.92	0.302	22.82	30.52	23.89	39.76
11	2.49	1	13.93	0.335	21.46	21.27	20.24	37.31
12	3.60	1	14.20	0.368	20.65	12.73	16.39	34.62
13	7.17	1	14.50	0.411	20.57	4.57	13.48	31.41

Tablo 6.6 NE3511S02 transistörünün; $4 \text{ GHz} \leq f \leq 13 \text{ GHz}$ frekans aralığında, $F=F_{min} \text{ dB}$ ve $F=F_{min} \text{ dB}$, $V_{in} \geq 1$, $V_{out} \geq 1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu

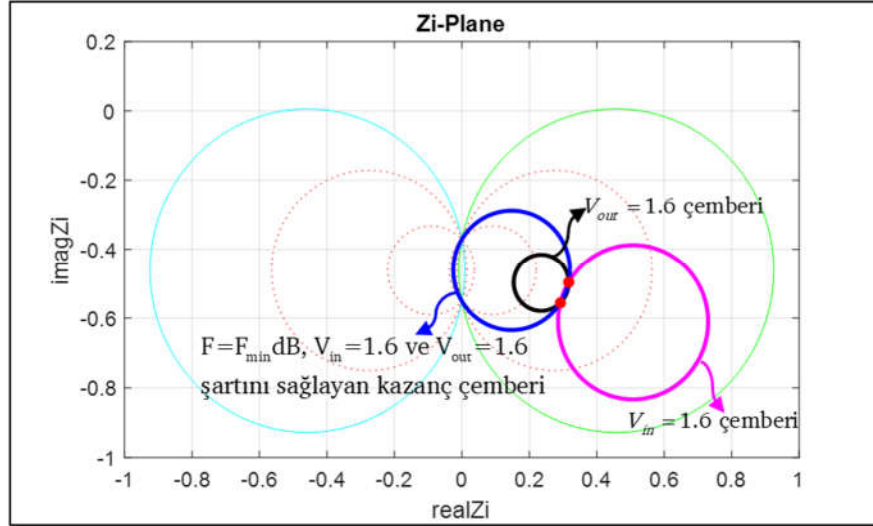
$f[\text{GHz}]$	V_{in}	V_{out}	$G_T[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
4	2.80	2.80	16.42	0.230	59.40	140.61	55.90	-9.16
5	2.40	2.40	15.72	0.230	45.79	107.47	48.97	4.43
6	2.20	2.10	14.95	0.230	37.48	84.15	51.87	12.98
7	1.90	2.00	14.35	0.240	31.79	66.63	47.39	17.28
8	1.70	1.80	14.00	0.260	27.76	52.56	39.45	23.56
9	1.60	1.70	13.75	0.271	24.93	40.75	40.62	28.58
10	1.60	1.60	13.68	0.302	22.82	30.52	36.55	33.75
11	1.60	1.70	13.63	0.335	21.46	21.27	33.51	32.90
12	1.80	1.90	13.76	0.368	20.65	12.73	31.14	34.69
13	2.10	2.10	13.92	0.411	20.57	4.57	27.24	26.69

Tablo 6.4, 6.5 ve 6.6'ya göre, transistöre 10 GHz'de hiç geri besleme uygulanmadan, $V_{out}=1$, $V_{in}=3.35$, $F_{req}=F_{min} \text{ dB}$ koşulu altında transistörden elde edilebilecek en fazla kazanç 13.11 dB olmaktadır (Şekil 6.7). Eğer bu frekansta transistöre 0.1 nH seri endüktif geri besleme $F=F_{min} \text{ dB}$, $V_{in}=2.18$, $V_{out}=1$ koşulu altında uygulanırsa, transistörden elde edilebilecek en fazla kazanç 13.92 dB'ye çıkmaktadır (Şekil 6.7). Bu frekansta uygulanan geri besleme hem kazancı artırmaktadır hem de giriş kapısındaki uyumsuzluğu azaltmaktadır.



Şekil 6.7 NE3511S02 transistörünün $V_{DS}=2V$, $I_{DS}=10mA$, $f=10\text{ GHz}$ çalışma durumunda Z_{out} - düzleminde tasarım konfigürasyonları:
 (a) geri besleme olmadan $F_{req}=F_{min}\text{ dB}$, $G_T=13.11\text{ dB}$, $V_{in}=3.35$, $V_{out}=1$;
 (b) 0.1nH seri endüktif geri besleme uygulandığında $F_{req}=F_{min}\text{ dB}$, $G_T=13.92\text{ dB}$, $V_{in}=2.18$, $V_{out}=1$

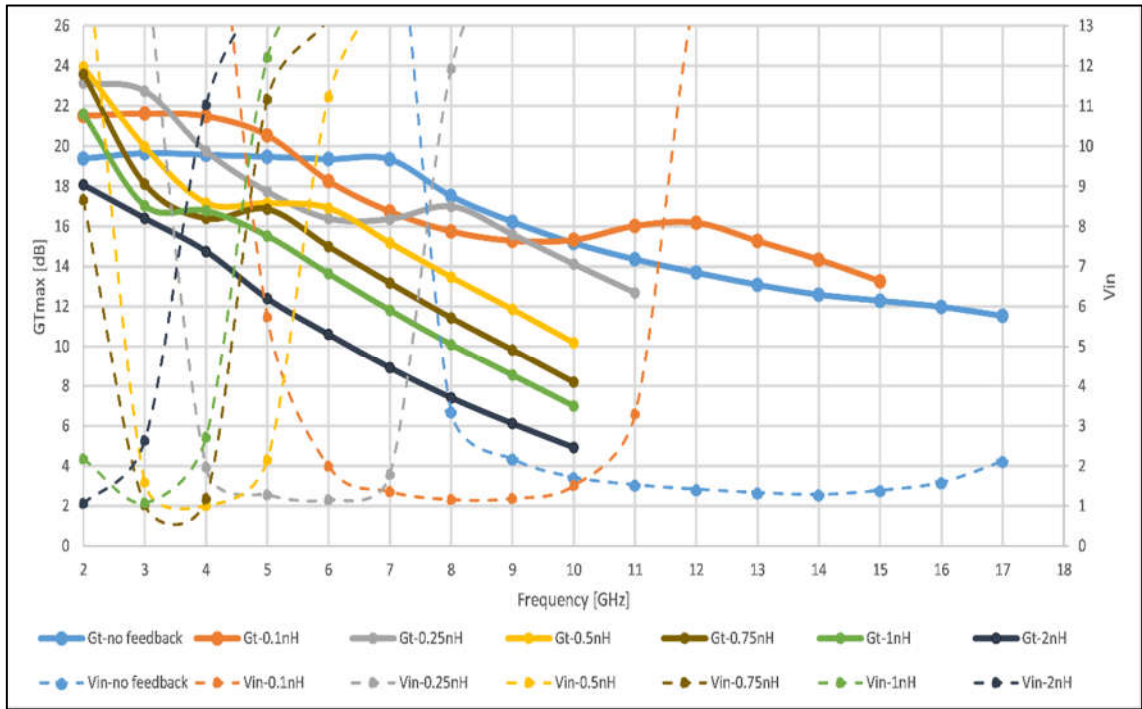
NE3511S02 transistörüne $f=10\text{ GHz}$ 'de 0.1 nH seri endüktif geri besleme uygulandığında; $F_{req} = F_{min}\text{ dB}$, $V_{in}=1.6$ ve $V_{out}=1.6$ durumu için grafiksel tasarım konfigürasyonu Şekil 6.8'de verilmiştir.



Şekil 6.8 $V_{DS}=2V$, $I_{DS}=10mA$, $f=10\text{ GHz}$ çalışma durumunda NE3511S02 transistörüne 0.1 nH seri endüktif geri besleme uygulandığında $F_{req}=F_{min}\text{ dB}$, $G_T=13.68\text{ dB}$, $V_{in}=1.6$, $V_{out}=1.6$ için Z_{in} düzleminde tasarım konfigürasyonu

6.2 $F_{req}(f)=0.6$ dB Koşulunda Seri Endüktif Geri Beslemeli LNA Tasarım Profilleri ve Uygulamaları

Kaskad bağlı LNA uygulamalarında, $F_{req}=0.6$ dB koşulunu sağlayan LNA konfigürasyonları ilk veya ikinci kat olarak kullanılabilir. $V_{out}=1$, $F_{req}=0.6$ dB koşulu altında, transistöre 0.1 nH-2 nH arasında seri endüktif geri besleme uygulanması durumunda transistörden elde edilen kazanç ve giriş kapısı uyumsuzlukları Şekil 6.9'da verilmiştir. Transistörün $F=0.6$ dB ve $V_{out}=1$ koşulu altında, geri besleme olmadan elde edilen tasarım konfigürasyonu Tablo 6.7'de gösterilmiştir. Transistörün, $F=0.6$ dB ve $V_{out}=1$ koşulu altında 0.1 nH seri endüktif geri besleme ile elde edilen tasarım konfigürasyonu Tablo 6.8'de gösterilmiştir. Transistörün, $F=0.6$ dB, $V_{in} \geq 1$ ve $V_{out} \geq 1$ koşulu altında 0.1 nH seri endüktif geri besleme ile elde edilen tasarım konfigürasyonu Tablo 6.9'de gösterilmiştir.



Şekil 6.9 NE3511S02 transistörüne, $V_{out}=1$ ve $F_{req}=0.6$ dB koşulu altında 0.1 nH-2 nH arasında seri endüktif geri besleme uygulanmış durumda giriş uyumsuzlukları ve maksimum kazanç değişimleri

Tablo 6.7 NE3511S02 transistörünün; $5 \text{ GHz} \leq f \leq 11 \text{ GHz}$ frekans aralığında, $F=0.6 \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F[\text{dB}]$	$R_s[\Omega]$	$X_s[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
5	32.72	1	19.47	0.6	10.22	95.16	10.95	19.39
6	23.44	1	19.35	0.6	10.05	70.09	10.38	23.90
7	17.50	1	19.34	0.6	13.04	44.74	11.56	34.98
8	3.37	1	17.51	0.6	12.78	34.06	14.09	31.63
9	2.18	1	16.23	0.6	12.44	24.95	15.33	27.79
10	1.72	1	15.17	0.6	12.50	17.04	16.13	24.22
11	1.53	1	14.36	0.6	12.59	10.01	16.30	20.39

Tablo 6.8 NE3511S02 transistörünün; $5 \text{ GHz} \leq f \leq 11 \text{ GHz}$ frekans aralığında, $F=0.6 \text{ dB}$ ve $V_{out}=1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F[\text{dB}]$	$R_s[\Omega]$	$X_s[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
5	5.74	1	20.54	0.6	13.37	77.39	13.48	65.12
6	1.99	1	18.26	0.6	11.89	59.78	16.87	64.53
7	1.36	1	16.74	0.6	10.58	47.21	17.26	60.30
8	1.16	1	15.75	0.6	9.45	37.72	16.21	56.96
9	1.18	1	15.29	0.6	8.28	30.16	13.45	52.20
10	1.51	1	15.33	0.6	7.50	24.02	10.11	46.80
11	3.29	1	16.02	0.6	7.25	18.07	7.00	41.20

Tablo 6.9 NE3511S02 transistörünün; $5 \text{ GHz} \leq f \leq 11 \text{ GHz}$ frekans aralığında, $F=0.6 \text{ dB}$, $V_{in} \geq 1$, $V_{out} \geq 1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
5	1.9	1.9	20.10	0.6	13.37	77.39	25.37	62.98
6	1.4	1.5	18.08	0.6	11.89	59.78	25.29	64.09
7	1.2	1.2	16.71	0.6	10.58	47.21	20.71	60.24
8	1.1	1.1	15.75	0.6	9.45	37.72	17.82	57.12
9	1.1	1.1	15.28	0.6	8.28	30.16	14.74	51.85
10	1.2	1.3	15.25	0.6	7.50	24.02	13.14	46.72
11	1.6	1.7	15.72	0.6	7.25	18.07	11.84	41.87

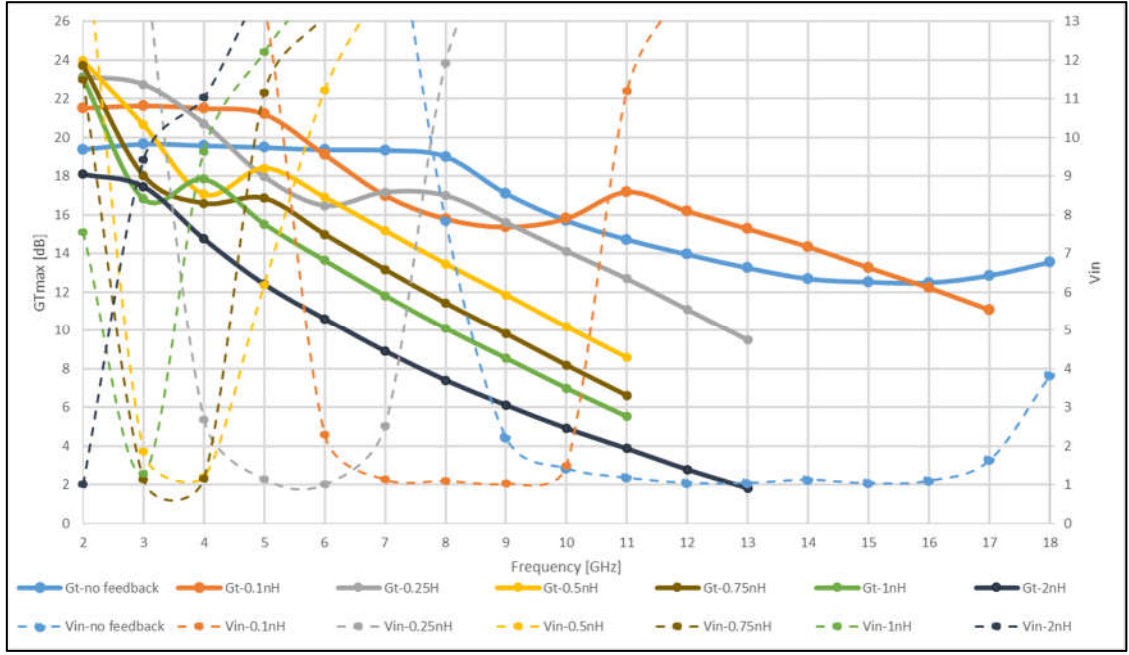
Tablo 6.7 ve Tablo 6.8'e göre 11 GHz'de kazanç geri beslemenin etkisiyle 14.36 dB'den 16.02 dB'ye yükselmiştir. Ayrıca Şekil 6.8'e göre çeşitli geri besleme ve frekans değerlerinde hem giriş kapısının hem de çıkış kapısının yaklaşık olarak mükemmel uyumlu (approximately conjugate match) olduğu tasarım konfigürasyonları Tablo 6.10'da verilmiştir.

Tablo 6.10 NE3511S02 transistörünün $V_{in} \approx 1$, $V_{out}=1$ ve $F=0.6$ dB koşulunda çeşitli frekans ve geri besleme değerlerinde tasarım konfigürasyonları

Geri besleme değeri	$f[GHz]$	V_{in}	V_{out}	$G_{Tmax}[dB]$	$R_s[\Omega]$	$X_s[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
Geri beslemesiz	13	1.34	1.00	13.09	13.39	-2.85	16.16	12.88
Geri beslemesiz	14	1.29	1.00	12.60	14.13	-9.03	16.02	9.10
Geri beslemesiz	15	1.39	1.00	12.29	15.53	-14.25	15.78	4.74
0.1 nH	7	1.36	1.00	16.74	10.58	47.21	17.26	60.30
0.1 nH	8	1.16	1.00	15.75	9.45	37.72	16.21	56.96
0.1 nH	9	1.18	1.00	15.29	8.28	30.16	13.45	52.20
0.25 nH	5	1.28	1.00	17.74	11.17	82.32	19.51	96.02
0.25 nH	6	1.15	1.00	16.39	9.13	66.65	17.41	95.09
0.5 nH	4	1.01	1.00	17.17	12.18	109.84	27.12	144.18
0.75 nH	3	1.03	1.00	18.11	15.67	147.79	34.51	178.64
0.75 nH	4	1.18	1.00	16.40	10.81	120.35	21.86	171.50
1nH	3	1.07	1.00	17.04	14.44	154.86	34.40	206.49
2nH	2	1.06	1.00	18.07	20.89	238.54	44.89	286.15

6.3 $F_{req}(f)=1$ dB Koşulunda Seri Endüktif Geri Beslemeli LNA Tasarım Profilleri ve Uygulamaları

Kaskad bağlı LNA uygulamalarında $F_{req}=1$ dB koşulunu sağlayan LNA konfigürasyonları ikinci veya üçüncü kat olarak kullanılabilir. $V_{out}=1$, $F_{req}=1$ dB koşulu altında, transistöre 0.1 nH - 2 nH arasında seri endüktif geri besleme uygulanması durumunda transistörden elde edilen kazanç ve giriş kapısı uyumsuzlukları Şekil 6.10'da verilmiştir.



Şekil 6.10 NE3511S02 transistörüne; $V_{out}=1$ ve $F_{req}=1$ dB koşulu altında 0.1 nH-2 nH arasında seri endüktif geri beslemeye uygulandığı durumda giriş uyumsuzlukları ve maksimum kazanç değişimleri.

$F_{req}=F_{min}$ dB ve $F_{req}=0.6$ dB koşullarında olduğu gibi $F_{req}=1$ dB tasarım konfigürasyonlarında da uygun olan çalışma bölgesi ($V_{in} \leq 2$) artan endüktans değerleriyle alt frekanslara doğru kaymaktadır. $F=1$ dB ve $V_{out}=1$ koşulu altında geri besleme olmadan elde edilen tasarım konfigürasyonu Tablo 6.11’de gösterilmiştir. $F=1$ dB ve $V_{out}=1$ koşulu altında 0.1 nH seri endüktif geri besleme ile elde edilen tasarım konfigürasyonu Tablo 6.12’de gösterilmiştir. $F=1$ dB, $V_{in} \geq 1$ ve $V_{out} \geq 1$ koşulu altında 0.1 nH seri endüktif geri besleme ile elde edilen tasarım konfigürasyonu Tablo 6.13’te gösterilmiştir.

Tablo 6.11 NE3511S02 transistörünün; $6 \text{ GHz} \leq f \leq 10 \text{ GHz}$ frekans aralığında, $F=1 \text{ dB}$ ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
6	23.44	1	19.35	1	5.65	70.80	6.53	19.57
7	17.19	1	19.33	1	5.85	52.15	6.08	22.58
8	7.84	1	19.01	1	7.67	32.03	7.46	33.32
9	2.22	1	17.09	1	7.57	22.79	9.41	29.69
10	1.43	1	15.70	1	7.58	14.61	10.67	26.33

Tablo 6.12 NE3511S02 transistörünün; $6 \text{ GHz} \leq f \leq 10 \text{ GHz}$ frekans aralığında, $F=1 \text{ dB}$ ve $V_{out}=1$ koşulunda, NE3511S02 transistörüne 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
6	2.29	1	19.10	1	6.93	58.57	9.70	66.80
7	1.14	1	17.00	1	6.22	46.11	11.35	62.59
8	1.10	1	15.79	1	5.54	36.77	11.08	59.02
9	1.03	1	15.36	1	4.86	29.45	8.93	53.69
10	1.50	1	15.81	1	4.31	23.54	5.93	47.70

Tablo 6.13 NE3511S02 transistörünün; $6 \text{ GHz} \leq f \leq 10 \text{ GHz}$ frekans aralığında, $F=1 \text{ dB}$, $V_{in} \geq 1$, $V_{out} \geq 1$ koşulunda, 0.1 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F[\text{dB}]$	$R_S[\Omega]$	$X_S[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
6	1.40	1.50	18.93	1	6.93	58.57	14.51	66.27
7	1.10	1.10	16.99	1	6.22	46.11	12.30	63.19
8	1.10	1.00	15.79	1	5.54	36.77	11.08	59.02
9	1.03	1.00	15.36	1	4.86	29.45	8.93	53.69
10	1.20	1.30	15.73	1	4.31	23.54	7.64	48.17

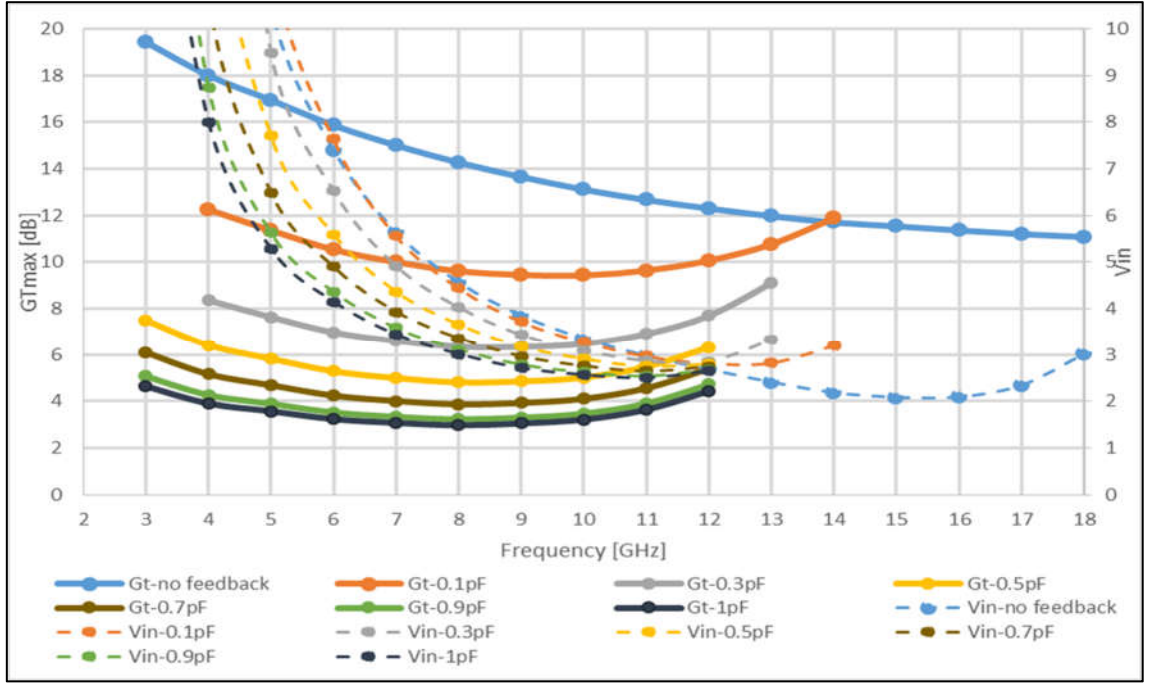
$F_{req}=F_{min}$ dB veya $F_{req}=0.6$ dB veya $F_{req}=1$ dB durumlarının herhangi birinde seri endüktif olarak uygulanan geri beslemenin değeri 2 nH'den büyük olduğu zaman elde edilen tasarım konfigürasyonlarında yük empedans değeri çok büyük olmakta ve uygulanabilir olmaktan çıkmaktadır. Tablo 6.14'te $V_{out}=1$ ve $F_{req}=F_{min}$ dB koşulu altında transistöre 10 nH seri endüktif geri besleme uygulandığında elde edilen tasarım konfigürasyonu verilmiştir. Bu tabloda elde edilen yük empedansı değeri çok yüksek çıkarken elde edilen minimum gürültü katsayısı değeri de azalmaktadır.

Tablo 6.14 NE3511S02 transistörünün; $2\text{ GHz} \leq f \leq 6\text{ GHz}$ frekans aralığında, $F=F_{min}$ dB ve $V_{out}=1$ koşulunda, 10 nH seri endüktif geri besleme uygulandığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F=F_{min}$ [dB]	$R_s[\Omega]$	$X_s[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
2	1.57	1	11.68	0.22	162.6	180.93	510.99	633.44
3	2.22	1	8.93	0.20	98.44	24.03	603.49	1027.8
4	3.37	1	7.27	0.19	74.58	-82.90	651.04	1386.1
5	6.61	1	6.24	0.19	62.48	-68.90	633.76	1682.6
6	9.11	1	5.35	0.18	55.96	-43.82	649.17	1950.9

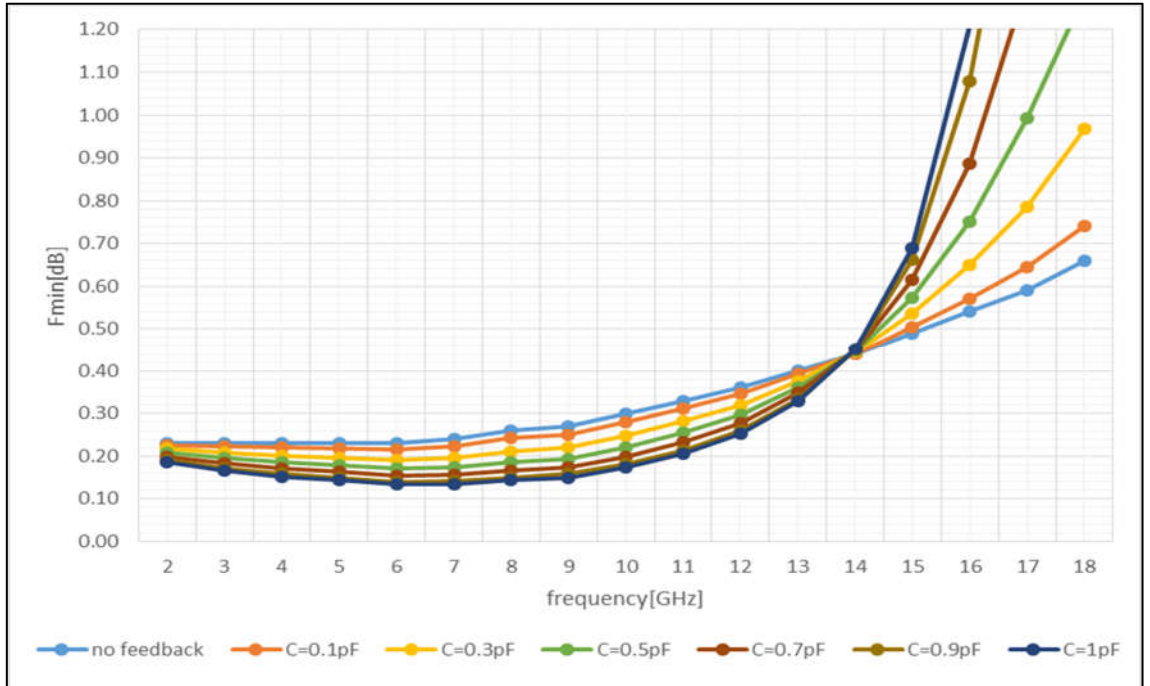
6.4 $F_{req}(f)=F_{min}(f)$ Koşulunda Paralel Kapasitif Geri Beslemeli LNA Tasarım Profilleri ve Uygulamaları

Şekil 6.11'de $F_{req}(f)=F_{min}(f)$, $V_{out}=1$ koşulu altında paralel kapasitif geri besleme uygulanmış transistöre ait $G_{Tmax}-V_{in}$ tasarım profilleri verilmiştir. Bu tasarım profilleri kullanılarak, kullanılabilir paralel kapasitif geri besleme değeri ve ona ait çalışma frekans bölgesi $F_{req}(f)=F_{min}(f)$, $V_{out}=1$ koşulu altında bulunabilir.



Şekil 6.11 NE3511S02 transistörünün; $V_{out}=1$ ve $F_{req}=F_{min}$ dB koşulu altında 0.1 pF-1 pF arasında paralel kapasitif geri besleme durumdan giriş uyumsuzlukları ve maksimum kazanç değişimleri

$V_{out}=1$ ve $F_{req}=F_{min}$ dB koşulu altında 0.1 pF - 1 pF arasında paralel kapasitif geri beslemeye sahip NE3511S02 transistörünün minimum gürültü katsayısı değeri ise Şekil 6.12’de verilmiştir.



Şekil 6.12 0.1pF-1pF arasında paralel kapasitif geri beslemeye sahip NE3511S02 transistörünün minimum gürültü katsayısı

$F=F_{min}$ dB ve $V_{out}=1$ koşulu altında geri besleme olmadan elde edilen tasarım konfigürasyonu Tablo 6.15'te gösterilmiştir. $F=F_{min}$ dB ve $V_{out}=1$ koşulu altında 0.3 pF paralel kapasitif geri besleme ile elde edilen tasarım konfigürasyonu Tablo 6.16'da gösterilmiştir. $F=F_{min}$ dB, $V_{in} \geq 1$ ve $V_{out} \geq 1$ koşulu altında 0.3 pF paralel kapasitif geri besleme ile elde edilen tasarım konfigürasyonu Tablo 6.17'de gösterilmiştir. Tablo 6.16'ya göre, minimum gürültü katsayısı değeri geri besleme olmayan duruma göre bir miktar azalmıştır.

Tablo 6.15 NE3511S02 transistörünün; $9 \text{ GHz} \leq f \leq 12 \text{ GHz}$ frekans aralığında, $F=F_{min}$ dB ve $V_{out}=1$ koşulunda, geri besleme uygulanmadığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_s[\Omega]$	$X_s[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
9	3.85	1	13.65	0.27	24.87	45.61	30.64	16.88
10	3.35	1	13.11	0.30	22.79	35.90	28.84	14.29
11	2.97	1	12.66	0.33	21.48	27.16	27.29	11.30
12	2.68	1	12.29	0.36	20.74	19.13	25.74	8.65

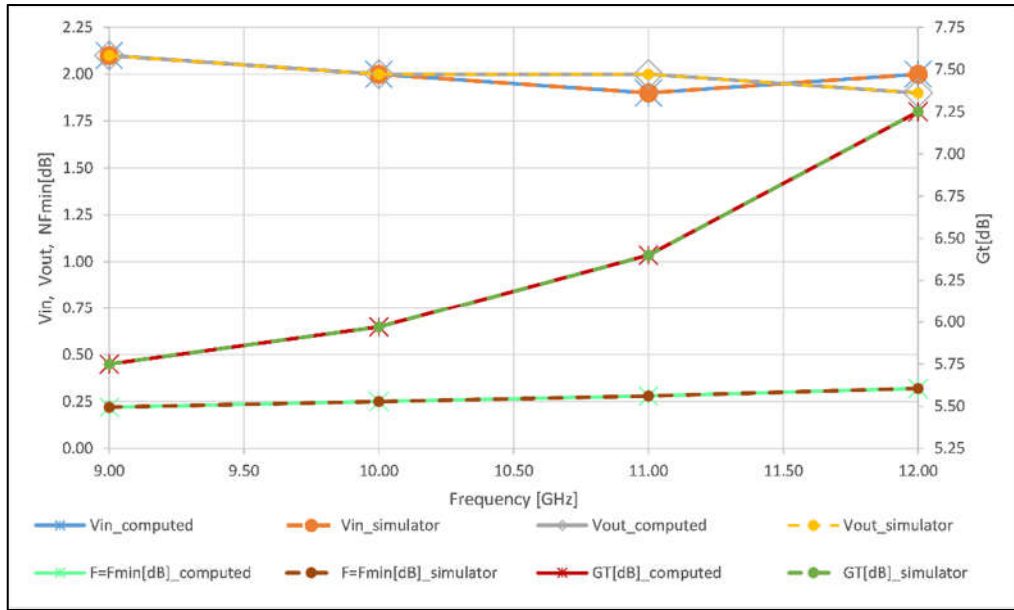
Tablo 6.16 NE3511S02 transistörünün; $9 \text{ GHz} \leq f \leq 12 \text{ GHz}$ frekans aralığında, $F=F_{min}$ dB ve $V_{out}=1$ koşulunda, 0.3 pF paralel kapasitif geri besleme uygulandığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_s[\Omega]$	$X_s[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
9	3.44	1	6.34	0.22	8.71	27.30	6.15	0.46
10	3.09	1	6.48	0.25	8.86	23.24	6.58	-0.28
11	2.87	1	6.91	0.28	9.44	19.61	7.10	-1.39
12	2.85	1	7.69	0.32	10.52	16.26	7.75	-3.10

Tablo 6.17 NE3511S02 transistörünün; $9 \text{ GHz} \leq f \leq 12 \text{ GHz}$ frekans aralığında ve $F=F_{min} \text{ dB}$, $V_{in} \geq 1$, $V_{out} \geq 1$ koşulunda, 0.3 pF paralel kapasitif geri besleme uygulandığı durumda tasarım konfigürasyonu

$f[\text{GHz}]$	V_{in}	V_{out}	$G_{Tmax}[\text{dB}]$	$F=F_{min}[\text{dB}]$	$R_s[\Omega]$	$X_s[\Omega]$	$R_L[\Omega]$	$X_L[\Omega]$
9	2.1	2.1	5.75	0.22	8.71	27.30	4.88	-3.50
10	2.0	2.0	5.97	0.25	8.86	23.24	4.61	-3.64
11	1.9	2.0	6.40	0.28	9.44	19.61	4.57	-4.53
12	2.0	1.9	7.25	0.32	10.52	16.26	4.99	-6.08

Çalışmada önerilen geri beslemeli tasarım konfigürasyonları, MATLAB programında yazılan bir kod koşturularak yapılmıştır. Bu kodun çıktısı olarak elde edilen tüm tasarım konfigürasyonlarının doğruluğu, AWR Design Environment programında kontrol edilmiştir. MATLAB kodu çıktısında elde edilen Z_s ve Z_L değerleri, AWR Design Environment’de oluşturulan benzetim devresinin Z_s ve Z_L değerleri olarak girilmiştir ve her iki programda elde edilen G_T , V_{in} , V_{out} , F değerleri karşılaştırılmıştır. Her iki programda elde edilen bu değerler bire bir aynı çıkmaktadır. Şekil 6.13’de ise Tablo 6.17’de sunulan tasarım konfigürasyonlarının devre benzetim programı ile karşılaştırması verilmiştir.



Şekil 6.13 Tablo 6.17’de verilen tasarım konfigürasyonlarının devre benzetim programı ile karşılaştırılması

Bu tez çalışmasında, literatürde ilk defa geri beslemenin LNA performansı üzerine etkisi tamamen analitik bir çalışma ile ortaya konumuştur.

Bu amaçla; çalışmanın ilk aşamasında, seri endüktif veya paralel kapasitif geri besleme uygulanmış transistör aktif iki kapılı olarak karakterize edilmiştir. Bu iki kapılının $[z]$ ve gürültü parametreleri, transistörün ve geri besleme devresinin $[z]$ ve gürültü parametreleri yardımıyla oluşturulmuştur. Çalışmanın ikinci aşamasında; gerçekleştirilebilir ve gerçekleştirilemez $\{F_{req} \geq F_{min}, V_{in} \geq 1, V_{out} \geq 1, G_{Tmin} \leq G_T \leq G_{Tmax}\}$ performans dörtlüsü, geri besleme parametreleri ve sonlandırma empedansları (Z_S, Z_L) seçilen çalışma noktasında (V_{DS}, I_{DS}), transistörün koşullu kararlı veya koşulsuz kararlı olmasına göre elde edilmiştir. Uygulama kısmında; geri besleme uygulanmış transistörün çalışma bandı boyunca, transistöre ait giriş uyumsuzluk (V_{in}) ile maksimum kazanç (G_{Tmax}) arasındaki ilişkiyi geri besleme değerine bağlı olarak gösteren tasarım grafikleri oluşturulmuştur. Tasarımcı, $V_{in} - G_{Tmax}$ arasındaki değişimlerle oluşturulan tasarım profilleri yardımıyla, transistörün hangi geri besleme değerinde hangi frekans bandı boyunca çalışacağını, giriş ve çıkış kapısındaki uyumsuzluk gürültü katsayısının bir fonksiyonu olarak seçebilecektir.

Aslında, günümüzün yeni yarı iletken teknolojisi ultra geniş işlem bant genişliğine sahip çok düşük gürültülü transistörler üretebilme kabiliyetine sahiptir. Bu tez çalışmasında, ilk olarak; transistörün frekans çalışma bandı boyunca, giriş veya çıkış portlarının herhangi birinde yüksek uyumsuzluk nedeniyle, geri besleme olmaksızın LNA tasarımında kullanılamayacağı gösterilmiştir. Bununla birlikte; düşük gürültülü bir transistörün tüm çalışma bandı, uygun bir geri besleme kullanılarak farklı band genişliklerindeki LNA tasarımında kullanılabilir. Uygun geri besleme kullanarak transistörün kararlılığı iyileştirilebilir, kazancı arttırılabilir, giriş ve çıkış kapıları arasında bir optimizasyon yapılabilir. Ayrıca geri besleme ile transistöre ait minimum gürültü katsayısı minimal düzeyde azalabilir. Bunun yanı sıra, seri indüktif geri besleme kullanarak, geri beslemesiz tasarıma göre

gerçeklenebilir bir tasarım konfigürasyonu oluşturulabilir. Ayrıca, transistöre geri besleme uygulayarak V_{in} , V_{out} ve G_T arasında bir optimizasyon yaparak bir çok LNA tasarım konfigürasyonu uygulanabilir. Kazanç, gürültü faktörü ve kapı uyumsuzlukları arasında bir dengeleme kurarak, geri beslemeli düşük gürültülü yükselteç tasarimana ait devre benzetimi [42]'de verilmiştir.

Sonuç olarak, bu analitik çalışmadan yararlanılarak, geri beslemenin bir fonksiyonu olarak çalışılmak istenilen transistöre ait tasarım profilleri oluşturulabilir ve transistörün çeşitli frekans bandlarında transistörün performans ölçü fonksiyonları arasında bir optimizasyon yapılarak çeşitli tasarım konfigürasyonları oluşturulabilir.

- [1] F. Güneş, H. Torpi and F. Gürgen, "A multidimensional signal-noise neural network model for microwave transistors", IEE Proceedings - Circuits, Devices and Systems, vol. 145 no. 2, pp. 111–117, 1998.
- [2] F. Güneş, N. Türker and F. Gürgen, "Signal-noise support vector model of a microwave transistor", International Journal of RF Microwave Computer-Aided Engineering, vol. 17, no. 4, pp. 404–415, 2007.
- [3] F. Güneş, P. Mahouti, S. Demirel, M.A. Belen and A. Uluslu, "Cost-effective GRNN-based modeling of microwave transistors with a reduced number of measurements", International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, vol. 29, no.3, pp. 1-12, 2015.
- [4] F. Güneş, M. A. Belen, P. Mahouti and S. Demirel, "Signal and Noise Modeling of Microwave Transistors using Characteristic Support Vector-based Sparse Regression", Radioengineering, vol. 25, no.3, pp. 490-499, 2016.
- [5] D. Dousset, A. Issaoun, F. M. Ghannouchi and A. B. Kouki, "Wideband closed-form expressions for direct extraction of HBT small-signal parameters for all amplifier bias classes", IEE Proc Circuits Devices System, vol. 152, pp. 441–450, 2005.
- [6] V. J. Vijayakrishna, S. Vaishnav, N. DasGupta and A. DasGupta, "Unified analytical model of HEMTs for analogue and digital applications", IEE Proc Circuits Devices System, vol. 152, pp. 425–432, 2005.
- [7] N. Seoane and A. J. Garcia-Loureiro, "Study of parallel numerical methods for semiconductor device simulation", International Journal of Numerical Modelling Electron Networks Devices Fields, vol. 19, no. 1, pp. 15–32, 2006.
- [8] F. Güneş, M. Güneş, and M. Fidan, "Performance characterization of a microwave transistor", IEE Proceedings Circuits Devices and Systems, vol. 141, pp. 337–344, 1994.
- [9] F. Güneş and B. A. Çetiner, "Novel Smith chart formulation of performance characterization for a microwave transistor", IEE Proc Circuits Devices and System, vol. 145, pp. 419–428, 1998.
- [10] F. Güneş and Y. Cengiz, "Optimization of a microwave amplifier using neural performance data sheets with genetic algorithms", International Conference Artificial Neural Networks (ICANN) in Istanbul, 26–29 Haziran 2003.
- [11] Y. Cengiz, H. Göksu and F. Güneş, "Design of a broadband microwave amplifier using neural performance data sheets and very fast simulated reannealing", Advances in Neural Networks: Third International Symposium on Neural Networks in Chengdu, China, 28 Mayıs-1 Haziran 2006.
- [12] S. Demirel and F. Güneş, "Performance characterization of a microwave transistor for maximum output power and the required noise", IET Circuits, Devices and Systems, vol. 7, no. 1, pp. 9–20, 2013.

- [13] F. Güneş and S. Demirel, "Performance characterization of a microwave transistor subject to the noise and matching requirements", *International Journal Circuit Theory and Applications*, vol. 44, no. 5, pp. 1012-1028, 2016.
- [14] F. Güneş, M. A. Belen and P. Mahouti, "Competitive evolutionary algorithms for building performance database of a microwave transistor", *International Journal of Circuit Theory and Applications*, vol. 46, no. 2, pp. 244-258, 2018.
- [15] B. M. Albinsson, "A graphic design method for matched low-noise amplifiers", *IEEE Trans. Microw. Theory Techn.*, vol. 38, no. 2, pp. 118-122, 1990
- [16] D. D. Henkes, "A Design Tool for Improving the Input Match of Low Noise Amplifiers", *High Frequency Electronics*, February, pp. 54-64, 2007.
- [17] D. D. Henkes, "LNA Design Uses Series Feedback to Achieve Simultaneous Low Input VSWR and Low Noise", *Applied microwave and Wireless*, October, pp. 18-25, 1998.
- [18] B. Albinsson, "Noise parameter transformation of interconnected two-ports", *IEE Proceedings H - Microwaves, Antennas and Propagation*, vol. 134, no. 2, pp. 125-129, 1987.
- [19] G. D. Vendelin, "Feedback effects on the noise performance of GaAs MESFETs", *IEEE-MTT-S International Microwave Symposium Palo Alton CA*, 12-14 Mayis 1975.
- [20] L. Boglione, R. D. Pollard and V. Postoyalko, "Optimum noise-source reflection-coefficient design with feedback amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 45, no. 3, pp. 402-407, 1997.
- [21] A. Victor and J. Nath, "An analytic technique for trade-off of noise measure and mismatch loss for low noise amplifier design", *IEEE 11th Wireless and Microwave Technology Conference (WAMICON) Melbourne FL*, Nisan 2010.
- [22] A. Victor and J. Nath, "An analytic and Graphical Method for LNA Design with Feedback", *High Frequency Electronics*, June, pp. 16-27, 2010.
- [23] H. A. Haus and R. B. Adler, *Circuit Theory of Linear Noisy Networks*, MIT Press, New York USA, 1959.
- [24] S. Iversen, "The effect of feedback on noise figure", *Proceedings of the IEEE*, vol. 63, no. 3, pp. 540-542, 1975.
- [25] L. Besser, "Stability considerations of low-noise transistor amplifiers with simultaneous noise and power match", *IEEE-MTT-S International Microwave Symposium Palo Alton, CA*, 1975.
- [26] K. B. Niclas, "The exact noise figure of amplifiers with parallel feedback and lossy matching circuits", *IEEE Transactions on Microwave Theory and Techniques*, vol. 30, no. 5, pp. 832-835, 1982.
- [27] K. B. Niclas, "Noise in broad band GaAs MESFET amplifiers with parallel feedback," *IEEE Transactions on Microwave Theory and Techniques*, vol. 30, no. 1, pp. 63-70, 1982.
- [28] W. Ciccognani, P. E. Longhi, S. Colangeli and E. Limiti, "Constant mismatch circles and application to low-noise microwave amplifier design", *IEEE*

- Transactions on Microwave Theory and Techniques, vol. 61, no. 12, pp. 4154–4167, 2013.
- [29] F. Güneş and S. Demirel, “Gain Gradients Applied to Optimization of Distributed-Parameter Matching Circuits for a Microwave Transistor Subject to its Potential Performance”, International Journal of RF and Microwave Computer-Aided Engineering, vol. 18, no. 2, pp. 99-111, 2008.
- [30] S. Demirel, Genelleştirilmiş Mikrodalga Kuvvetlendirici Tasarım Prosedürü Ve Uygulamaları (Tek Katlı, Çok Katlı Kuvvetlendiriciler), Doktora Tezi, Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü, İstanbul, 2009.
- [31] G. D. Vendelin, A. M. Pavio and U. L. Rohde, Microwave Circuit Design Using Linear and Nonlinear Techniques, Second Edition, John Wiley & Sons, Inc., Hoboken, New Jersey, 2005.
- [32] K. Hartmann, “Noise Characterization of Linear Circuits”, IEEE Transactions on Circuits and Systems, vol. 23, no. 10, pp. 581-590, 1976.
- [33] S. Voinigescu, High-Frequency Integrated Circuits, First Edition, Cambridge University Press, New York, 2013.
- [34] H. Rothe and W. Dahlke, “Theory of Noisy Fourpoles”, Proceedings of the IRE, vol. 44, no. 6, pp. 811-818, 1956.
- [35] G. Gonzales, Microwave Transistor Amplifiers: Analysis and Design, Second Edition, Prentice Hall, New Jersey, 1996.
- [36] Maxim Integrated Application Notes, Low-Noise Amplifier (LNA) Matching Techniques for Optimizing Noise Figures, <https://www.maximintegrated.com/en/app-notes/index.mvp/id/3169#>, 23 Mart 2019.
- [37] P. Leroux and M. Steyaert, LNA-ESD Co-Design for Fully Integrated CMOS Wireless Receivers, Springer, Netherlands, 2005.
- [38] J. Engberg and T. Larsen, Noise Theory of Linear and Nonlinear Circuits, Wiley, New York, 1995.
- [39] H. A. Haus, W. R. Atkinson, G. M. Branch, W. B. Davenport, W. H. Fonger, W. A. Harris, S. W. Harrison, W. W. Mcleod, E. K. Stodola and T. E. Talpey, “Representation of Noise in Linear Twoports”, Proceedings of the IRE, vol. 48, no. 1, pp. 69-74, 1960.
- [40] H. Rothe, “The theory of noisy four-poles”, Transactions of the IRE Professional Group on Electron Devices, vol. 1, no. 4, pp. 258-259, 1954.
- [41] V. M. T. Lam, C. R. Poole and P. C. L. Yip, “Exact noise figure of a noisy two-port with feedback”, IEE Proceedings G-Circuits, Devices and Systems, vol. 139, no. 4, pp. 473-476, 1992.
- [42] O. Yurttakal and F. Güneş, “Performance Enhancement Of Lna Using Series Feedback”, Sigma Journal of Engineering and Natural Science, vol. 37, no. 4, pp. 1093-1102, 2019.

İletişim Bilgisi: oktayyurttakal@gmail.com

Uluslararası Makaleler

1. F. Güneş and O. Yurttakal, "Full flexible performance characterization of a feedback applied transistor with LNA applications", International Journal of Circuit Theory and Applications, vol. 48, no. 1, pp. 56-71, 2020.
2. O. Yurttakal and F. Güneş, "Performance Enhancement Of Lna Using Series Feedback", Sigma Journal of Engineering and Natural Science, vol. 37, no. 4, pp. 1093-1102, 2019.